



RICE

Řídicí systémy pro měničové aplikace pracující v extrémních podmínkách

Disertační práce

PLZEŇ 2013

Ing. Libor Poláček

Řídicí systémy pro měničové aplikace pracující v extrémních podmínkách

Disertační práce

k získání akademického titulu doktor

v oboru

Elektronika

Autor:

Školitel:

Datum státní závěrečné zkoušky:

Datum odevzdání práce:

Ing. Libor Poláček

Doc. Ing. Jiří Hammerbauer, Ph.D.

24. leden 2012

6. září 2013

PODĚKOVÁNÍ

Děkuji vedoucímu disertační práce doc. Ing. Jiřímu Hammerbauerovi Ph.D., dále pak konzultantům doc. Dr. Ing. Vjačeslavu Georgievovi a Prof. Ing. Zdeňku Peroutkovi, Ph.D. a za cenné rady a připomínky k vypracování disertační práce. Velké díky patří celému týmu, který se podílel přímo či nepřímo na projektu REMCS.

Tato disertační práce vznikla s podporou Evropského fondu pro regionální rozvoj (ERDF) a Ministerstva školství, mládeže a tělovýchovy ČR v rámci projektu CZ.1.05/2.1.00/03.0094: Regionální inovační centrum elektrotechniky (RICE)

V Plzni, 6. září 2013

.....

Ing. Libor Poláček

PROHLÁŠENÍ AUTORA

Předkládám tímto k posouzení a obhajobě disertační práci zpracovanou na závěr doktorského studia na Fakultě elektrotechnické Západočeské univerzity v Plzni. Prohlašuji, že jsem disertační práci na téma **Řídicí systémy pro měničové aplikace pracující v extrémních podmínkách** vypracoval samostatně s použitím odborné literatury uvedené v seznamu literatury, s použitím zkušeností z průmyslové praxe a pod odborným vedením konzultantů disertační práce.

V Plzni, 6. září 2013

.....

Ing. Libor Poláček

ANOTACE

Tato práce se zabývá řídicími systémy pro aplikace s výkonovými měniči v extrémních podmínkách. Jedná se o řídicí systémy pro aplikace výkonových měničů především v oblasti dopravní techniky a energetiky. Extrémními podmínkami je v této práci myšlen především široký teplotní rozsah, ale také extrémní elektromagnetické rušení pocházející z výkonových obvodů, které jsou těmito systémy řízeny. V první části práce je popsán současný stav poznání doposud používaných řídicích systémů. Jsou obecně rozebrány požadavky na řídicí systém. Dále jsou analyzovány jejich nevýhody a omezení. Součástí práce je stanovení metodiky návrhu řídicího systému jako celku, a také metodiky návrhu klíčových komponent. Na základě výše zmíněných požadavků je definovaná nová platforma řídicího systému, která řeší problémy řídicích systémů stávajících.

Druhá část disertační práce se zabývá vlastním návrhem a realizací nového řešení modulárního řídicího systému pro měničové aplikace v extrémních podmínkách. Je zde navržen takový řídicí systém, který je schopen pokrýt celé řízení výkonové části drážního vozidla jako je např. lokomotiva. Kompletní výkonovou část představují výkonové systémy od hlavních pohonů, pulzních usměrňovačů přes pomocné pohony pro napájení palubní sítě, klimatizačních jednotek až po nabíječe vozových baterií, případně pomocných regulačních bloků jako je například regulátor topení.

Práce popisuje konkrétní modulární řídicí systém, jednotlivé komponenty, navržené postupy řešení. Pro vybrané partie práce popisuje detailní návrh a konkrétní rozbor obvodového řešení, použité metody a naměřené výsledky. Navržený řídicí systém byl navržen, postaven, otestován na řadě aplikací z oblasti elektrických pohonů. Tento řídicí systém byl představen na veletrhu AMPÉR, kde obdržel cenu Zlatý Ampér 2013.

KLÍČOVÁ SLOVA

Řídicí systém, jednotka, modul, vana, aplikace, HW, řízení, komunikace, CAN, mikroprocesor, FPGA

ABSTRACT

This thesis deals with control systems of power converter applications in extreme conditions. It is a case of control systems for power converters applications, especially, in the area of transportation and the energy industry. In this area of application, extreme conditions are represented, in particular by wide temperature range, but also extreme electromagnetic interference from power circuits which are controlled by these systems. In the first part, there is the description of the current state of knowledge of previously used control systems. There is a general analysis of requirements for the control system. Furthermore their drawbacks and limitations are described. This thesis includes the determination of the methodology of the complex control system design as well as the design of the key components. Based on aforementioned requirements it is defined a new control system platform that solves problems of existing systems.

The second part of the thesis deals with the design and implementation of the new modular control system solutions for power converters applications in extreme conditions. In this part it is designed a control system which is able to cover the entire power section control of railway vehicles such as locomotives. The complete power section is represented by power systems from the main drive, pulse rectifiers via the auxiliary drive to power the on-board systems, air conditioning units to the vehicle battery chargers or auxiliary control blocks such as heating controller.

This thesis describes a specific modular control system, its components, suggested solution methods. For selected parts, this paper describes the design and specific analysis of circuit arrangement in detail, used methods and measured results. The proposed control system was designed, built and tested for a variety of applications in the field of electric drives. This control system has been presented at Amper Fair Trade, where it received the prize Golden Amper 2013.

KEY WORDS

Control system, unit, module, subrack, applications, HW, control, communication, CAN, microprocessor, FPGA

RESUME

Cette thèse porte sur les systèmes de contrôles pour les applications concernant les convertisseurs de puissance dans des conditions extrêmes. Il s'agit par conséquent d'un système de contrôle pour les applications des convertisseurs de puissance en particulier dans le domaine des transports et de l'énergie. Des conditions extrêmes indiquent, dans ce domaine d'application, en particulier large gamme de température, mais aussi les interférences électromagnétiques extrêmes des circuits électriques qui sont contrôlées par ces systèmes. Dans la première partie, il est décrit l'état actuel des connaissances sur les systèmes de contrôle utilisés précédemment. Les exigences pour le système de contrôle y sont généralement analysées. En plus, ce travail traite leurs inconvénients et limitations. Ce travail comprend en outre la détermination de la méthodologie de la conception du système de contrôle complexe ainsi que la conception des composants clés. Basé sur les exigences mentionnées ci-dessus, on définit une nouvelle plate-forme de système de contrôle qui permet de résoudre les problèmes des systèmes déjà existants.

La deuxième partie de la thèse se consacre à la conception et la mise en œuvre des nouvelles solutions de systèmes de contrôle modulaires pour applications des convertisseurs de puissance dans des conditions extrêmes. Dans cette partie, il est proposée une conception du système de contrôle qui est en mesure de couvrir l'ensemble du contrôle de la section de puissance des véhicules ferroviaires tels que les locomotives. Section de puissance complète est représentée par les systèmes d'alimentation du moteur principal, redresseurs d'impulsion, l'entraînement auxiliaire pour alimenter les systèmes embarqués, les unités de conditionnement d'air, comprenant également les chargeurs de batterie du véhicule ou des blocs de contrôle auxiliaires tels que le régulateur du chauffage.

Ce travail décrit un système modulaire spécifique de contrôle, ses composantes, des méthodes de résolution suggérées. Pour les parties sélectionnées, cet ouvrage traite en détail la conception et l'analyse spécifique de montage de circuit, ainsi que les méthodes utilisées et les résultats mesurés. Le système de contrôle proposé a été conçu, construit et testé pour une variété d'applications dans le domaine des propulsions électriques. Ce système de contrôle a été présenté au commerce équitable AMPER, où il a reçu le prix Zlatý Ampér 2013.

MOTS CLES

Systeme de controle, unite, module, chassis, applications, HW, controle, communication, CAN, microprocesseur, FPGA.

OBSAH

1	Úvod.....	12
2	Analýza současného stavu poznání ve zkoumané problematice	14
2.1	Analýza vědeckých zdrojů	14
2.2	Analýza průmyslových systémů	14
2.2.1	Současný stav řídicích systémů	14
2.2.2	Vzájemná kompatibilita	14
2.2.3	Průzkum trhu.....	15
2.3	Problémy v současnosti používaných řešení.....	15
2.4	Dílčí závěr.....	16
3	Cíle disertační práce.....	17
4	Metodika návrhu zkoumaného řídicího systému	17
4.1	Názvosloví.....	17
4.2	Definice základních zásad návrhu	18
4.3	Metodika návrhu hlavního počítače.....	19
4.4	Metodika návrhu jednotky měničového systému.....	20
4.5	Metodika návrhu obecných ovládacích signálů	21
4.6	Metodika návrhu vzájemné provázanosti	23
4.7	Metodika návrhu bezpečnostních funkcí	23
4.8	Metodika návrhu plošných spojů	23
5	Návrh optimální koncepce řídicího systému	24
6	Popis navrženého nového řešení řídicího systému	28
6.1	Definice platformy a koncepce systému	28
6.2	Definice oblastí, které má řídicí systém pokrývat	28
6.3	Definice páteřní části.....	29
6.3.1	Vytyčení konkrétních aplikací, jejich požadavky.....	29
6.3.2	Cesta průniku všech požadavků	30
6.3.3	Definice koncepce systému.....	30
6.3.4	Doplnění a řešení stávajících slabin řídicích systémů	31
6.3.5	Doplnění otevřeného rozhraní do budoucna.....	32

6.3.6	Důraz na bezpečnost a cesta vývoje pomocí V modelu.....	32
6.4	Definice procesorové platformy.....	33
6.5	Definice klíčových komponent	33
7	Detailní řešení navrženého řídicího systému – vývoj prototypu.....	35
7.1	Mechanické provedení	35
7.2	Konfigurace systému	35
7.2.1	Jednodeskové řešení - Single solution	36
7.2.2	Levné řešení - Low cost solution	36
7.2.3	Vanové řešení - Sub rack solution.....	37
7.2.4	Více vanové řešení - Rack solution.....	37
7.3	Společné vlastnosti.....	37
7.3.1	Identifikace jednotek	37
7.3.2	Komunikace.....	38
7.3.3	Systémové signály	50
7.3.4	Uživatelské signály	50
7.3.5	Mikroprocesorová platforma	50
7.3.6	FPGA	50
7.3.7	Jednotka pro řízení měničových systémů	51
7.4	Vzájemné propojení karet	56
7.5	Současný stav vývoje prototypu navrženého řídicího systému	57
7.5.1	Popis jednotlivých karet.....	58
7.5.2	Výpočet střední doby mezi poruchami	62
7.6	Přednosti navrženého systému REMCS.....	63
7.6.1	Široký rozsah použití	64
7.6.2	Bezpečnost	65
7.6.3	Aplikace nových výpočetně náročných způsobů řízení	75
8	Nasazení řídicího systému v praxi.....	76
9	Závěr	76
10	Seznam literatury	79
11	Seznam použitých zkratk.....	81
12	Seznam autorových publikací	83

13	Seznam autorových výsledků aplikovaného výzkumu	83
----	---	----

1 ÚVOD

Dizertační práce pojednává o řídicích systémech pro výkonové aplikace především z oblasti dopravní techniky a energetiky. Práce je koncipována do 2 oblastí, kde v první části je popsána obecná problematika řídicích systémů pro výkonové aplikace, je proveden průzkum odborné literatury, ale i průzkum trhu. Výsledky z tohoto průzkumu jsou krátce shrnuty v dílčím závěru. Na základě zmíněného průzkumu spolu s vlastními zkušenostmi a postřehy z průmyslové praxe jsou definovány problémy v současnosti používaných řešení. Dále je popsána metodika návrhu řídicích systémů a základní požadavky nového řídicího systému.

Druhá část dizertační práce se již zabývá konkrétním návrhem nového řídicího systému pro měničové aplikace. Řídicí systém je koncepčně navržen tak, aby pokrýval řízení měničových aplikací menších výrobních sérií všech topologií a způsobů řízení, avšak se specifickými požadavky na funkčnost a bezpečnost. Tím jsou myšleny např. měniče pohonů trakčních vozidel, na které jsou kladeny vysoké nároky na způsob řízení včetně všech ochran, ale také požadavky na bezpečnost jak samotného pohonu, tak elektroniky zajišťující nadřazené řízení celého vozidla.

Z pohledu dopravní techniky si nový řídicí systém klade za cíl pokrýt řízení trakční části vozidel obsahující hlavní pohony, synchronní usměrňovače, měniče napětí z lokálních zásobníků energií využívaných v moderních vozidlech obsahujících systém power management a uchování rekuperační energie, ale i pomocné pohony zajišťující pomocnou palubní síť, napájení klimatizačních jednotek, chladících ventilátorů případně nabíječe vozových baterií.

Z pohledu energetiky tento řídicí systém pokrývá řízení výkonových obvodů zajišťujících přeměnu energie, řízení kompenzačních měničů zemních poruchových proudů v izolovaných soustavách, případně aplikace s komplexnějším řešením více úloh v síti.

Nosná myšlenka této dizertační práce je vyvinout obecný řídicí systém pro měničové systémy pracující v extrémních podmínkách pro průmyslové systémy z oblasti energetiky a dopravní techniky. Těmito extrémními podmínkami jsou myšleny především velké výkyvy teplot, ať už jde o absolutní hodnotu teploty tak i o její dynamické změny, dále pak mechanické vibrace, které jsou v oblasti dopravní techniky naprosto běžným jevem a v neposlední řadě odolnost proti extrémnímu elektromagnetickému rušení z výkonových obvodů daleko přesahující rámec požadavků norem pro průmyslové zařízení.

Jeden ze základních směrů při návrhu řídicího systému je právě široká modularita, která umožní nasazení stejných řídicích jednotek do malých měničových systémů,

jako jsou třeba pomocné pohony stejně jako do robustních měničových systémů jako hlavní pohon trakčních vozidel nebo na pozici jednotek zajišťujících management celého vozidla ve smyslu nadřazeného řízení. Tím je získána přidaná hodnota jak průnikem stejných jednotek z pohledu nakupovaných a servisovaných dílů, tak i z pohledu SW vybavení potažmo tvorbě dokumentace při schvalování bezpečnosti. Celý řídicí systém je postaven tak, aby disponoval takovými HW prostředky zajišťujícími splnění bezpečnostního konceptu moderních drážních vozidel podle norem ČSN EN 50126, ČSN EN 50128 a ČSN EN 50129. Stejně tak je systém navržen z pohledu drážních zařízení tak, aby vyhověl normě ČSN EN 50155, Elektronická zařízení drážních vozidel, která zahrnuje návrh konstrukcí elektronických zařízení, jejich zkoušky, požadavky a dimenzování komponent.

Takový systém vzniká s významným přispěním této disertační práce pod hlavičkou Regionálního inovačního centra elektroniky RICE s příznačným názvem REMCS - RICE Embedded Modular Control System.

Disertační práce svým rozsahem řeší koncepci celého systému a jeho HW provedení. SW vybavení a řízení konkrétních aplikací je nad rámec této disertační práce.

2 ANALÝZA SOUČASNÉHO STAVU POZNÁNÍ VE ZKOUMANÉ PROBLEMATICE

2.1 Analýza vědeckých zdrojů

Část publikací se věnuje problematice řešení bezpečných řídicích systémů [1]. Většina prací je však věnována vlastním algoritmům řízení, zde lze nalézt samozřejmě tisíce citací např. [2]. Je jen velmi málo odborné literatury, která definuje pravidla pro návrh řídicích systémů nebo alespoň řídicích jednotek pro měničové aplikace. [3], [4], [5], [6]

2.2 Analýza průmyslových systémů

Měničové aplikace větších rozsahů již svou zástavbou vytváří komplikovaný systém, který vyžaduje řídicí systém specifických parametrů. Na takový řídicí systém jsou kladeny velmi vysoké nároky, a to zejména z ohledu na EMC, EMI, ale i z pohledu pracovních teplot či zajištění bezpečnosti a spolehlivosti.

2.2.1 Současný stav řídicích systémů

V současné době existuje široká škála řídicích systémů pro nejrůznější běžné aplikace. V převážné většině se jedná o komerčně dodávané komplexní řízení motorů či nejrůznějších technologických celků, ať už jde o regulaci obecně fyzikálních veličin jako je teplota, hladina aj., nebo o elektromechanické systémy typu manipulační robot. Při provedené detailní analýzy se nepodařilo najít řídicí systém, který by byl navržen tak, aby HW pokryl požadavky obecných měničových systémů a z hlediska SW umožnil zákaznickou aplikaci. Použití modulárního řídicího systému s elementární funkcí na jednotlivých kartách (modulech), jako jsou např. moduly na DIN lištu, sice umožňuje sestavit potřebný počet všech periférií a komunikačních linek díky velmi široké nabídce modulů, ale jejich vzájemné propojení nesplňuje časovací nároky na řízení měničů. Díky mechanickému uspořádání a filozofii skladby dílčích karet nemohou splňovat požadavky na EMC. Na druhou stranu existují řídicí systémy se všemi potřebnými perifériemi, ale jedná se o jednoúčelové systémy, které si firmy vyvíjí ve vlastní režii pouze pro svoje aplikace. Nejsou tak běžně dostupné.

2.2.2 Vzájemná kompatibilita

Při kombinaci řídicích systémů několika výrobců bývá vzájemná kompatibilita velmi obtížná. V převážné většině jsou schopny propojení pouze přes unifikované komunikační linky, jako CAN nebo Ethernet. Pro přímé připojení dalších signálů, pokud je to vůbec možné, bývá potřeba vyvinout opět jednoúčelový HW, který přizpůsobuje rozhraní použitých komerčních dílů.

2.2.3 Průzkum trhu

Amit

Řídicí počítače společnosti Amit slouží především jako nadřazené systémy řízení, ze kterých jsou pomocí CAN linek povelovány regulační systémy. Jedná se o vozidlové řídicí jednotky typu RRCPU nebo vanový systém RAVA. Tyto počítače nemají možnost přímé synchronizace a nepodporují přímé řízení výkonových prvků v měničových systémech.

KONTRON

Řídicí systémy firmy KONTRON jsou převážně založeny na PC platformě. Jsou vhodné jako nadřazené systémy pro robotické systémy využívající např. autorekonfigurační algoritmy. Mají vysoký výpočetní výkon, ale nedisponují potřebnými periferiemi pro řízení speciálních pohonů (trakce, vysokonapěťové měniče apod.).

ZAT a.s.

Společnost ZAT a.s. se zabývá automatizací již dlouhou řadu let. V jejím portfoliu jsou např. automatizace pro jadernou energetiku s vysokou bezpečností pro primární i sekundární články jaderných elektráren, automatizace pro klasickou energetiku, případně automatizace technologických procesů. Jedná se o řídicí systémy, které zajišťují řízení vyšších funkčních celků, avšak neposkytují vlastní regulátor pro obecný měnič či pohon. Nejnovější řídicí systém SandRA disponuje nejrychlejší odezvou analogového měření do 20 ms, což je pro řízení měničů nepoužitelné.

MEN

Řídicí systémy společnosti MEN jsou jistě špičkové systémy, jejichž nasazení může být i v oblasti dopravní techniky. Z pohledu bezpečnosti splňují ty nejpřísnější požadavky, karty z oblasti „safety board“ jsou trojnásobně redundantní a umožňují tak dosáhnout až SIL4. V celém portfoliu však chybí řídicí systém výkonového měniče, což posouvá celý řídicí systém MEN pouze do úrovně řízení vyšších technologických celků.

2.3 Problémy v současnosti používaných řešení

Pokud se podaří z komerčně dostupných řešení zkombinovat alespoň část požadovaného řídicího systému, téměř pokaždé zde chybí buď komunikační kanál potřebný pro danou aplikaci, nebo potřebná periférie, která se musí doplňovat rozšiřujícím jednoúčelovým HW. Typickým příkladem je požadavek na řízení vícehladinového střídače, kde řídicí systém klasického střídače nevyhovuje požadavkům,

protože chybí potřebný počet PWM signálů pro buzení výkonových prvků. Je nutné doplňovat expandéry pro PWM signály. Tyto rozšiřující desky již nemají plnohodnotné napojení na stávající řídicí systém a velmi často postrádají přídatné napojení na bezpečnostní signály, diagnostiky napájení aj. Ne všechny řídicí systémy řeší bezpečnost na takové úrovni, aby vyhovovala standardům ČSN EN 50126, ČSN EN 50128 a ČSN EN 50129 definující bezpečnostní požadavky drážních systémů. Doplňování dalších modulů a úprava signálů pro vzájemnou kompatibilitu prodlužuje signálové trasy, a tím jde proti požadavkům na elektromagnetickou kompatibilitu.

2.4 Dílčí závěr

Na základě průzkumu trhu jsem nenašel vyhovující řídicí systém, který je schopen svým rozsahem efektivně řídit kompletní výkonovou elektroniku drážního vozidla jako je lokomotiva. To mě motivovalo k zamýšlení nad takovým konceptem, který umožní kompletní řízení výkonové elektro výzbroje vozidla a současně bude schopen pokrýt požadavky moderních topologií výkonových systémů včetně moderních způsobů řízení. Ten by měl vyplnit díru na trhu a nabídnout takový modulární řídicí systém pro měničové aplikace, který pokryje současné požadavky na řídicí systémy, ale přitom zůstane otevřený do budoucna a může se dále rozšiřovat. Řídicí systém, který bude navržen podle přísných kritérií pro EMC a bude schopen pracovat v silně zarušeném prostředí. Takový řídicí systém, jenž nebude uživatele (programátora aplikací) svazovat pevně předpřipravenými algoritmy řízení měničů, ale bude plně otevřen pro libovolné programové vybavení. Systém, který nebude svazovat pevným počtem periférií, který nabídne dostatečný výpočetní výkon s dostatečně rychlou odezvou. Systém, který svou skladbou modulů umožní řídit obecný technologický proces (např. výrobní linku), ale také měnič energie, ať už se jedná o statický měnič nebo pohon. Takový systém, který může být použit v průmyslu např. v energetice nebo v dopravní technice. S tím jsou samozřejmě spojeny i požadavky na pokrytí norem zejména bezpečnostních standardů. Současně umožní jednoduchým způsobem libovolné rozšíření jak komunikačních kanálů, tak i všech periférií. Systém, který svou koncepcí a výpočetním výkonem umožní aplikovat moderní způsoby řízení výkonových aplikací jako je např. využití prediktivních řídicích algoritmů.

3 CÍLE DISERTAČNÍ PRÁCE

Na základě detailní analýzy současného stavu poznání ve zkoumané problematice byly stanoveny následující cíle disertační práce:

- Návrh nové koncepce řídicího systému splňující především následující požadavky: pokrytí širokého rozsahu výkonových aplikací všech způsobů řízení, umožnění nasazení pro inovativní topologie a koncepce výkonových obvodů, možnost použití moderních způsobů řízení prediktivních algoritmů.
- Návrh procesorové platformy pro vyvíjený řídicí systém.
- Návrh klíčových částí systému, na jejichž základě stojí celý řídicí systém, zejména vzájemná komunikace mezi jednotkami, vzájemná synchronizace mezi jednotkami, bezpečností odpojování kritických signálů, struktura distribuce napájení jednotek a připojovaných periférií, základní koncept analogových obvodů.
- Řešení měření a zpracování analogových veličin, včetně ochran a speciálních komponent pro možnosti regulace v pseudo-analogových režimech.
- Zajištění takových bezpečnostních funkcí na HW úrovni, které monitorují základní bezpečnostně relevantní funkce systému a zajišťují přechod do bezpečného stavu na HW úrovni tedy nezávisle na programovém vybavení.
- Návrh robustního konceptu elektromagnetické kompatibility.
- Stavba prototypu navrženého nového konceptu řídicího systému
- Kompletní otestování prototypu a zkoušky ve vybraných aplikacích.

4 METODIKA NÁVRHU ZKOUMANÉHO ŘÍDICÍHO SYSTÉMU

Metodika návrhu definuje, způsob provedení HW řešení tak, aby pokrylo současné požadavky výkonových aplikací, ale aby bylo schopno pokrývat i rozšiřující se požadavky v budoucnu. Zároveň definuje splnění předem definovaných cílů.

Vzhledem k tomu, že nelze sjednotit požadavku regulátoru, hlavního počítače a podpůrných obvodů, je nutné tyto požadavky definovat rozděleně.

4.1 Názvosloví

Pro jednodušší orientaci popisují použité názvosloví

- **Aplikace** – Komplexní řešení celého výkonového obvodu včetně řídicí části.
- **Konfigurace** – Vhodná skladba karet systému pro pokrytí požadavků aplikace.

- **Řídicí systém** – Řídicí část pro výkonovou aplikaci. Většinou jde o vanové řešení s použitím vhodné konfigurace.
- **Vana** – Jeden rack řídicího systému.
- **Jednotka** – Jednotka (někdy také karta) je osazený plošný spoj, který tvoří jeden element zásuvného systému.
- **Backplane** – Deska pro vzájemné propojení jednotek
- **Modul** – Modul je osazený plošný spoj, který je připojen na kartě a doplňuje její funkce.

4.2 Definice základních zásad návrhu

Pro řešení modulárního systému velkého rozsahu je bezpodmínečně nutné jej rozdělit do několika jednotek (karet). Ty musí být vzájemně propojeny v komplexní funkční celek a musí spolu komunikovat. Pro jednotky zajišťující ovládaní akčních členů musí být definován bezpečný stav. Do něj se musí jednotka dostat při detekci závažných chyb nebo při výpadku napájení.

Jednotky musí být řešeny uživatelsky tak, aby bylo možné jednoduchým způsobem připojovat příslušné periferie a to s ohledem na technologické požadavky kabeláže. Tím je myšleno např. pro krimpované konektory platí zásada 1 vodič = 1 pin nebo pro ploché IDC kabely je nutné zachovat pořadí pinů. Z tohoto hlediska je velmi obtížné specifikovat rozložení pinů na konektorech tak, aby daná konfigurace pokryla širokou škálu připojitelných periférií s ohledem na správné připojení dané periferie.

Pro modulární systém je vhodná nezávislost jednotek na použité aktuální pozici. Jednotky mohou být osazeny ve vaně v libovolném pořadí. Výjimku může tvořit napájecí zdroj. Každá z jednotek musí mít přiřazenou jednoznačnou adresu tak, aby je bylo možné rozlišit na komunikační lince.

Konstrukční provedení jednotek musí být provedeno s ohledem na použití v dopravní technice. Všechny konektory musí být zajištěny proti mechanickému namáhání, musí být zajištěny proti samovolnému rozpojení při otřesech, musí být zajištěny proti nesprávnému zapojení pomocí klíčování. Velké hmotné komponenty na plošných spojích musí být mechanicky zajištěny použitím vhodných materiálů.

Komponenty řídicího systému musí být vybírány v minimálně industriálním teplotním rozsahu, pokud je to možné, je výhodné použití ještě širších rozsahů. Pro ty nejnáročnější aplikace mohou přijít zvýšené zákaznické požadavky zejména od zákazníků ze zemí Ruské federace, kde minimální teplotní rozsah je -50°C . Výběr součástek z hlediska teplotního rozsahu a stanovení teplotního rozsahu celého

zařízení musí být prováděn v souladu s normou ČSN EN 50155. Tato norma mimo jiné stanovuje dimenzování součástek v aplikacích pro drážní účely.

Již od počátečních studií základní koncepce systému je nutné myslet na splnění elektromagnetické kompatibility. Již nesprávným rozhodnutím, např. napájecí koncepce, si lze přivodit nemalé potíže při celkovém splnění elektromagnetické kompatibility či imunity. Z toho pohledu je právě tato oblast zásadní a v praxi její splnění nebývá lehké. V celém návrhu je nutné striktně dodržovat pravidla pro blokování napájecích hladin, dále je nutné správně oddělovat analogové, digitální, signálové a napájecí zemní potenciály, ve vhodných místech je vzájemně spojovat. Je nutné dodržovat pravidla pro návrh plošných spojů spolu s elektrickými a minimalizovat proudové zemní smyčky, minimalizovat indukčnosti vodičů, na kterých jsou rychlé změny potenciálů, minimalizovat délky spojů vysoko impedančních uzlů. Pro návrh analogových obvodů se striktně držet nejpřísnějších pravidel, vhodným způsobem rozdělovat analogové a napájecí zemní potenciály. Analogové signály v nejbližším možném uzlu navzorkovat a digitalizovat. V některých místech je možné si „pomoci“ galvanickým oddělením jednotlivých obvodů tak, aby bylo zabráněno průsaku rušivého signálu, avšak tento způsob řešení je třeba důrazně zvážit. Nejen že prodražuje výslednou realizaci, ale v některých případech nesprávného použití může svými vlastnosti návrh zhoršit. Pořád je třeba mít na mysli, že do komplexního řídicího systému, kde bychom rádi měli co nejméně zarušené prostředí, připojujeme periferie z výkonové části, kde intenzita rušivých signálů převyšuje napětí logických úrovní v řídicí části.

4.3 Metodika návrhu hlavního počítače

Hlavní počítač řídicího systému je vlastně mozek celého systému. Z toho plynou extrémní nároky na jeho spolehlivost, robustnost s ohledem na komunikace, výpočetní výkon a paměti. Z pohledu návrhu obecného řídicího systému není možné definovat všechny vstupní informace, které hlavní počítač ke své funkci potřebuje. Proto je nutné při návrhu ponechat volně otevřený interface tak, aby bylo možné jednoduchým způsobem řídicí počítač rozšířit. Nejčastější rozšiřující periferie bývají: komunikační linka, analogový vstup, případně senzor zrychlení.

Řídicí systémy pro náročné aplikace velkých výkonů vyžadují trvalé sledování chodu celého systému, a to zejména v poruchových stavech. Tam je třeba ukládat všechny klíčové parametry ovlivňující chod systému do paměti, která uchová tato data i po výpadku napájení. Pro tyto účely je nutné jednotku hlavního počítače opatřit dostatečným množstvím pamětí, které uchovávají svůj obsah i při výpadku napájení. Ukládání těchto časových úseků je vhodné nějak odlišit. K těmto účelům je

nejpoužívanější časová značka. Tím vyvstává další z požadavků – obvod reálného času s bateriovou zálohou.

Komunikace - v rámci systému je vyžadovaná rychlá komunikace přes ty karty systému, jež požadují rychlý přenos dat, a pomalejší komunikace se všemi jednotkami systému. Mimo systém musí komunikovat k dalším částem komplexního celku, tedy ven z řídicího systému. Jednotka hlavního počítače musí disponovat dostatečným počtem nezávislých komunikačních linek tak, aby byla schopna pokrýt požadavky řídicího systému. Mezi základní komunikační linky se dnes považuje CAN a Ethernet. Pro komunikaci ve vlakových soupravách se používá vlaková komunikace MVB případně mezivlaková WTB. Komunikační linka FlexRay je dnes používaná spíše v automobilovém průmyslu, ale postupně si najde cestu i do drážních aplikací. Při vývoji moderního řídicího systému je nutné myslet právě tímto směrem do budoucna.

4.4 Metodika návrhu jednotky měničového systému

Z hlediska programového vybavení je nutné vhodně zvolit mikropočítačovou platformu. Pro moderní způsoby řízení je nutná podpora DSP instrukcí a aritmetika s plovoucí čárkou. Při hlubším zkoumání je nutné dbát na bezpečnostní koncept zvoleného procesoru, dále na počet vektorů přerušení, velikosti pamětí a jejich umístění (interní, externí), a to jak paměti programu, tak i paměti dat. Pro jednotky měničového systému je vhodné, aby paměť programu byla implementovaná přímo v procesoru. Dosáhne se tak podstatně vyšší spolehlivosti běhu programu při vyčítání instrukcí.

Z periférií jsou nezbytné výstupy pro buzení výkonových prvků. Velmi často bývají nazývané jako PWM výstupy. Pomocí nich se přenáší informace v podobě PWM signálů do driverů, které budí příslušné výkonové prvky. Informace do driverů může být přenášena elektricky (signál nejčastěji 5V nebo 15V úrovní) nebo opticky pomocí optických kabelů. PWM výstup musí být vyřešen tak, aby byl schopen spolehlivě budit driver pro výkonové prvky.

Většina driverů poskytuje zpětnou informaci do řídicího systému. Ta může nést informaci o statusu driveru (chyba / OK), nebo může posílat status o přijatém signálu, výčet druhů chyb aj., podle typu driveru. Z toho důvodu je vhodné ke každému PWM výstupu doplnit komplementární vstup nazývaný FB (FeedBack). Ten musí být navržen tak, aby při odpojení kabelu vedoucího do FB vstupů toto systém chápal jako chybu a přepnul se do bezpečného stavu. Počet PWM/FB párů je z hlediska univerzálního řídicího systému těžko stanovitelný. Pro obecný regulátor je nutné použít takový koncept, který poskytuje základní sadu signálů pro řízení většiny měničů. Na druhou stranu musí existovat jednoduchý způsob, jak rozšířit

počet PWM periférií bez ztráty na návaznost bezpečnostních blokovacích funkcí tak, aby byl schopen nový řídicí systém uřídit i moderní víceúrovňové měniče s mohutností až 100 výkonových prvků.

V každém řídicím systému musí být implementovaná řada bezpečnostních funkcí. Některé mohou být realizovány pomocí SW, ale ne pro všechny aplikace je SW řešení dostačující. Bezpečnostně kritické funkce proto musí být řešeny hardwarově. Jedná se především o blokovací funkce, které v případě detekce závažných chyb umožní blokování PWM signálů do definovaných úrovní, a tím přivedení aplikace do bezpečného stavu.

Nezbytným prvkem pro regulační karty je měření analogových signálů a jejich digitalizace. Analogovými signály jsou nejčastěji napětí a proudy ve výkonovém obvodu, které jsou snímány napěťovými či proudovými čidly. Ty převádí měřenou hodnotu na nejčastěji proudový signál, který je zaveden do jednotky regulátoru. Tam musí být zpracován a digitalizován. Z průzkumu trhu a nejčastějšího způsobu používání vyplývá, že není možné sestavit analogový vstup jednoúčelově, ale pro pokrytí většinové škály snímačů je nutné navrhnout analogový kanál pro měření hodnot tak, aby disponoval přepínatelným rozsahem v několika stupních včetně přepínače pro bipolární a unipolární měření. Stejně tak je vhodné, aby analogový vstup mohl být proudový či napěťový.

Pro zajištění rychlých ochranných opatření je nutné doplnit každý analogový měřicí kanál nezávislým komparátorem tak, aby komparační úroveň mohla být uživatelsky nastavena a výstup komparátoru byl zaveden do blokovací logiky, která je schopna odpojit budící pulzy pro výkonové prvky. Tímto řešením je opět zvýšena bezpečnost celého systému. Zapojení komparátoru je vhodné uzpůsobit nastavení analogového kanálu. Je-li kanál nastaven jako unipolární, pak komparátory jsou zapojeny klasickým způsobem. Ovšem pro bipolární nastavení je nutné sledovat kladné i záporné překročení analogové hodnoty.

Další užitečnou periferií, která doplní jednotku pro měničové systémy, je analogový výstup řešený rychlým DA převodníkem. Ten je vhodný zejména při nastavování celého regulátoru. Vnitřní proměnné, jak naměřené tak i spočtené, je možno v taktu regulační smyčky posílat na DA převodník a sledovat na připojeném osciloskopu. Tímto způsobem je možné vizualizovat např. magnetický tok či další veličiny matematických modelů aj.

4.5 Metodika návrhu obecných ovládacích signálů

Binární vstupy a výstupy jsou nejčastěji používanou periferií. Mezi základní kritérium samozřejmě patří napěťový rozsah. Pro binární vstupy je důležitou

vlastností rozhodovací úroveň. Pro náročnější aplikace bývá řešena adaptivně podle velikosti napájení v systému. Některé druhy aplikací, především trakční vozidla, požadují minimální odebraný proud pro analogové vstupy tak, aby bylo zaručeno „čištění“ konektorů. To je snadno dosažitelné pro vstupy nízkonapěťových systému, ale při 110V vstupech je nutné doplnit vhodná HW opatření.

Binární výstupy ovládají akční členy jako stykače, relé, nebo indikační prvky, jako jsou žárovky, nově LED lampy. V převážné většině jsou výstupy v konfiguraci horního spínače galvanicky odděleného od procesorové části. Musí být navrženy tak, aby byly schopny spínat induktivní i kapacitní zátěž. Je velmi vhodné, aby výstupy měly omezení proudu, byly zkratuvzdorné a obsahovaly tepelnou ochranu. Pro tak širokou škálu ochrany je třeba indikovat, je-li výstup v normálním provozním stavu či v některém z havarijních stavů. Proto se doplňuje každý výstup o diagnostický člen, který předává zpětnou informaci nadřazenému systému o statusu příslušného spínače. Další z užitečných vlastností binárního spínače je detekce připojené zátěže. Je-li zátěž odpojena od spínače, např. přerušení vlákna žárovky, pak je tento stav detekován a je informován nadřazený systém o chybě. Velmi užitečným doplňkem binárních výstupů je aktivní ochrana proti přepětí vznikající na odpojování induktivní zátěže.

Analogové vstupy a výstupy pro snímání pomalejších jevů jsou využívány pro měření teplot dílčích sestav, pro ovládání informativních analogových měřidel či pro snímání polohy pedálů pro zadání jízdy, brzdy, tahu, případně jiné analogové veličiny. Společnou vlastností pro analogové vstupy a výstupy bývá galvanické oddělení od procesorové části. Vlastnosti galvanického oddělení definují oblast použití konkrétní aplikace. Analogové vstupy je vhodné řešit pro několik rozsahů. V průmyslových systémech jsou nejčastěji používané rozsahy $\pm 5V$, $\pm 10V$, případně 0-5V nebo 0-10V a proudový rozsah 0-20mA. Univerzální analogový vstup by měl splňovat všechny tyto vlastnosti. Rozšiřovací analogové vstupy zpravidla snímají relativně pomalé děje, nejsou využívány pro měření veličin vstupujících do regulace. Jejich maximální kmitočet se pohybuje ve stovkách Hz.

Analogové výstupy jsou nejčastěji využívány v režimu proudového výstupu v rozsahu 0-20mA nebo 4-20mA. Tím je částečně vyřešena i jeho zkratuvzdornost.

Čidla otáček, případně polohy, jsou specifická čidla pro regulátory pohonu. Buď jsou řešena samostatně a je nutné zajistit spolehlivý a rychlý přenos dat do regulátoru, nebo jsou součástí jednotky měničového systému. Snímají polohu rotoru, případně otáčky rotoru, podle dané aplikace a použitého typu stroje. Z důvodu implementace přímo na motoru nebo v jeho těsné blízkosti je vhodné doplnit komunikaci čidla do

regulátoru galvanickým oddělením tak, aby bylo zabráněno šíření rušení do regulátoru.

4.6 Metodika návrhu vzájemné provázanosti

Jednotlivé stavební kameny řídicího systému musí mezi sebou komunikovat a vzájemně spolupracovat. K tomu slouží jednak komunikační linky, ale také sada dedikovaných signálů pro přímé řízení. Systém musí zajistit, aby nevznikaly kolize na komunikačních linkách (aby dva nebo více vysílačů nevysílalo proti sobě). Stejně tak musí systém zajistit, aby se neztrácely komunikační rámce a aby bylo zajištěno bezpečné doručení zpráv.

4.7 Metodika návrhu bezpečnostních funkcí

Neméně důležitou vlastností, především v dopravní technice, je zajištění bezpečnosti. Ta musí být zajišťována na všech úrovních řídicího systému. Zajištění bezpečnosti spočívá v detekci stavů, které mohou vést k havarijním následkům a reakcí na tyto stavy přivedením systému do bezpečného stavu. Samotné přivedení do bezpečného stavu bývá řešeno na několika úrovních. Nejnižší úroveň zajištění bezpečného stavu je HW implementace. Ta je používána třeba pro blokování výstupů pro buzení výkonových prvků. Bezpečnostně relevantní obvody musí být navrženy tak, aby při vzniku první chyby spolehlivě přivedly systém do bezpečného stavu a tuto chybu byly schopny detekovat.

4.8 Metodika návrhu plošných spojů

Metodika návrhu plošných spojů je velmi obsáhlá a komplexní. Pro řídicí systém velkého rozsahu je nutné aplikovat samozřejmě obecné zásady pro navrhování plošných spojů, ale zejména zásady pro jednotlivé dílčí části. Spínané napájecí zdroje mají spoustu svých specifických zásad, kde je velmi nutné oddělovat výkonovou a signální zem, ve správném bodě ji spojit tak, aby měření výstupního napětí nebylo ovlivněno chybou způsobenou pracovními proudy tekoucí mezi vstupním a výstupním kondenzátorem. Stejně tak je nutné minimalizovat proudové smyčky tak, aby spínaný zdroj nerušil do svého okolí velkou intenzitou magnetického pole. Jednotlivé uzly, především hlavní pracovní uzel spínaného zdroje musí být řešeny tak, aby jejich plocha byla co nejmenší a eliminovalo se tak vyzařování elektrického pole do okolí. Připojení snímacích rezistorů proudu musí být řešeno pokud možno čtyřvodičově, i když je použito standardního rezistoru. Pro hodnoty snímacích odporů pod $10\text{m}\Omega$ je na místě zvážit čtyřvodičové provedení snímacích odporů. Při návrhu musí být brán ohled na tepelné namáhání komponent a řešení odvodu tepla. Pro galvanický oddělené zdroje platí zásada svedení vysokofrekvenčních pulzů mezi primární a sekundární částí.

Pro navrhování komunikačních částí, zejména pak vysokofrekvenční komunikace je nutné aplikovat pravidla pro vysokofrekvenční návrh. Z toho plynou zásady vysokofrekvenčního blokování s použitím správných kondenzátorů s ohledem na jejich blokovací schopnosti, použití oddělovacích tlumivek a propojování vysokofrekvenčních obvodů systémem řízené impedance. To vede na použití mikropáskového vedení, které musí být správně nastaveno. Pro připojení paralelní částí komunikačního řadiče je vhodné zajistit „length matching“, tzn. paralelní vodiče stejné délky.

Ke všem požadavkům musí být paralelně splněny pravidla pro technologii výroby plošného spoje a pravidla pro technologii strojního osazování.

5 NÁVRH OPTIMÁLNÍ KONCEPCE ŘÍDICÍHO SYSTÉMU

Při úvaze koncepcí řídicího systému je nutné zahrnout širokou škálu vstupních parametrů, které mohou výrazně ovlivnit výsledné řešení. Zároveň je nutné zahrnout poznatky chybějících funkcí současných systémů a současně zakomponovat dobré vlastnosti současných systémů.

Základní parametry ovlivňující koncepci řešení jsou:

- Požadavky na funkčnost
- Požadavky na cenu
- Celkový objem výroby
- Komplexní řešení – řízení pohonů, řízení vyšších celků, binární ovládání, aj.
- Potenciální rozšiřitelnost do budoucna
- Rychlost výměny jednoho elementárního celku
- Průnik současných požadavků – zpětná kompatibilita
- Modulární koncept periferií
- Bezpečnost celého systému
- Požadavky na EMC

Všechny tyto vyjmenované požadavky mohou velkou mírou ovlivnit samotný návrh řídicího systému v závislosti na tom, jak jsou nastaveny jejich priority. V následujícím textu této kapitoly jsou výše uvedené požadavky obecně analyzovány, konkrétní řešení nové koncepce řídicího systému navržené v této disertační práci je pak detailně popsáno v následujících kapitolách.

Požadavky na funkčnost

Jedná se o soubor funkčních specifikací daných používanou aplikací, které detailně popisují chování dílčích částí, ale i systému jako celku. Stanovují technické parametry jednotlivých vstupů a výstupů systému, stanovují kritéria a podmínky, ve kterých musí být splněny všechny předepsané parametry. Definují všechny pracovní i havarijní stavy systému a reakci systému na tyto události.

Požadavky na cenu

Zpravidla je nastavena limitní cena pro kompletní aplikaci, případně zvlášť pro řídicí systém. Ta je z kalkulována obchodním oddělením a často je nastavena velmi těsně. Z toho důvodu je někdy velmi problematické splnit alespoň základní požadavky systému.

Celkový objem výroby

Celkový objem výroby může být velice mocný parametr. Podle tohoto údaje by měl být uzpůsoben přístup k návrhu celého řídicího systému. Souhra celkového objemu výroby a přístupu k návrhu dokáže výrazně ovlivnit cenu výsledného produktu. Jako názorný příklad mohou být použity dva řídicí systémy z naprosto protilehlých tematických celků. Představme si řízení pro pohon lokomotivy, kde se předpokládá nasazení maximálně 10 až 20 kusů za rok a oproti tomu řízení servomotoru do osobního automobilu, kde roční produkce bude okolo 500 tis. ks. Již podle způsobu použití a celkového objemu výroby lze rozpoznat značný rozdíl. Pochopitelně bude odlišný požadavek na jednotkovou cenu. Podle těchto parametrů lze upravit i přístup návrhu. Například pro regulátor do automobilu, kde je obrovská násobnost, přidání každého bytí malého odporu znamená ve výsledné ceně značnou sumu. V takovém případě musí být design stoprocentně na míru bez dalších funkcí typu „nice to have“. Výběr součástek musí být proveden tak, aby byl minimalizován jejich počet. Oproti tomu výběr součástek pro jednotku lokomotivy musí být směřován pravidlem co nejmenšího počtu typů součástek. Takže již při výběru rezistorů je vhodné se nad každou použitou hodnotou zamyslet, jedná-li se o hodnotu, která je v jednotce již použita, nebo jde o unikátní prvek. V takovém případě je vždy nutné zvážit, jestli dané obvody řešení striktně potřebuje právě nově zavedenou hodnotu součástky nebo je možné za použití bytí dvou jiných součástek složit na požadovanou hodnotu. Ačkoliv se druhé řešení zdá jako dražší, v konečném důsledku tomu tak není. Naopak široké množství typů součástek výsledný produkt prodraží víc než použití redukovaného množství typů i za cenu většího počtu kusů komponenty. To platí pro maloobjemové aplikace, kdy je nutné počítat nejen s reálným množstvím nakupovaných komponent ale také s MOQ (minimum order quantity). Ve skutečnosti to znamená, že pokud se trvá na strojním osazení a na

jednotce je použit jeden kus unikátní hodnoty odporu, ve skutečnosti je nutné nakoupit celou cívku odporů dané hodnoty, která může obsahovat od 1 tis. do 10 tis. součástek podle velikosti pouzdra a balení. Je proto jistě levnější jednu danou hodnotu nahradit složením dvou jiných hodnot, které se již na desce objevují.

Možnost využití na jiném projektu

Řídicí jednotka pro drážní vozidla je typickým příkladem maloobjemové výroby. Ročně se jich využije přibližně desítky až stovky podle použitého projektu. Ve vozidlech je použita velmi široká škála nejrůznějších měničů a regulátorů. Z toho pohledu je výhodné navrhnout řídicí jednotku tak, aby pokrývala více typů měničů nebo regulátorů. Tím vzroste celková roční produkce, která může mít příznivější vliv na cenu jednotky, ale také se zmenší portfolio typů řídicích jednotek a je možné je lépe udržovat. Jistě to uvítá i servis, který musí neustále sledovat nové typy řízení přicházející od vývojářů.

Potenciální rozšiřitelnost do budoucna

V průběhu vývoje není možné odhadnout všechny požadavky na řídicí jednotky z pohledu nově přicházejících projektů v horizontu cca 5 let. Proto je vhodné dopředu vybavit řídicí jednotku, o které víme, že bude nasazována dlouhodobě do několika projektů, takovým rozhraním, které umožní v budoucnu přidáním dalších bloků doplnění nové funkce. Může se jednat o nový typ komunikace, zpracování signálu z nového typu čidla polohy rotoru aj.

Rychlost výměny jednoho elementárního celku

Rychlost výměny souvisí se servisem celého systému. V případě poruchy je jistě jednodušší vyměnit např. malou zásuvnou jednotku, do které vedou 4 konektory, než velkou komplexní desku uchycenou na 14-ti sloupcích, do které vede 30 konektorů.

Průnik současných požadavků- zpětná kompatibilita

Průnik současných požadavků stanovuje požadavky dnešních řídicích systémů. Ty by měl nový řídicí systém samozřejmě splňovat s dostatečnou rezervou.

Modulární koncept periferií

Jedním z velmi častých omezení stávajících řídicích systémů je pevný počet periferií, ať už jde o PWM signály pro buzení výkonových prvků nebo binární vstupní signály případně analogové kanály. Velmi často je při prvním návrhu výkonové části a definice rozhraní na řídicí systém projektantem nedefinované rozhraní pro výkonové obvody tak, že standardní typ řídicího systému stoprocentně nepokrývá všechny periferie a je na diskuzi, zda-li je možné periferie eliminovat. V některých

případech to možné není a tak je nutné hledat řešení, jak příslušnou periférii přidat či doplnit. U řídicích systémů, které nejsou navrženy s ohledem na rozšíření, je to problematické, ne-li nemožné.

Bezpečnost celého systému

Pro použití řídicího systému v oblasti drážních vozidel je nutné splňovat bezpečnostní požadavky definované normami. Ty specifikují celý životní cyklus vývoje řídicího systému pomocí V-modelu, od základní specifikace až po předávací dokumentaci přes všechny oblasti SW, HW nevyjímaje. Před návrhem řídicího systému je nutné mít zpracovanou bezpečnostní analýzu, která definuje možná rizika. Všechny větve rizikové analýzy musí být zpracovány v návrhu a pokryty bezpečnostní funkcí tak, aby byl systém bezpečný za všech okolností.

Požadavky na EMC

Požadavky na EMC zasahují do všech oblastí HW návrhu od mechanického provedení, přes layout až po návrh obvodových schémat. Zde je vhodné dobře zvolit napájecí koncept všech dílčích karet včetně správného galvanického oddělení jednotlivých částí. Při definici napájecího konceptu je třeba myslet jak na napájení jednotek, tak na napájení připojených periférií. Je třeba brát v úvahu obvyklé umístění dané periferie ve výkonovém obvodu, používanou kabeláž a s tím spojenou vzájemnou vazbu s výkonovým obvodem. Pro některé periferie je opět vhodné přidat další galvanické oddělení pro zamezení šíření rušení. Takové galvanické oddělení má svá úskalí a je nutné zajistit odvod střídavé rušivé složky. Jsou případy, kdy je to velmi obtížné kvůli velkým strmostem primárního a sekundárního potenciálu.

Řešení komunikací, zejména CAN linky, se taktéž obvykle provádí přes galvanické oddělení. Tím je minimalizovaný přenos rušivých signálů mezi jednotlivými uzly CAN linky. To má své opodstatnění například ve vozidle, kde pomocí CAN linky jsou pospojovány všechny systémy podílející se na hlavním a pomocném pohonu. V hybridním vozidle to může být: řízení hlavního pohonu, superkapacitory, trakční baterie, řízení nabíjení trakční baterie, alternativní zdroj energie (diesel agregát, vodíkový měnič), řízení pomocných pohonů, moderní výkonové prvky. Propojením takové konfigurace bez galvanického oddělení zcela jistě vede k tak velkému vzájemnému rušení, které ovlivní datové rámce na CAN lince.

6 POPIS NAVRŽENÉHO NOVÉHO ŘEŠENÍ ŘÍDICÍHO SYSTÉMU

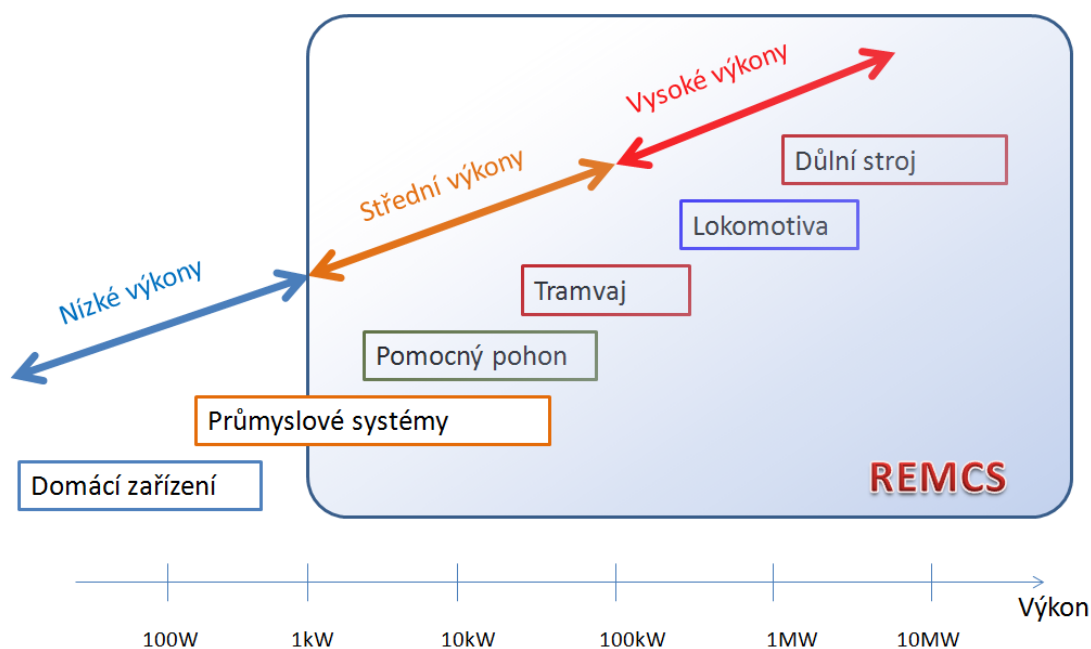
V rámci své průmyslové praxe jsem se podílel na vývoji množství jednoúčelových řídicích jednotek a na dvou velkých řídicích systémech. Jednoúčelové jednotky a první rozsáhlý řídicí systém jsem vyvíjel pro společnost ŠKODA ELECTRIC a.s., a proto konkrétní výstupy a detailní popisy těchto projektů nemohou být s ohledem na obchodní tajemství průmyslového partnera prezentovány v této disertační práci. Nicméně nabitě cenné praktické zkušenosti s vývojem jak jednoúčelových řídicích jednotek, tak s vývojem velkého řídicího systému včetně jeho nasazením do provozu jsem využil v této disertační práci. Nový modulární řídicí systém, který je v této práci navržen a popsán, se opírá právě o zkušenosti z provozu dříve používaných jednotek a řídicích systémů a doplňuje sadu vlastností, které předchozím systémům scházely. Tento řídicí systém je do průmyslově nasaditelné podoby vyvíjen Západočeskou univerzitou v Plzni, přesněji Regionálním inovačním centrem elektrotechniky – RICE na Fakultě elektrotechnické.

6.1 Definice platformy a koncepce systému

První fáze vývoje modulárního řídicího systému spočívá v definici základní filozofie, stanovení koncepce celého systému. V této chvíli je nutné na řídicí systém pohlížet jako na celek, který má za úkol pokrýt danou oblast aplikací. Je nutné stanovit páteřní část celého systému, hlavní funkčnost a dělicí rovinu, která definuje a rozděluje úlohy jednotlivých částí systému. Tato dělicí rovina určuje typy a funkčnost jednotlivých částí systému a výraznou měrou ovlivňuje právě modularitu celého řídicího systému.

6.2 Definice oblastí, které má řídicí systém pokrývat

V této fázi je nutné definovat oblasti výkonové elektroniky, kde je požadované pokrytí modulárním řídicím systémem. Jak již bylo zmíněno, jsou vytyčeny dva základní industriální směry – energetika a dopravní technika, které jsou z pohledu pokrytí navrhovaným řídicím systémem zajímavé = cílové aplikace. Vydáme-li se tímto směrem, je nutné rozebrat tyto směry podrobněji. Na první pohled je patrné, že všechny aplikace je nemožné obsáhnout. Zde je na místě vytyčit si rozumné cíle pokrytí aplikací tak, aby řídicí systém přinesl jasný benefit oproti stávajícím komerčně dostupným řešením.



Obrázek 1 – Oblast pokrytí aplikací navrženým řídicím systémem

Obrázek 1 názorně naznačuje oblast pokrytí ve směru dopravní techniky. Zde je patrné, že řídicí systém REMCS si neklade za cíl řízení malých aplikací s obrovskými výrobními sériemi, ale naopak se snaží pokrýt oblast středně a vysoce výkonných aplikací.

6.3 Definice páteřní části

Definice páteřní části je velice důležitý bod ve vývoji celého řídicího systému. Tato definice výraznou měrou ovlivní celkový koncept a rozvržení všech dalších jednotek. Fáze definice páteřní části popisuje základní strukturu celého řídicího systému, vzájemné propojení všech částí, komunikace a jejich fyzické vrstvy, formát karet řídicího systému.

6.3.1 Vytyčení konkrétních aplikací, jejich požadavky

Základní požadavky pro obecné řízení je nutné rozdělit do dvou skupin. Požadavky pro řízení vyšších celků a požadavky pro řízení měničů.

Do první skupiny požadavků pro řízení výkonových celků spadají především komunikační karty, které svým významem zajišťují řízení vyšších technologických celků. Kladou důraz na komunikační kanály, ať už jde o jejich počet, ale i o typ komunikačních médií. Mezi nejpoužívanější dnes patří Ethernet jakožto základní komunikační kanál. V oblasti dopravní techniky velmi výraznou roli zastává CAN komunikace. V dnešní době se CAN dostává do popředí i v energetice. Velmi častým požadavkem obou odvětví, jak energetiky, tak i dopravní techniky, co se

komunikačních kanálů týče, je USB linka. Ta bývá využita pro připojení externí flash paměti nebo pro stažení diagnostických a provozních dat. Pro specifické drážní účely (konkrétně pro vlakovou a mezivlakovou komunikaci) se často používají komunikace MVB případně WTB.

Druhá neméně významná skupina požadavků je pro řízení měničů. Tam kromě základních komunikačních linek jsou nutné periférie pro připojení výkonových prvků, ale také pro připojení externích čidel napětí, proudu a teploty pro monitorování běhu měniče. Pro měniče pohonů pak přibývají ještě čidla otáček či absolutní polohy. Pro regulace výkonových měničů musí řídicí jednotka disponovat dostatečným výpočetním výkonem, který zvládne složité moderní regulace, nezbytný signal processing a upočítá aplikované matematické modely, a to i při extrémně krátkých smyčkách. V dnešní době výkonové měniče pracují s periodou spínání výkonových prvků od několika stovek Hz až po desítky kHz. Vnitřní regulační smyčka tak dosahuje času od několika ms až po časy blížíící se 10 us. Za tuto dobu musí řídicí systém navzorkovat a převést všechny analogové hodnoty vstupující do regulace, tyto údaje programově zpracovat spočítat podle běžícího modelu novou sekvenci pro buzení výkonových prvků a vygenerovat PWM signály. Mezi tímto procesem regulace musí samozřejmě ještě fungovat ochrany – hlídání mezních stavů a pochopitelně i komunikace, která slouží pro povelování řídicího systému od řízení vyššího funkčního celku. Pro pohon ještě vstupuje do základního výčtu úkonů měření absolutní polohy hřídele či měření otáček hřídele v závislosti na použitém pohonu.

6.3.2 Cesta průniku všech požadavků

Po důsledné analýze je patrné, že metoda souhrnného průniku všech požadavků obou skupin a implementace všech těchto periférií a funkcí na jednu univerzální platformu je nemožná. Tato cesta se zdá být slepým řešením.

6.3.3 Definice koncepce systému

Z požadavků na periférie a obecný koncept vyplývá, že je nemožné celý řídicí systém obsáhnout jako jednodeskové řešení. Je nutné přistoupit k více deskové variantě. U více deskových řešení bývá zásadní rozdělení roviny řezu, která definuje rozložení jednotlivých bloků celého konceptu do jednotek a tím rozdělení funkčnosti na jednotky. V případě navrženého řídicího systému je rozdělení jednotek následující:

MCU – Micro Controller Unit – hlavní počítač. Tato jednotka slouží jako master celého řídicího systému, zajišťuje povelování všech hierarchicky nižších jednotek a na druhou stranu komunikaci směrem ven z řídicího systému. Jednotka je řešena jako zásuvná, ale může pracovat i samostatně.

DIF – Direct InterFace – měničový systém. Jednotka DIF, poskytuje potřebné prostředky pro ovládání měniče. Jednotka je řešena jako zásuvná, ale může pracovat i samostatně.

OIF – Open InterFace – otevřená karta. Jednotka OIF slouží jako nosná platforma pro rozšiřující moduly. Těmi mohou být: Modul analogových vstupů, modul analogových výstupů, modul digitálních vstupů, modul digitálních výstupů. Jednotka je řešena jako zásuvná, ale může pracovat i samostatně.

ICC – Inter Connection Card – propojovací jednotka. Propojovací jednotka slouží k plnohodnotnému propojení všech systémových a komunikačních signálů mezi více rack systémy. Využití této jednotky samostatně nemá význam.

PSU – Power Supply Unit – napájecí zdroj. Napájecí zdroj zajišťuje napájení celého vany řídicího systému. Přes jednotlivé karty zajišťuje také napájení připojených periferií, jako jsou čidla napětí, proudu, otáček aj.

BPF – Backplane Full – plnohodnotná propojovací deska. Pod pojmem plnohodnotná je myšleno plná verze do 19' skříně s počtem 20 pozic pro jednotky a 1 pozice pro napájecí zdroj. Propojovací deska propojuje všechny jednotky řídicího systému.

Řídicí systém musí být navržen tak, aby bylo možné kombinovat jednotky do vzájemné konfigurace. Tento požadavek vychází z průzkumu trhu. Tímto způsobem je možné pokrýt širokou škálu aplikací. V extrémním případě je vhodné, aby mohly základní stavební jednotky systému fungovat samostatně jako jednodesková varianta konfigurace.

6.3.4 Doplnění a řešení stávajících slabin řídicích systémů

Průzkum trhu dostupných komerčně nabízených řídicích systémů naznačuje další požadavky, které by měl moderní řídicí systém splňovat. Z dostupně komerčních systémů žádný z nich nesplňuje všechny tyto požadavky současně.

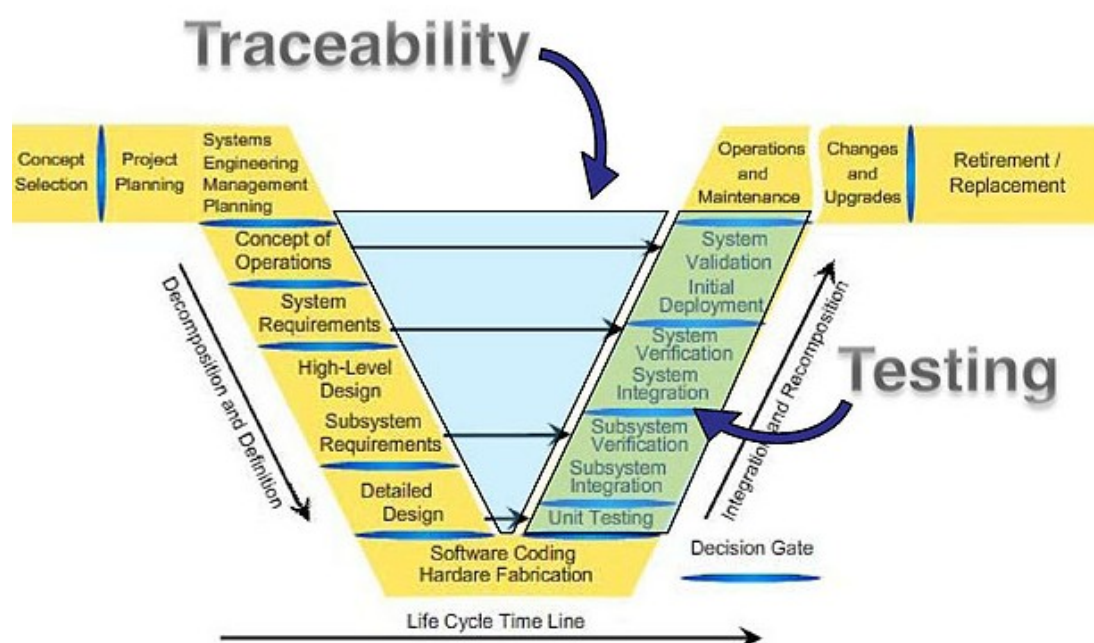
- Vysoká modularita
- Bezpečnostní koncept hodinových signálů
- Záložní master systému
- Distribuovaná bezpečnost jednotek
- HW řešení bezpečnostně relevantních funkcí
- Plnohodnotné ISP
- Paralelní debug systému
- Uživatelské signály
- Jednoduché rozšiřující moduly

- Krátké analogové trasy
- Režim spánku
- Offline identifikace
- Uživatelsky otevřený systém

6.3.5 Doplnění otevřeného rozhraní do budoucna

Každá karta by měla obsahovat takové rozhraní, které umožní další rozšiřování funkcionality podle nových požadavků. Tím se posune hranice morálního zastarání systému a prodlouží se tak doba životního cyklu celého řídicího systému. Poskytuje to taktéž obrovský náskok proti systémům řešeným na míru v okamžiku, kdy je třeba přidat např. nový druh komunikace. REMCS umožní doplnit pouze jednoduchý komunikační modul.

6.3.6 Důraz na bezpečnost a cesta vývoje pomocí V modelu



Obrázek 2 – Doporučený vývojový model pro splnění požadavků bezpečnostního konceptu, tzv. V model – převzato z [10]

Vzhledem k tomu, že řídicí systém REMCS míří především do oblastí dopravní techniky, celý proces vývoje musí být řešen s ohledem na bezpečnost, která je v dopravní technice vyžadována. Obrázek 2 znázorňuje V model, podle kterého je řízen celý životní cyklus vývoje řídicího systému. Je to jeden z předpokladů splnění bezpečnostních požadavků.

6.4 Definice procesorové platformy

Definice procesorové platformy je zásadní pro vývoj celého systému. Při výběru je nutné zahrnout několik faktorů, které musí být plněny s příslušnou váhou. Ne vždy lze všechny požadavky plnohodnotně splnit. Mezi základní kritéria pro výběr procesorové základny patří:

- Paměť programu implementovaná na čipu
- Dostatečný počet přepisů flash paměti
- RAM paměť implementovaná na čipu
- Paralelní sběrnice vyvedená na piny procesoru
- Komunikace CAN alespoň 2x
- Ethernet řadič
- SPI kanál alespoň 2x
- PWM modulátor
- Plovoucí aritmetika
- Podpora DSP instrukcí
- Dvoujádrový systém
- Podpora bezpečnostních funkcí
- Výpočetní výkon alespoň 120MIPS

Po zvážení všech kladů a záporů byla vybrána procesorová platforma bezpečnostního jádra od Texas Instruments pod označením TMS570LS3137. Tento procesor má spoustu bezpečnostních funkcí a je předurčen právě pro aplikace vyžadující zvýšenou bezpečnost.

6.5 Definice klíčových komponent

Díky vydefinovanému procesoru je možné podle základních požadavků a aplikace metodiky spolu s definicí páteřní části systému určit klíčové komponenty celého řídicího systému. Jedná se především o komunikační řadič pro vysokorychlostní komunikaci, dále pak o výběr FPGA obvodů a pro regulační karty o výběr AD převodníku.

Výběr komunikačního řadiče závisí na použitém typu komunikace. Po spočtení časovacích nároků bylo usouzeno, že je nutné použít komunikační rychlost alespoň 1 GBPS. Při zachování sériového přenosu dat z toho vyplývá, že fyzická úroveň linky musí být řešena diferenciální linkou, jako je LVDS. Díky použití LVDS linky nelze propojit komunikační karty systémem multipoint. Bylo nutné vyřešit směrování komunikačního toku tak, aby se mohl dostat do správného cíle. Pro komunikační řadič byla zvolena koncepce od Texas Instruments SERDES TLK1501. Ten je na straně

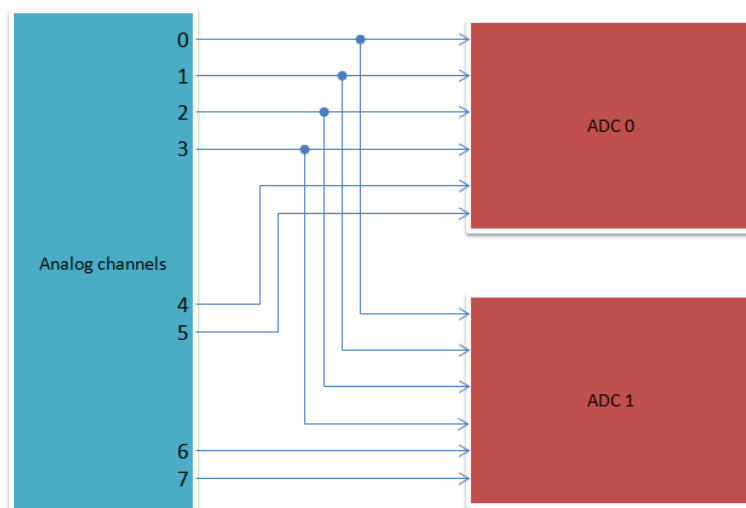
jednotky připojen přes paralelní bránu a na straně linky pomocí CML standardu. CML standard je snadno kompatibilní s LVDS standardem.

Pro výběr FPGA platformy bylo v prvním fázi voleno mezi dvěma renomovanými světovými výrobci programovatelných obvodů. Těmi jsou Altera a Xilinx. Vzhledem k tomu, že FPGA programátoři v týmu RICE pracují převážně s platformou Altera a mají s tím bohaté zkušenosti, byla zvolena tato platforma. Pro výběr konkrétního programovatelného pole byla provedena základní analýza požadovaných funkčních bloků ohledem na jejich velikost. Při zvážení zamýšlených funkcí do budoucna s předpokládanou rezervou byla vybrána řada CYCLON III o velikosti 40.000 LES.

Výběr AD převodníku pro regulační jednotku byl podřízen požadavkům specialistů z oblasti regulace měničových systémů. Mezi základní požadavky patří:

- Rozlišení minimálně 14 bitů
- Rychlost alespoň 200kSPS
- Počet kanálů 8
- Vzorkování všech kanálů ve stejném okamžiku
- Uživatelské nastavení okamžiku vzorkování
- Doba převodu < 10 μ s
- No missing code
- Plné vyžití dynamického rozsahu

Pro splnění výše definovaných parametrů bylo zvoleno použití převodníku AD7656 od Analog Devices [15]. Vzhledem k tomu, že zmíněný převodník disponuje pouze 6 kanály, je nutné použít 2 převodníky. Zbylé kanály se zapojí s přesahem tak, aby 4 kanály byly měřitelné oběma převodníky současně a 4 kanály byly měřitelné alespoň jedním z převodníků. Pro první 4 kanály se zvýší rychlost na 500 kSPS při použití přesazeného měření Obrázek 3.



Obrázek 3 - Přesazené AD převodníky

7 DETAILNÍ ŘEŠENÍ NAVRŽENÉHO ŘÍDICÍHO SYSTÉMU – VÝVOJ PROTOTYPU

7.1 Mechanické provedení

Základní mechanické provedení systému REMCS jsou zásuvné jednotky 3U/220mm (133,35 x 220mm) do typizované Euro skříně. Jednotky jsou propojeny pomocí propojovací backplane desky, která zajišťuje distribuci napájecího napětí, propojení všech signálů, propojení komunikací, terminace komunikačních linek a adresování jednotek v rámci vany. Všechny systémové signály jsou vyvedeny na zadní konektor do backplane, signály připojující aplikaci jsou vyvedeny přes čelní konektory. Součástí čela je upínač do zásuvného systému umístěný ve spodní části čela. Standardně jsou jednotky provedeny v šířce 4HP (22,32mm), kromě výjimek, jako může být napájecí zdroj 8HP. Mechanická konstrukce skříně rack je v provedení EMC. Všechna spojení jsou zpracována podle standardů EMC tak, aby se skříň chovala jako spolehlivé stínění, spojení dvou mechanických rovin je provedeno tak, aby nevytvářelo plošnou anténu. Všechny štěrbinové spojení jsou vyplněny vodivými gumami či stínícími pružinami.

7.2 Konfigurace systému

Konfiguraci systému použitím definovaného počtu karet je možno rozdělit do 4 skupin.

bude přivedeno zvenku. Některé jednotky mohou být variantně osazeny. Tímto variantním osazením je možné redukovat cenu jednotek.

7.2.3 Vanové řešení - Sub rack solution

Konfigurace „Sub rack solution“ spočívá v propojení až 20 jednotek v rack systému. Jednotky jsou propojeny aktivní propojovací deskou nazývanou backplane. Ta kromě propojení všech systémových a uživatelských signálů obsahuje i propojení vysokorychlostní komunikace včetně směrových přepínačů. To umožňuje použití vysokorychlostní komunikace mezi kartami.



Obrázek 6 – Vanové řešení

7.2.4 Více vanové řešení - Rack solution

Poslední konfigurací je „Rack solution“. Ta spočívá v propojení několika sub rack systémů v jeden komplexní celek. Propojení rack systémů bude provedeno pomocí speciální propojovací karty, která zajišťuje propojení všech systémových signálů včetně vysokorychlostní komunikace, kde udržuje topologii dvojitého kruhu.

7.3 Společné vlastnosti

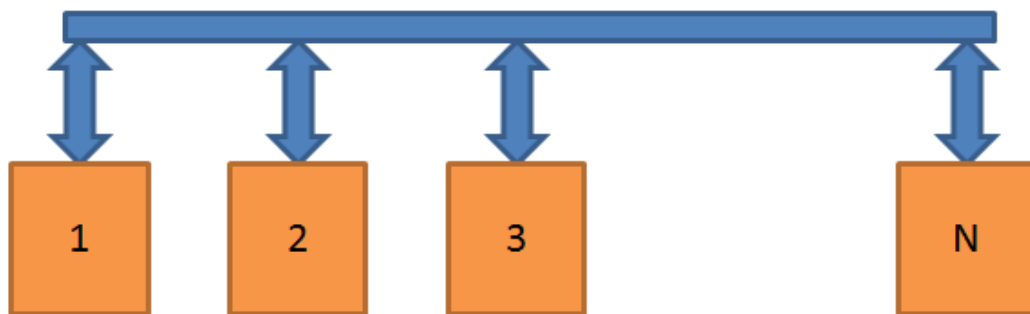
Všechny jednotky v systému musí mít unifikované rozhraní a základní společné vlastnosti systému.

7.3.1 Identifikace jednotek

Každá z karet obsahuje identifikační procesor nazvaný IDN. Ten zajišťuje adresování karet v systému, které je prováděno buď automaticky podle čísla obsazené pozice,

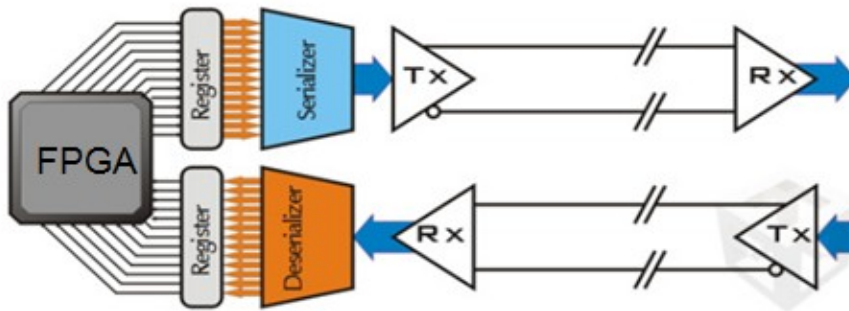
nebo ručně v případě, že to daná aplikace striktně vyžaduje. Pro tento případ obsahuje každá karta vlastní konektor pro kódování uživatelské adresy. Ta může být nakonfigurována jako adresa uzlu systémové CAN linky. V takovém případě musí uživatel zajistit jednoznačnost nastavené adresy. Výše zmíněný identifikační procesor dále zajišťuje základní monitorovací funkce jako je měření systémových napájecích hladin či monitorování teploty jednotky. Identifikační procesor v neposlední řadě umožňuje programovat všechny programovatelné komponenty na jednotce. V rámci celé vany je propojen vlastní systémovou CAN linkou, která zajišťuje přenos systémových informací. Aplikační data se na tuto CAN linku nedostanou.

7.3.2 Komunikace



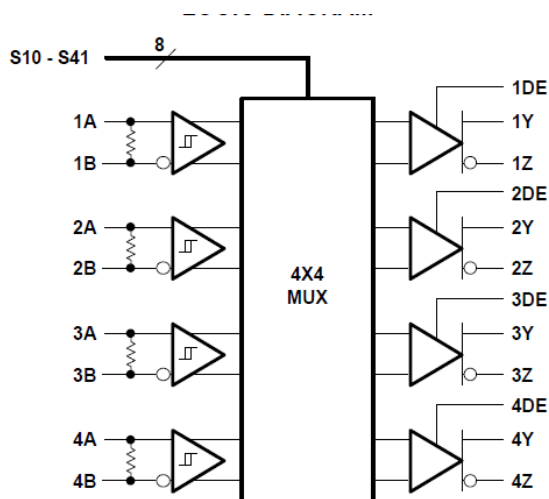
Obrázek 7 – Znázornění připojení komunikací přes několik jednotek

Všechny jednotky řídicího systému musí být propojeny společnou komunikační linkou, která zajistí přenos informací mezi jednotkami Obrázek 7. Z hlediska komunikace je nutné rozdělit základní komunikační kanál na rychlý a pomalý. Rychlý komunikační kanál slouží k rychlému předání základních dat mezi jednotkami. V měničovém systému se může jednat o přenos dat v rámci regulační smyčky, která se pohybuje v časech od stovek ms po desítky μ s. Pomalým komunikačním kanálem je myšlena komunikační linka, která zajišťuje přenos dat, které se nepodílí přímo na vlastní regulaci měničových systémů, avšak mají svůj význam pro správný chod celého systému. Topologie CAN spolehlivě splňuje požadavky „pomalého“ komunikačního kanálu, avšak nezajistí dostatečnou rychlost a odezvu pro rychlou komunikaci. Z toho důvodu bylo nutné hledat nová řešení. Po důkladné analýze, přepočtu časových nároků a zahrnutím všech požadavků na řídicí systém pro měničové aplikace vyšla nejlépe vysokorychlostní sériová komunikace. Komunikační řadič někdy nazývaný SERDES (Serializer Deserializer) zajišťuje serializaci a deserializaci dat. Je připojen paralelní sběrnicí do FPGA, kde je vytvořen inteligentní řadič, který nabízí plný komfort k ovládní komunikační periferie SERDES.



Obrázek 8 SERDES - Serializer deserializer [11]

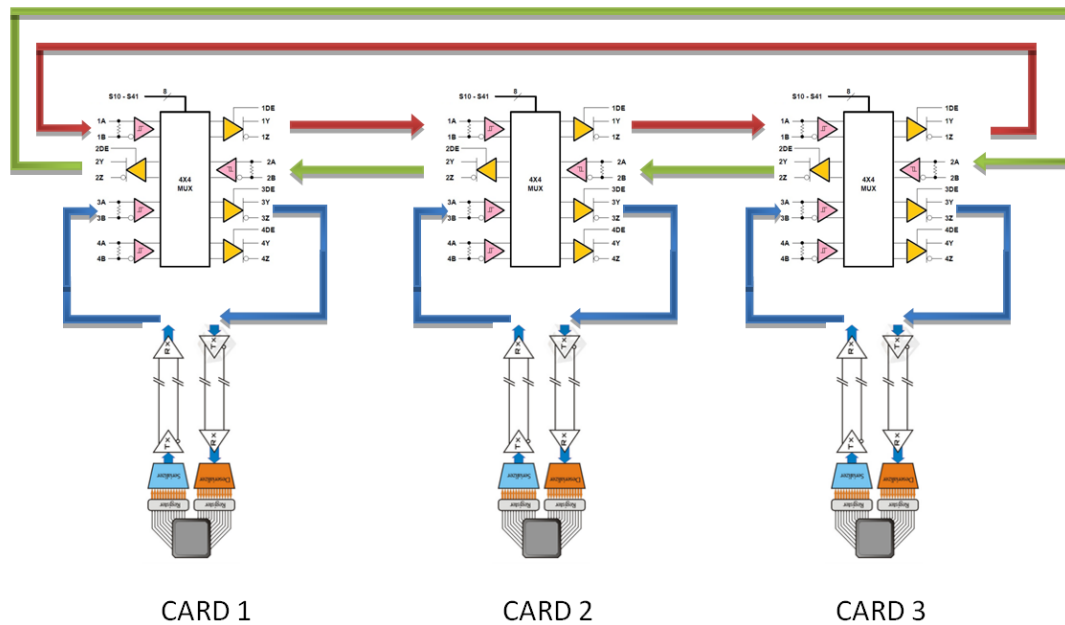
Na paralelní straně je SERDES připojen přes 16-bitovou vysílací sběrnici a 16-bitovou přijímací sběrnici. Sériovou stranou jsou přijímače a vysílače propojeny mezi sebou diferencíální linkou LVDS. Tento způsob komunikace nelze zapojit jako multipoint. Je nutné vyřešit směrování tak, aby mohly komunikovat všechny jednotky. Pro zajištění plnohodnotné komunikace je použit směrovač.



Obrázek 9 - Směrovač komunikace [12]

Směrovač obsahuje 4 diferencíální vstupy a 4 diferencíální výstupy. Vnitřní struktura je uspořádána tak, že každý výstup může být připojen k libovolnému vstupu. K tomu slouží ovládací bity S10 až S41. Výstupní budiče jsou taktéž vybaveny ovládacím signálem.

Tento směrovač je připojen ke každému SERDESu tak, aby bylo možné řídit komunikační tok Obrázek 10.



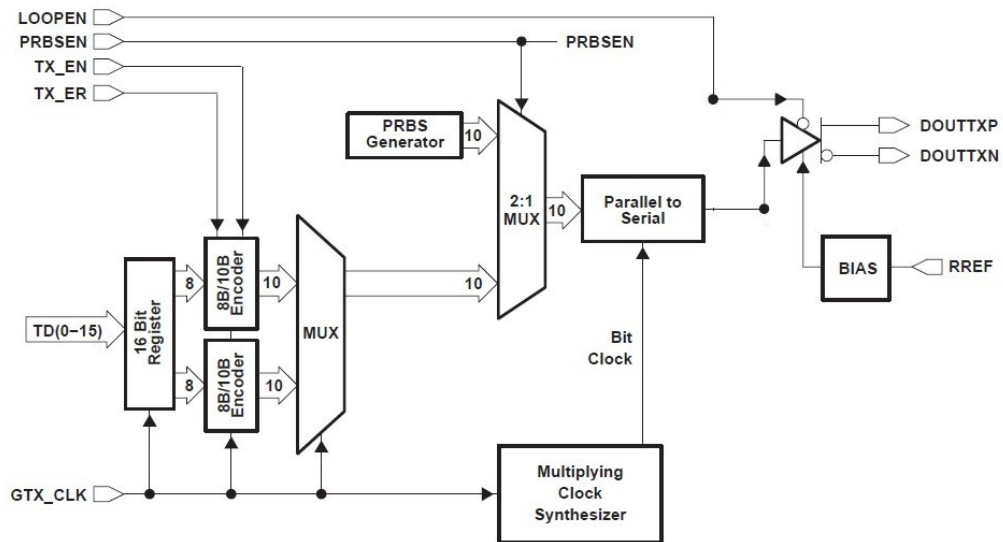
Obrázek 10 - Princip zapojení směrovačů

Obrázek 10 znázorňuje celkové zapojení komunikace včetně směrovačů. Modré šipky znázorňují komunikační tok mezi směrovačem a řadičem SERDES, zelené a červené šipky reprezentují dvojitou protisměrnou kruhovou topologii, která umožní komunikaci mezi dvěma libovolnými jednotkami. Použití protisměrného dvojitého kruhu zajišťuje komunikaci i při přerušení libovolné části kruhu tím, že komunikační pakety budou směrovány opačnou stranou. Tím je opět zvýšena spolehlivost komunikace.

7.3.2.1 SERDES

Vysílací část

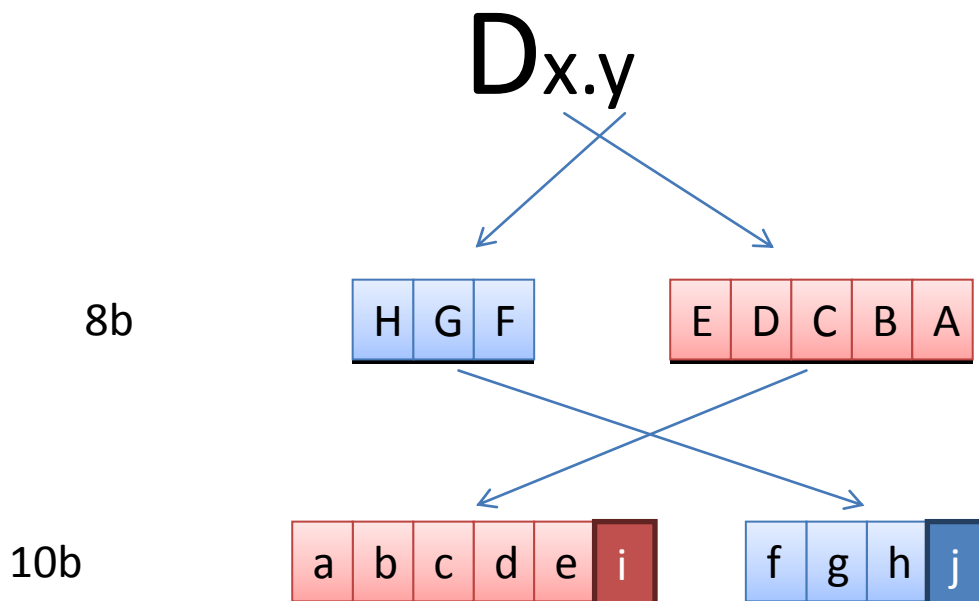
Vysílací část řadiče SERDES zachycuje Obrázek 11. Přes 16-bitovou paralelní sběrnici do vysílací části vstupují data, která jsou signálem GTX_CLK přenesena do vstupního registru. Následně jsou pomocí dvou encoderů 8/10 zakódována do 20 bitové informace, která je vyslaná na sériovou sběrnici. Po odvysílání dat ze vstupního registru je na sériovou sběrnici přepojen generátor pseudonáhodné posloupnosti PRBS, který udržuje datový tok na sériové sběrnici pro zajištění synchronizace na přijímací části SERDES.



Obrázek 11 - SERDES vysílací část [13]

Dekodér 8/10

Dekodér 8/10 byl vyvinut v roce 1983 společností IBM Corporation [7]. Slouží k stejnosměrnému vyvážení DC složky.

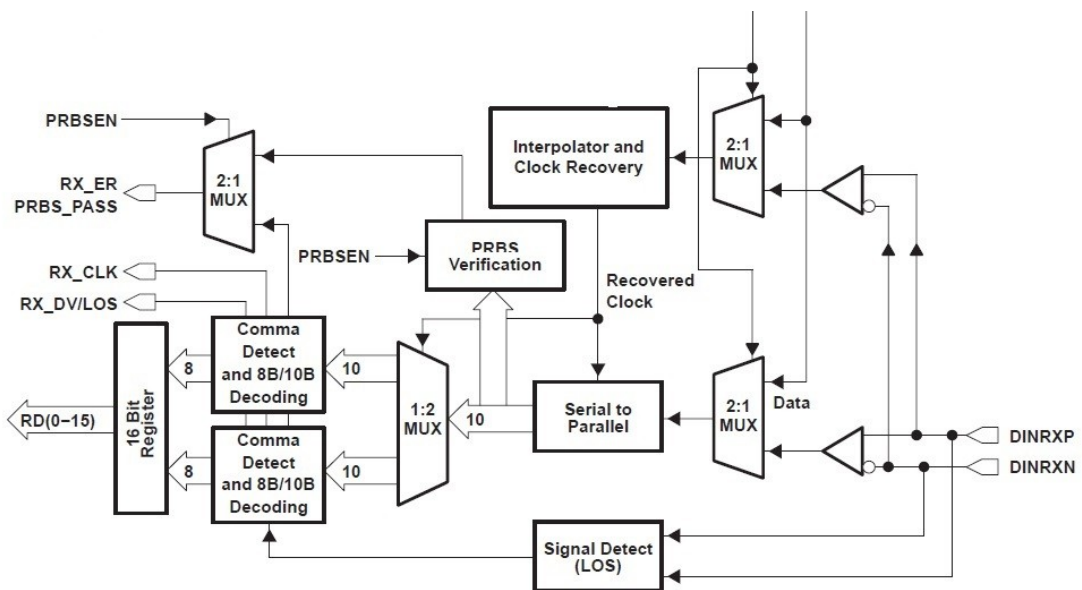


Obrázek 12 - Grafické znázornění kódování 8/10

Kódování je označeno kódovou skupinou D5.3, která reprezentuje rozdělení bytu na dvě části viz Obrázek 12. Jednotlivé bity jsou označeny velkými písmeny. Po zakódování na 10-bitové slovo jsou bity označeny malými písmeny. Po zakódování jsou jednotlivé skupiny převráceny a doplněny o další bit v každé skupině. Tyto bity jsou doplňovány podle počtu jedniček a nul v dané skupině, tak aby celkový počet

jedniček a nul byl vyvážený a tím byl datový tok stejnosměrně vybalancovaný. Některé skupiny bitů jsou již správně vybalancované, u některých je třeba dodávat korekce. Některé kódové kombinace mohou být korigovány dvěma způsoby. Tím se dorovnává stejnosměrná složka přes více rámců. Pro zajištění komunikačního toku i v době, kdy nejsou vysílána žádná platná data, existují definované bitové sady, které jsou vkládány do komunikace tak, aby byl zajištěn trvalý tok dat. Tyto bitové sady jsou na straně přijímače zahozeny, protože nenesou žádný význam. Udržují pouze zasynchronizovaný přijímač.

Přijímací část



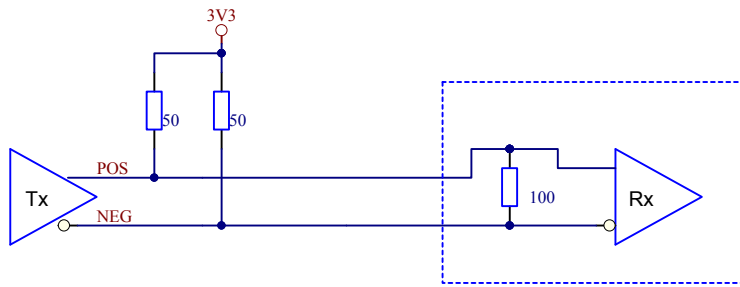
Obrázek 13 - SERDES přijímací část [13]

Přijímací část musí zajišťovat synchronizaci a správné dekódování přijatých dat. Přijatá data ze sériové linky vstupují přes multiplexer do deserializéru a současně do bloku obnovujícího hodinový synchronizační signál, který je nutný pro správnou deserializaci. Poté jsou data dekódována dekodérem 8/10. V případě nesprávně přijatých dat je vygenerována chyba přes chybový signál RX_ER

Propojení směrovače a SERDES

Propojení SERDES obvodu a směrovače je velice citlivá část HW návrhu. Je nutné respektovat zásady vysokofrekvenčního připojování. Sériové linky jsou na straně SERDES v konfiguraci CML, na straně směrovače pak v konfiguraci LVDS. Je nutné zajistit převod těchto úrovní s dodržением všech impedančních poměrů. Vysílací část SERDES musí být doplněna pracovními odpory 50Ω na každém signálu (pos, neg) Obrázek 14. Napěťové úrovně a rozkmit specifikovaný pro CML dostatečně vybudí

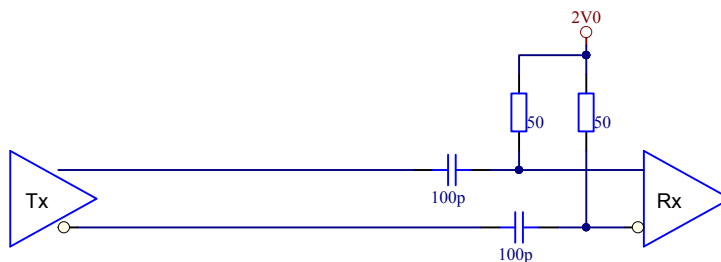
přijímač LVDS a nachází se v pracovním rozsahu LVDS. Za použití mikropáskového vedení na plošném spoji je možné přímé navázání na LVDS přijímač směrovače. [14]



Obrázek 14 - Příklad připojení CML na LVDS

Strana přijímače LVDS je doplněna vstupním odporem, který je implementovaný přímo v polovodičové struktuře směrovače.

Oproti tomu převod signálu z LVDS na CML, což reprezentuje cestu od směrovače po SERDES, je malino komplikovanější. Stejnoseměrné úrovně jednotlivých specifikací jsou nesourodé, avšak rozkmit signálu vyhovuje. Převod lze uskutečnit zapojením střídavé vazby a obnovou stejnosměrné složky na straně přijímače jak naznačuje Obrázek 15.



Obrázek 15 - Příklad zapojení LVDS na CML

V tomto případě není nutné na straně vysílače doplňovat pracovní odpory, protože LVDS výstup má implementovaný nativně.

Pro vlastní vedení mezi vysílačem a přijímačem je použito mikropáskové vedení realizované na plošném spoji. Právě tomuto vedení je podřízena celá skladba plošného spoje (stackup). Mikropáskové vedení je realizováno jako symetrické vedení s jednou stínící plochou (tedy na povrchu plošného spoje). Charakteristická impedance jednotlivého vedení je 50Ω , vzájemná charakteristická impedance vedení činí 100Ω . Návrh mikropáskového vedení je možné teoreticky spočítat a vedení navrhnout, ale v praxi je nutné přímo spolupracovat s výrobcem plošného spoje. Pro výpočet jsou nutné materiálové konstanty daných materiálů. Pokud je materiál znám, jsou tyto konstanty dohledatelné. Výrobce přesto musí být

informován o tom, že na plošném spoji je oblast s řízenou impedancí už pro stanovení jiných technologických postupů při výrobě plošného spoje, který zaručuje definovanou tloušťku vodivých cest, dále musí výrobce zajistit definovanou tloušťku prepregů dodržáním lisovacích tlaků a teplot.

Layer type	Layer name	Material	Via structure	IMP	Cu Foil Thickness [my]	Plating Thickness [my]	after lamination [my]	Dielectric constant @ 1GHz
Solder Mask foil	smt L1	sig 50 0.3 Oz		2xΩ	9	40	9	
prepreg		IS400ML_106 [FZ01]					110	4.28
prepreg		IS400ML_106 [FZ01]						4.28
core	L2	sig 70 0.5 Oz					342	4.76
		IS400ML_0,3 [2x2157] 18/18						
prepreg	L3	sig 15 0.5 Oz					181	4.70
prepreg		IS400ML_2116 [FZ01]						4.70
		IS400ML_2116 [FZ01]						
core	L4	sig 15 0.5 Oz					342	4.76
		IS400ML_0,3 [2x2157] 18/18						
prepreg	L5	sig 15 0.5 Oz					181	4.70
prepreg		IS400ML_2116 [FZ01]						4.70
		IS400ML_2116 [FZ01]						
core	L6	sig 15 0.5 Oz					342	4.76
		IS400ML_0,3 [2x2157] 18/18						
prepreg	L7	sig 70 0.5 Oz					110	4.28
prepreg		IS400ML_106 [FZ01]						4.28
foil	L8	sig 50 0.3 Oz		2xΩ	9	25	9	
Solder Mask	smb					40		

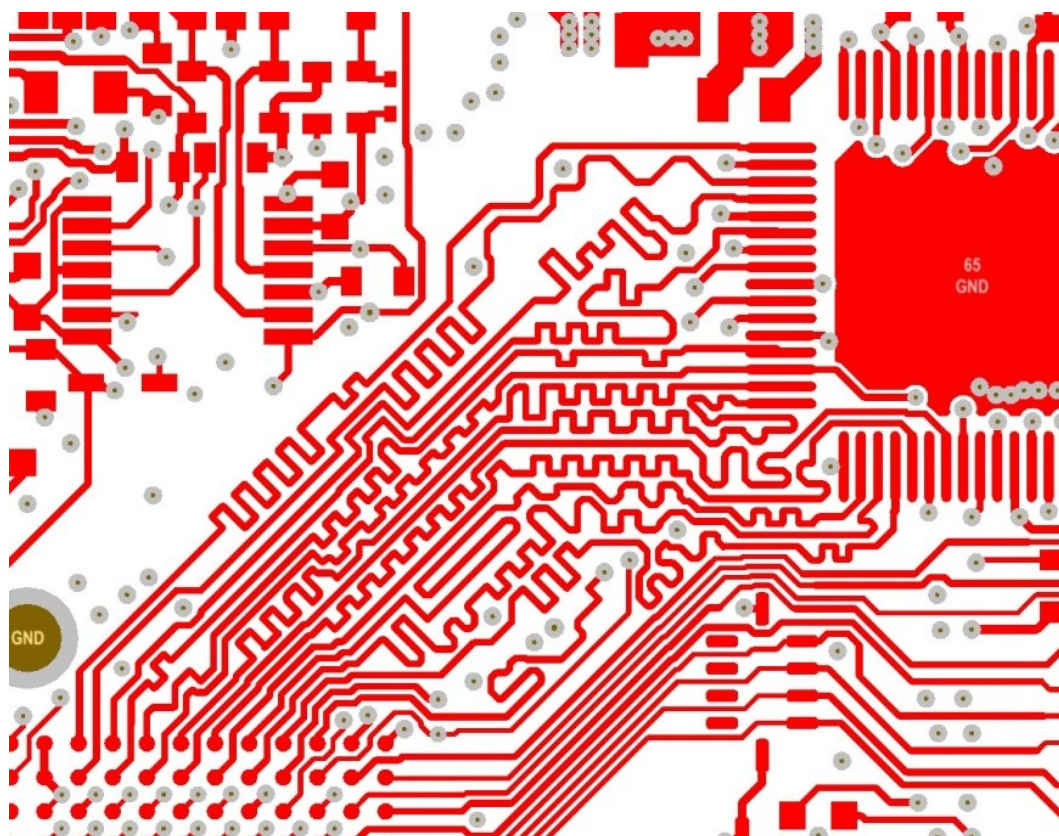
Obrázek 16 - Příklad části návrhu skladby plošného spoje – převzato z dokumentace společnosti CUBE

Pro výrobu plošného spoje s řízenou impedancí si výrobce doplní technologické okolí s tzv. impedančním kupónem, což je měřicí vedení, na kterém je po výrobě plošného spoje ověřena výsledná impedance měřením. Takový impedanční kupón je tvořen symetrickým vedením s parametry, které doporučil přímo výrobce a délkou 15 až 20cm.

Propojení SERDES na paralelní sběrnici

Připojení komunikačního řadiče SERDES na paralelní sběrnici k FPGA je vzhledem k vysokým komunikačním rychlostem vhodné provést tak, aby byl zaručen „length matching“. To doporučuje výrobce komunikačního řadiče a taktéž ve své vzorové aplikaci toto pravidlo nasazuje. Jedná se o zajištění stejné délky pro všechny datové vodiče vedoucí od FPGA do komunikačního řadiče včetně hodinového signálu pro taktování datové sběrnice. Tím je zajištěno konstantní zpoždění. Praktická realizace je provedena tak, že se navrhne propojení řadiče a FPGA klasickým způsobem. Potom se najde nejdelší vodič a všechny ostatní v rámci datové sběrnice jsou prodlouženy na stejnou délku. Prodloužení vodičů je provedeno formou záhybů

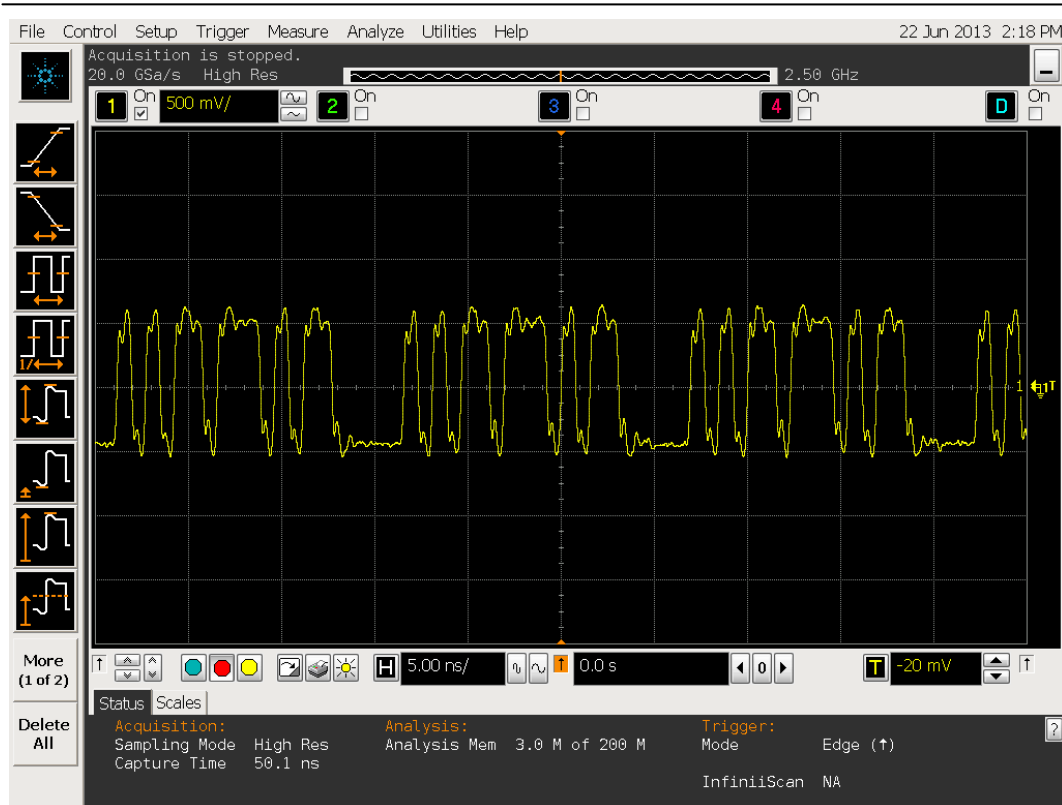
Obrázek 17. Kvalitní návrhový systém dokáže tyto parametry sledovat a doporučí optimalizaci vodičů. Je nutné nadefinovat meze, do kterých se musí s optimalizací vejít. Při návrhu jednotek bylo nastaveno pravidlo pro „length matching“ na 100 mil (2,54 mm). Při rychlosti šíření signálu 5 ns/m nastavená rozdílnost délek může způsobit v krajním případě zpoždění 13 ps. Pro připojení dvou komunikačních řadičů, z nichž každý komunikuje na jinou hranu hodinového signálu a připočtením „setup time“ a „hold time“ definovaných pro komunikační řadič spolu se zahrnutím bezpečnostní rezervy zbývá na ustálení stavu na datové sběrnici čas asi 4 ns.



Obrázek 17- Příklad propojení FPGA a komunikačního řadiče

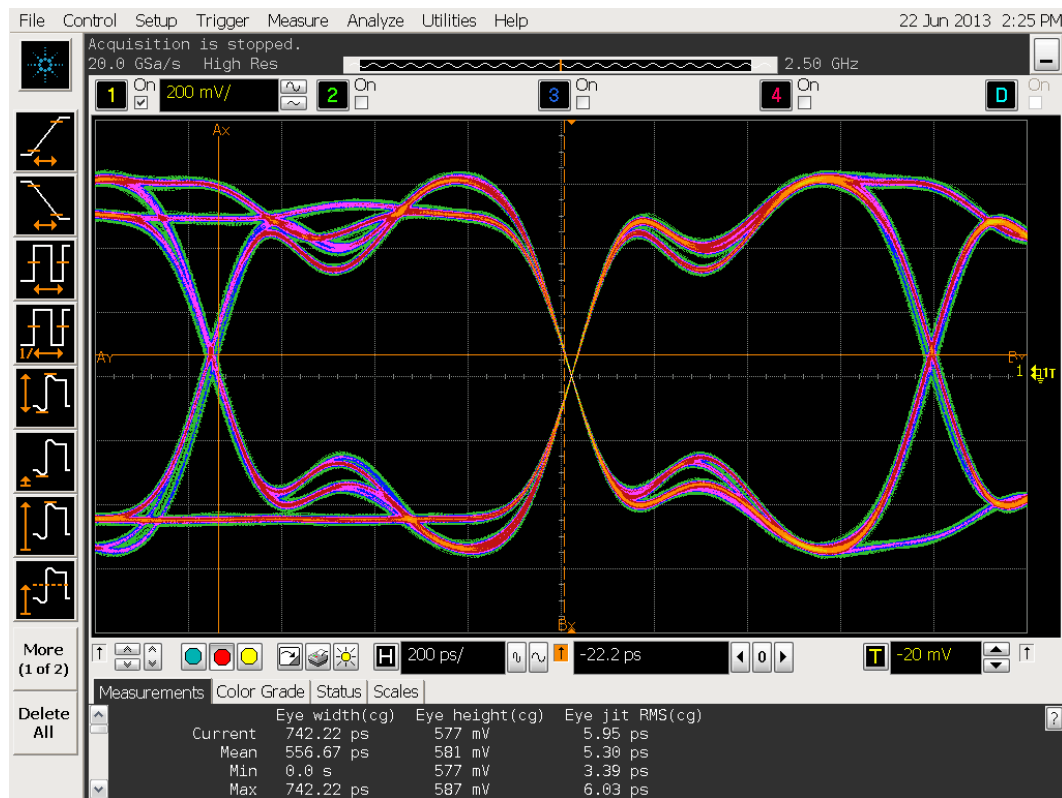
Naměřené výsledky

Pro ověření správného buzení vysokorychlostní linky je nutné změřit úrovně na vysokorychlostních linkách. K tomu je nutné použít aktivní diferenciální sondu, pomocí které je možné sledovat vybuzení LVDS linek. Obrázek 18 reprezentuje část datového rámce vysokorychlostní komunikace. Z obrázku je patrné, že rozkmit na LVDS lince je 1 V, což spolehlivě splňuje specifikace diferenciální linky na přijímací straně.



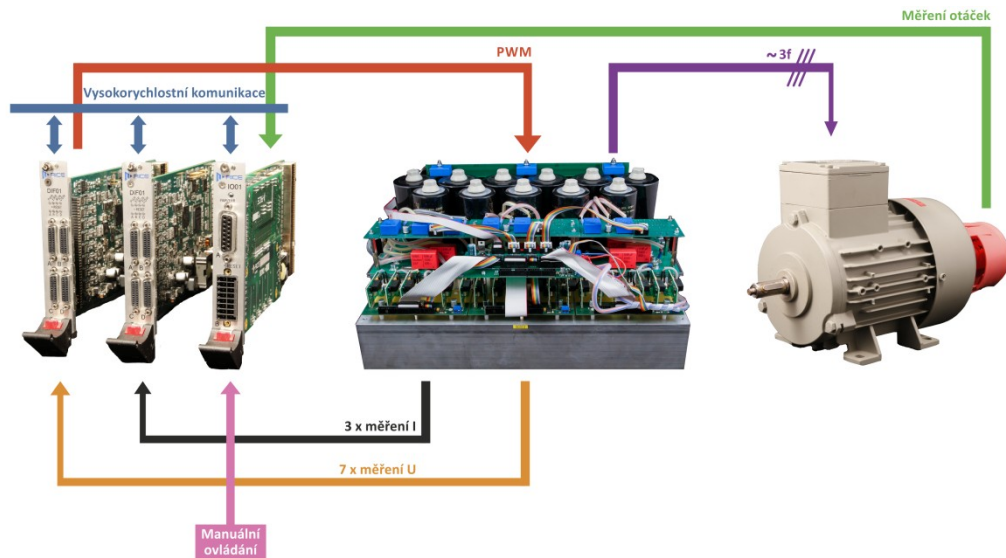
Obrázek 18 – Část datového rámce na vysokorychlostní lince

Dalším neméně důležitým naměřeným údajem je tzv. diagram oka. Jedná se o měření, kde je zachyceno několik průběhů vysokorychlostní komunikace, na nichž jsou patrné náběžné a sestupné hrany signálu. Při sledování většího počtu vzorků je vidět oblast, ve které se signál pohybuje a oblast, kterou obchází. Obrázek je podobný otevřenému oku, odkud si převzal svůj název viz. Obrázek 19.



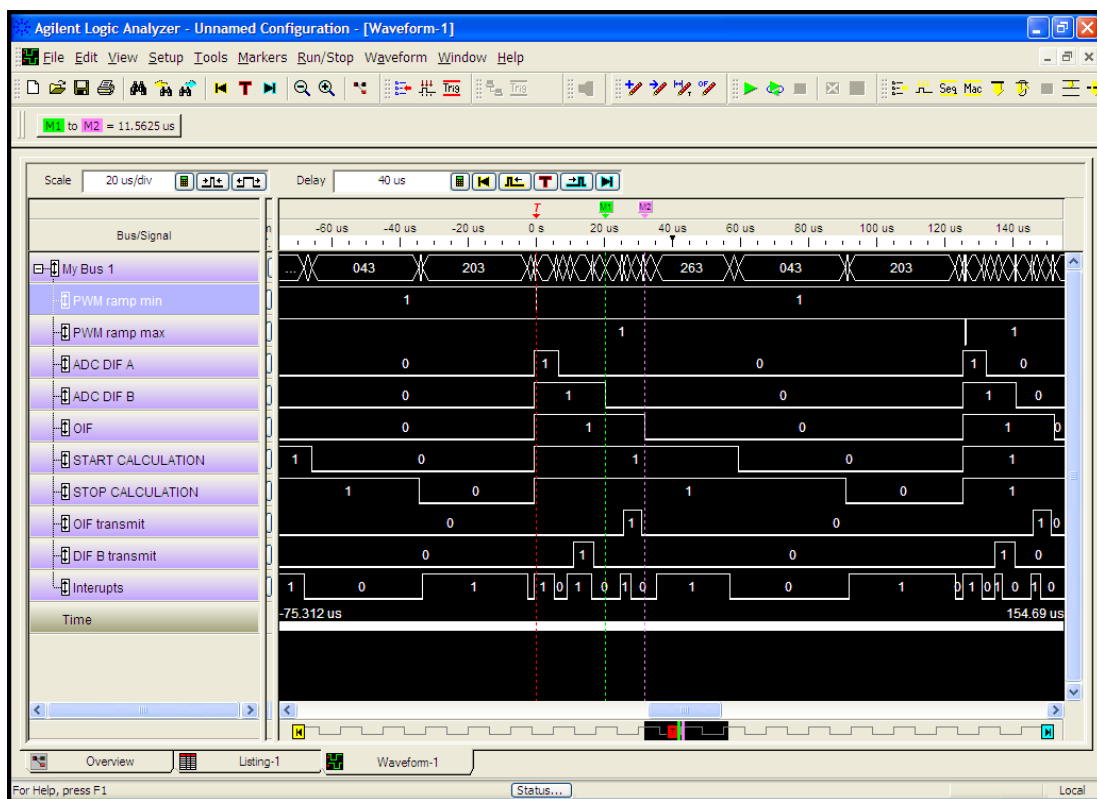
Obrázek 19 - Diagram oka

Pro analýzy časového zpoždění dat na vysokorychlostní komunikaci jsem vybral demo aplikaci, která ovládá čtyř hladinový měnič, který točí motorem. Zpětně jsou prováděna měření napětí, proudů a otáček. Tyto naměřené údaje vstupují do algoritmu regulace. Měření napětí je řešeno přímo regulační jednotkou, měření proudů je prováděno sousední jednotkou a výsledky jsou přeposílány přes vysokorychlostní komunikaci. Měření otáček je provedeno pomocí absolutního čidla polohy osazeného přímo na motoru. Signály z tohoto čidla jsou zpracovávány v jednotce OIF (Open Interface) a následně posílány do hlavní regulační jednotky taktéž přes vysokorychlostní komunikaci. Na tomto příkladě je možné prezentovat jednak robustnost vysokorychlostní komunikace včetně přepínání více karet v systému Obrázek 20.



Obrázek 20 - Ukázková aplikace: řízení 4-hladinového měniče napájejícího asynchronní motor

Do aplikační vrstvy SW pro řízení ukázkové aplikace byly přidány časové značky, které v definovaných krocích provádění aplikace generují na uživatelských signálech synchronizační pulzy, které je možno sledovat logickým analyzátořem Obrázek 21.



Obrázek 21 - Časová posloupnost regulačního cyklu

Regulační cyklus je řízen od PWM rampy. Je-li rampa ve svém maximu nebo minimu, spouští se cyklus, který provádí měření veličin a následný výpočet pro nastavení

aktuálních dat PWM modulátoru. Signály PWM ramp min a PWM ramp max reprezentují právě okamžik, kdy PWM rampa je na svém minimu či maximu. Aktuální Obrázek 21 je zasynchronizován na signál PWM ramp min. Od tohoto okamžiku je odvozen systémový signál SYS_LOOP, který je rozveden přes propojovací backplane do všech karet, které při jeho detekci zahajují měření. Měření je samozřejmě zahájeno i ve vlastní kartě provádějící regulaci. Signál ADC DIF A z obrázku svou sestupnou hranou signalizuje ukončení převodu analogových hodnot jednotky zajišťující regulaci, tedy měření napětí. Signál ADC DIF B z obrázku reprezentuje okamžik, kdy pomocná karta měřící proudy převedla analogové veličiny, poslala je přes vysokorychlostní komunikaci, kde byla detekována příchozí data a identifikována hlavička příchozích dat. Tento okamžik je označen markerem M1. Další signál OIF reprezentuje svou sestupnou hranou okamžik přijetí a identifikace dat z jednotky OIF, respektive data nesoucí informaci o aktuální rychlosti otáčení hřídele motoru. Signály START CALCULATION a STOP CALCULATION z obrázku identifikují svými sestupnými hranami okamžik začátku a konce vlastního výpočtu regulace. Začátek výpočtu regulace je pevně nastaven na polovinu periody regulačního cyklu.

Další pomocné signály OIF transmit a DIF transmit pomohou nahlédnout do vlastního vysílání dat přes vysokorychlostní komunikaci. Kapitola 7.3.2 vysvětluje vysokorychlostní komunikace a Obrázek 9 pak znázorňuje směrovač komunikace. Ten zajišťuje nastavení komunikační trasy tak, aby jednotka, která má vysílat data, se dostala na sběrnici a mohla provést vysílání. OIF transmit a DIF transmit reprezentují signály pro přepínání směrovače komunikace. Jsou-li tyto signály v úrovni „log. 1“, pak je nastavena komunikační trasa od dané jednotky a tím je umožněno vysílání této jednotky. Posledním signálem z obrázku je signál interrupts, který svou úrovní „log. 0“ reprezentuje zanoření do interruptu jednotky provádějící regulaci. Zde je možné vysledovat interrupt od PWM modulátoru nesoucí informaci o minimu či maximu rampy, příchozí interrupt od AD převodníku, dále 2 interrupty od komunikačního řadiče a poslední nejdelší interrupt provádějící vlastní výpočet.

FPGA řadič

Pro zajištění maximálního komfortu z hlediska uživatele a zároveň maximálnímu odlehčení uP je ovládání komunikačního řadiče přesunuto do FPGA. To zajišťuje veškerý management přenosu jak přijímaných, tak vysílaných dat. Řadič je vytvořen pomocí IP core jako generická entita, která umožňuje vlastní parametrizaci. Pro vyslaná i přijatá data jsou vytvořeny 2 nezávislé FIFO fronty s plnohodnotným ovládáním. Pomocí příznaků empty a full je možné sledovat naplnění datových front.

7.3.3 Systémové signály

Pro správné časování a zajištění systémových služeb každá karta obsahuje sadu systémových signálů. Tato sada obsahuje signály jako reset, synchronizace, chybové příznaky, signály pro přerušení a blokovácí signály. Signály jsou rozděleny na vstupní a výstupní, přičemž oba vedou do FPGA, které zajišťuje příjem či vysílání těchto signálů.

7.3.4 Uživatelské signály

Uživatelské signály jsou signály bez pevného přiřazení významu. Význam jim bude přidělen až na úrovni aplikace viz. Obrázek 26. Tyto signály mohou být využity pro obecné rozšíření dané periferie nebo jako redundantní cesta přenosu informace třeba do binární jednotky. Jsou rozděleny do dvou základních skupin. První z nich je nazvaná „Global user signals“. Těchto 16 signálů propojuje karty na všech pozicích. Druhá skupina je nazvaná „Local user signals“. Již podle názvu je zřejmé, že se jedná o lokální signály. Lokální signály propojují pouze sousední karty mezi sebou. Každá karta tak obsahuje 16 lokálních levých signálů a 16 lokálních pravých signálů.

Všechny uživatelské signály, ať už jde o globální či lokální, obsahují ESD ochrany a jsou zavedeny přímo do FPGA. V FPGA jsou konfigurovány jako open drain, což zajišťuje ochranu proti kolizím dvou a více vysílačů.

7.3.5 Mikroprocesorová platforma

Volba mikroprocesorové platformy podléhala rozsáhlým analýzám a byla provázena zvažováním velkého množství argumentů. Po důsledné analýze byla zvolena jednotná koncepce pro všechny jednotky systému. Zvoleným procesorem je TMS570LS3137 od společnosti Texas Instruments, označovaný též pod obchodním názvem Herkules [7]. Tento procesor splňuje všechny požadavky na řídicí systém včetně požadavků bezpečnosti pro drážní aplikace. Díky svému vnitřnímu uspořádání do dvoujádrové architektury spojené do lock step je předurčen především pro řízení bezpečnostně kritických systémů.

Zapojení periferních funkcí, které se překrývají přes všechny jednotky, je unifikováno tak, aby systémový design zůstal zachovaný přes celou platformu řídicího systému. Tím se zjednoduší proces ověřování a validace systémového jádra programu.

7.3.6 FPGA

FPGA dominuje na každé jednotce jako základní stavební prvek. Doplnuje periferie mikroprocesoru, zajišťuje komunikaci s vysokorychlostním radičem, ovládá systémové a uživatelské signály, propojuje periferie ven z jednotky. Díky svému

širokému využití s možností migrace funkcí na jednotlivé piny zvyšuje obecné použití všech jednotek systému.

Z hlediska bezpečnosti je vybraná taková řada FPGA, která si vnitřně kontroluje obsah konfigurační paměti programu pomocí CRC výpočtu. Nastane-li chyba, je okamžitě detekována a pomocí dedikovaného signálu poslána do obvodu zajišťující přechod do bezpečného stavu celého systému. Další funkcí zvyšující bezpečnost obvodu FPGA je dvojitý zdroj hodinového signálu. Oba signály vstupují do FPGA a tam jsou křížově detekovány. V případě výpadku libovolného z nich je zajištěn přechod na funkční hodinovou doménu a výpadek hodin je detekován. Systém má možnost přejít bezpečně do definovaných stavů.

Celý koncept FPGA je postaven na využití standardního nástroje Qsys dodávaného společností Quartus. Tento nástroj spočívá v generickém vybudování komunikační části, na kterou jsou napojeny jednotlivé dílčí komponenty.

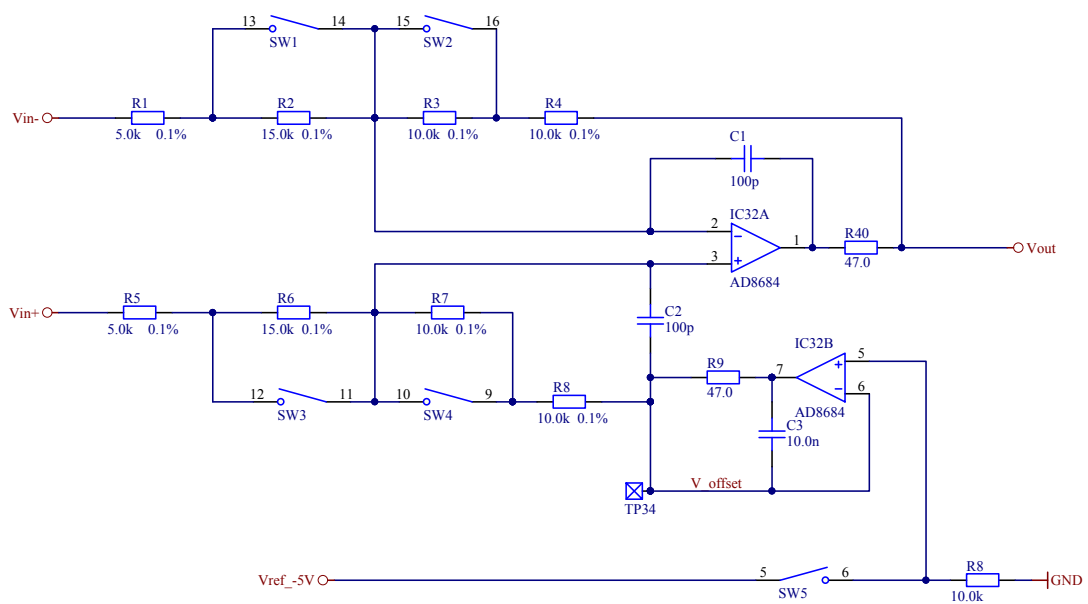
7.3.7 Jednotka pro řízení měničových systémů

V této kapitole je popsáno HW provedení jednotky pro řízení měničových systémů nazývané Direct interface (DIF). Tato jednotka je svým významem nejdůležitější pro řízení měničových systémů. Je navržena tak, aby pokryla širokou škálu výkonových aplikací a aby bylo možné řídit specializované aplikace více hladinových měničů. Pro tyto účely je možné propojit několik jednotek regulátoru, buď tak, že v hlavní jednotce probíhá samotný algoritmus řízení, které generuje všechny signály. Tyto signály jsou přivedeny jak na konektor hlavní jednotky, tak přes uživatelské piny do sousedních jednotek, ze kterých budou využity pouze periferie. Druhým způsobem je plně distribuované řízení, kde je regulátor rozdělen do dvou či více jednotek, které jsou mezi sebou propojeny přes komunikace a uživatelské signály.

Jednotka regulátoru obsahuje nutné periferie pro řízení výkonových aplikací. Mezi základní patří komplementární pár PWM výstupu s FB vstupem. Tyto signály propojují jednotku s driver příslušného výkonového prvku. Při analýze trhu z pohledu driverů vyplývá, že základní rozdělení driverů je z hlediska napájecího napětí a s tím spojené napěťové úrovně ovládacích signálů. Nejčastěji využívané napájecí hladiny driverů jsou 15 V a 5 V. Pro pokrytí celého rozsahu zvažovaných driverů je jednotka vyřešena tak, aby byla schopna komunikovat s oběma napěťovými hladinami. Tato konfigurace je nastavena globálně pro všechny vstupy výstupy jedné karty. Jednotka regulátoru zajišťuje kromě toho také napájení připojených driverů.

Další podstatnou částí je měření analogových veličin. Požadavky na analogové měření jsou definovány v kapitole 6.5. Analogový kanál je navržen tak, aby byl schopen pokrýt co nejširší rozsah napěťových úrovní při využití celého dynamického

rozsahu převodníků. První část analogové trasy je diferenciální zesilovač s nastavitelným zesílením a nastavitelným stejnosměrným posuvem (Obrázek 22). Spínače SW1 až SW5 zajišťují nastavení rozsahu. Tabulka definuje napěťové rozsahy diferenciálního zesilovače. Pro měření proudového signálu je na konfigurační desce, která není součástí regulátoru, připojen terminační odpor pro převod proudu na napětí. Velikost terminačního rezistoru je nastavena tak, aby byl pokryt plně zvolený rozsah. Součástí diferenciálního zesilovače jsou obvody zajišťující ochranu před přepětím a diferenciální cívka zajišťující filtraci souhlasné složky rušení, které nejsou v obrázku zakresleny.



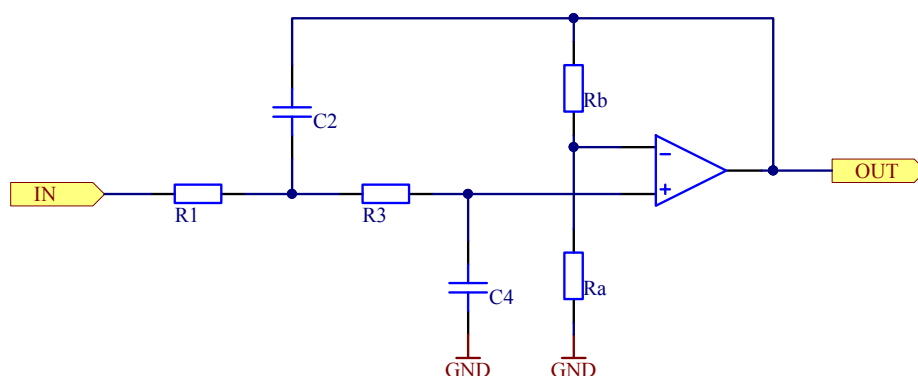
Obrázek 22 - Zapojení diferenciálního zesilovače s přepínáním zesílením

Tabulka 1- Napěťové rozsahy diferenciálního zesilovače

Napěťový rozsah	SW1 SW3	SW2 SW4	SW5
0V / 20V	OFF	ON	ON
-10V / +10V	OFF	ON	OFF
0V / +10V	OFF	OFF	ON
+5V / +5V	OFF	OFF	OFF
0V / +5V	ON	ON	ON
-2.5V / +2.5V	ON	ON	OFF
0V / +2.5V	ON	OFF	ON
-1.25V / +1.25V	ON	OFF	OFF

Druhým blokem analogové trasy je kmitočtový filtr. Při návrhu univerzálního vstupního dílu, kde není jasná cílová aplikace, je nutné mít nastavitelný kmitočtový

filtr alespoň v několika diskretních krocích. Pro některé aplikace není vhodné se spoléhat na SW filtrování signálu. Je nutné mít vybudované HW řešení kmitočtového filtru a jeho nastavení frekvenci několika kHz. Taková konfigurace je používaná např. v dopravní technice pro hlavní pohon, kde je kvůli velkým výkonům používáno nízké spínací frekvence, někdy ve stovkách Hz. Naopak pro některé aplikace jako pomocné pohony je spínací frekvence v řádu několika desítek kHz a veličiny se mohou měnit velmi rychle. Tam je třeba kmitočtový filtr nastavit na vyšší frekvenci. Pro kmitočtový filtr bylo použito aktivní řešení filtru dolní propusti druhého řádu topologie Sallen Key. Schéma topologie Sallen Key znázorňuje Obrázek 23.



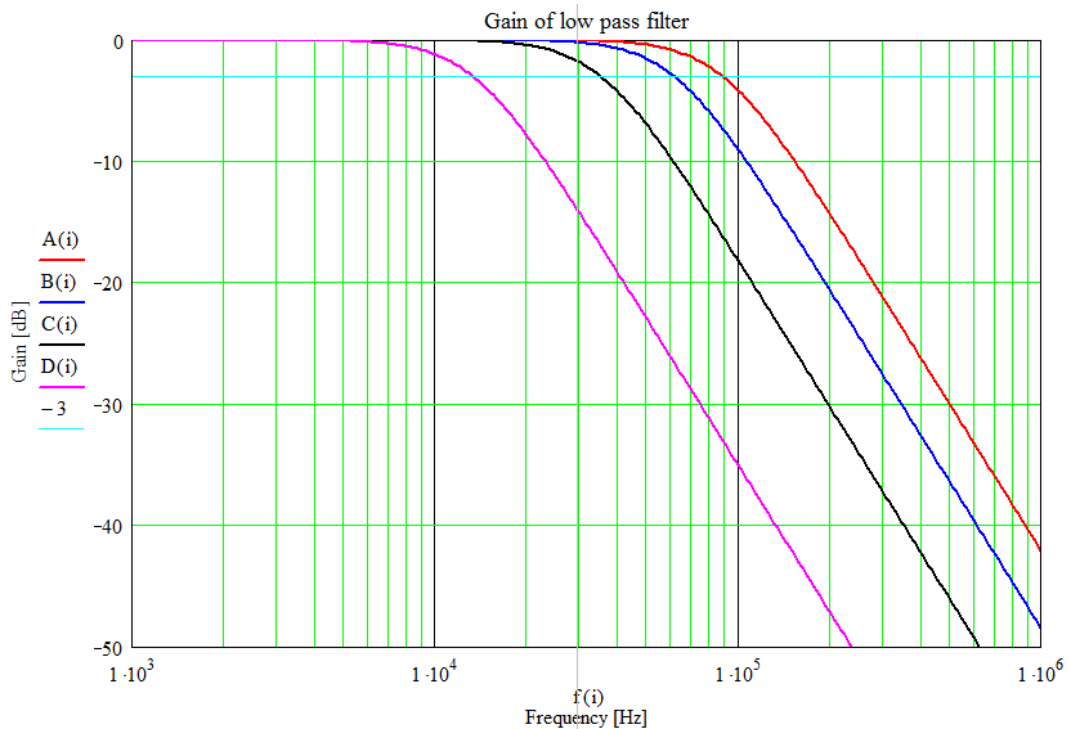
Obrázek 23 - Aktivní filtr 2 řádu Sallen Key

Pro aktivní filtr Obrázek 23 platí při $Q < 25$:

$$n = \frac{R_3}{R_1}, \quad m = \frac{C_4}{C_2}, \quad r = \frac{R_B}{R_A}, \quad A = 1 + r \quad (1)$$

$$f_p = \frac{1}{2\pi R_1 C_2 \sqrt{nm}} \quad (2)$$

$$Q^{-1} = \sqrt{nm} + \sqrt{\frac{m}{n}} - \frac{r}{\sqrt{nm}} \quad (3)$$



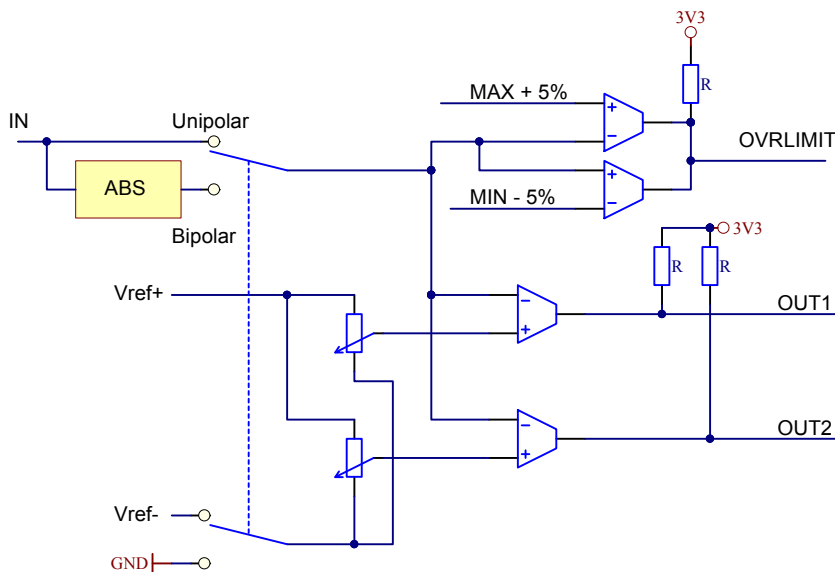
Obrázek 24 - Kmitočtové charakteristiky ARC filtru

Kmitočtové vlastnosti filtru je možné nastavovat změnou odporů. K tomu slouží sada analogových přepínačů a odporová síť, která je pomocí přepínačů připojena do ARC filtru. Tím je možné dosáhnout několika diskretních kmitočtů. Pro účely jednotky pro měničové systémy byly vybrány tyto mezní kmitočty filtru: 88,6kHz, 61,4kHz, 35,2kHz a 13,3kHz při zachování činitele jakosti filtru $Q=0,707$. Obrázek 24 znázorňuje spočtené frekvenční charakteristiky filtru pro všechny 4 diskretní kmitočty s použitím rovnic (1) - (3).

Posledním neméně důležitým blokem analogové trasy je blok komparátorů. Na každý analogový kanál připadá dvojice uživatelských komparátorů s možností nastavení komparační úrovně pomocí SW prostředků a jeden HW řešený komparátor nastavený jako overlimit. Ten není možné uživatelsky měnit. Jeho účel je především být nezávislou ochranou pro případ havárie SW prostředků. Výstup tohoto komparátoru je zaveden do FPGA, kde blokuje výstupy pro buzení prvků. Tato ochrana je součástí systémové struktury FPGA.

Komparační úroveň uživatelských komparátorů je nastavitelná pomocí digitálního potenciometru nazývaného trimpot [17]. Použitý typ je schopen měnit analogovou úroveň v 256 diskretních krocích pomocí přepínání rezistorové sítě. Z metodiky návrhu analogových vstupů jednotky pro řízení měničových aplikací vyplývá využití plného dynamického rozsahu jak pro analogový převodník, tak pro komparátory

včetně nastavení pomocí trimpotů. Dále je z metodiky zřejmé, že pro nastavení analogového kanálů do bipolárního režimu je nutné komparovat na obě polarity signálu.



Obrázek 25 - Princip zapojení komparátorů

Měřený signál je v bloku diferenciálního zesilovače normován na rozsah $\pm 5V$. Pro nastavení analogového vstupu na bipolární režim je zařazen do cesty blok absolutní hodnoty a komparace je prováděna na výstupním signálu bloku ABS. Tím je dosaženo komparace kladné i záporné hodnoty signálu pomocí jednoho komparátoru. Naopak při nastavení vstupů do režimu unipolárního měření je nutné blok absolutní hodnoty odpojit a provádět komparaci přímo na signálu, který je výstupem ARC filtru. Při přepínání bloku absolutní hodnoty je nutné přepínat referenční úroveň trimpotů tak, aby byl zachován plný dynamický rozsah nastavování komparační úrovně.

7.3.7.1 Výpočet chyby analogové trasy

Stanovení chyby analogového kanálu je možné matematickou úvahou. Nejprve je nutné stanovit chyby referenčního zdroje $-5V$, který vytváří ofset pro nastavení unipolárního rozsahu. Referenční napětí $-5V$ je odvozeno od centrální reference $2,5V$ pomocí invertujícího zesilovačem se zesílením -2 . Rezistory v zesilovači jsou vybrány s přesností $0,1\%$, chyba centrálního referenčního zdroje je $0,2\%$ a ofset operačního zesilovače činí až $4mV$. Z těchto parametrů je možné spočítat nehorší možnou chybu výstupního napětí tedy $V_{ref_ -5V}$

$$E_{err} := \left| \frac{d}{dR_1} \left[-(V_{ref} + V_{offset}) \cdot \frac{R_2}{R_1} \right] \right| \cdot |\Delta_1| + \left| \frac{d}{dR_2} \left[-(V_{ref} + V_{offset}) \cdot \frac{R_2}{R_1} \right] \right| \cdot |\Delta_2| + \left| \frac{d}{dV_{ref}} \left[-(V_{ref} + V_{offset}) \cdot \frac{R_2}{R_1} \right] \right| \cdot |\Delta_{V_{ref}}| + \left| \frac{d}{dV_{offset}} \left[-(V_{ref} + V_{offset}) \cdot \frac{R_2}{R_1} \right] \right| \cdot |\Delta V_{offset}| \quad (4)$$

Po derivaci a dosazení vyjde výsledek 22mV, což odpovídá maximální odchylce. Tento výsledek vstoupí do výpočtu chyby pro diferenciální zesilovač.

Přenosová funkce diferenciálního zesilovače má tvar

$$V_{out}(V_{in}) := (V_x + V_{off0}) \cdot \frac{-(R_3 + R_4)}{R_1 + R_2} + (V_{in} + V_x) \cdot \frac{R_7 + R_8}{R_5 + R_6 + R_7 + R_8} \cdot \left(1 + \frac{R_3 + R_4}{R_1 + R_2} \right) + (V_{refn5} + V_{off0}) \cdot \frac{R_9}{R_9 + R_{sw3}} \cdot \frac{R_5 + R_6}{R_5 + R_6 + R_7 + R_8} \cdot \left(1 + \frac{R_3 + R_4}{R_1 + R_2} \right) \quad (5)$$

kde označení rezistorů reflektuje Obrázek 22. Výpočet maximální chyby diferenciálního zesilovače se provede metodou superpozice jako součet chyb od jednotlivých dílčích zdrojů chyby. Zjednodušená rovnice má tvar

$$Err := \sum_i \left(\frac{d}{di} |V_{out}(V_{in})| \cdot |\Delta_i| \right)$$

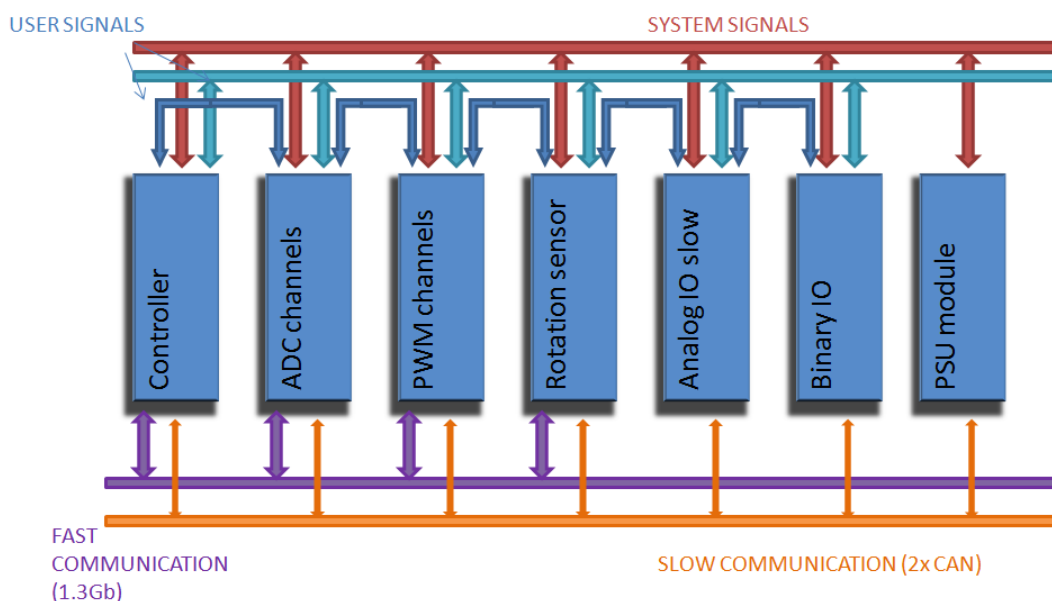
(6)

Kde je i zdroj příslušné chyby, tedy R_1 , R_2 , ... nebo V_{refn5} . Po derivaci přenosové funkce podle všech faktorů ovlivňující chybu diferenciálního zesilovače a nastavení rozsahu na největší zesílení při přidání offsetu z referenčního zdroje vyjde maximální odchylka zesilovače daná vztahem

$$Err = 6,653 * 10^{-3} * V_{in} + 31,28mV \quad (7)$$

7.4 Vzájemné propojení karet

Při použití jednodeskové aplikace postačí přivést ke kartě napájecí napětí a propojit komunikace s okolím. Je-li ovšem použita vyšší konfigurace, je nutné karty mezi sebou vhodně propojit. K tomu slouží buď jednodušší propojovací modul pro konfiguraci "low cost" nebo plnohodnotný aktivní backplane pro vyšší konfigurace. Schéma propojení znázorňuje Obrázek 26.

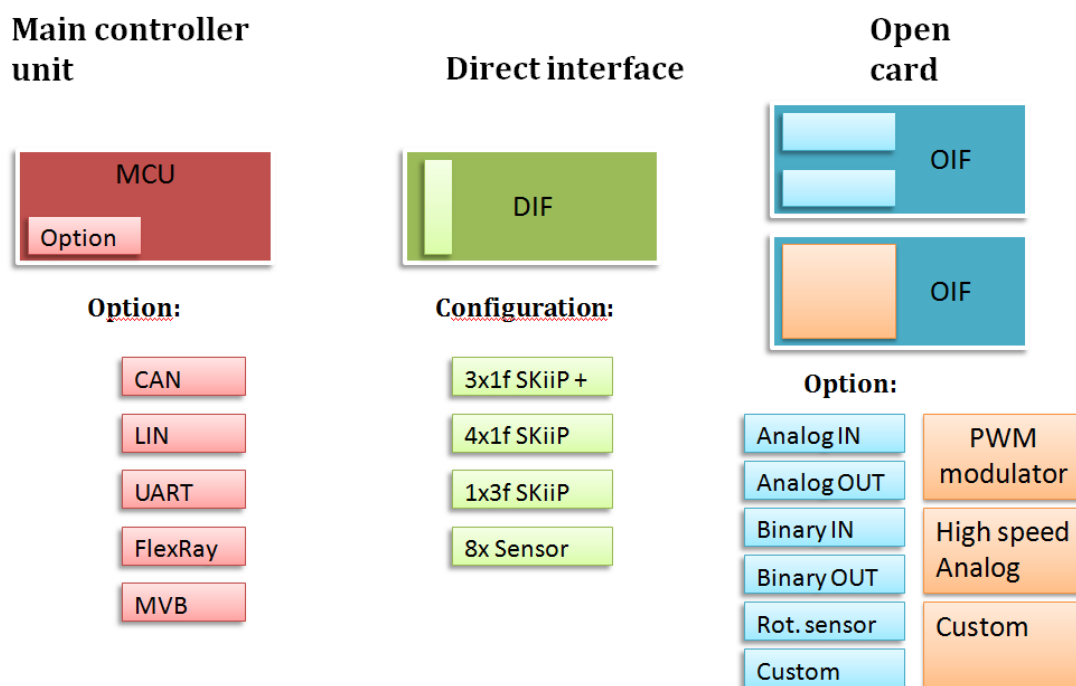


Obrázek 26 - Vzájemné propojení karet

Karty, u kterých se předpokládá větší komunikační náročnost, obsahují vysokorychlostní komunikaci, která pracuje na rychlosti 1,3Gbps. Paralelně k tomuto způsobu komunikace jsou všechny karty vybaveny dvojitou komunikační linkou CAN. Ta může sloužit jako redundantní způsob přenosu informace.

7.5 Současný stav vývoje prototypu navrženého řídicího systému

V současné době jsou vyvinuty tři základní platformy, pomocí kterých lze vytvořit široká škála konfigurací. Jedná se o mikroprocesorovou jednotku (MCU), dále jednotku regulátoru (DIF) a otevřenou jednotku (OIF). Každá z jednotek lze doplňovat vhodnou konfigurací či rozšiřujícím modulem viz Obrázek 27.



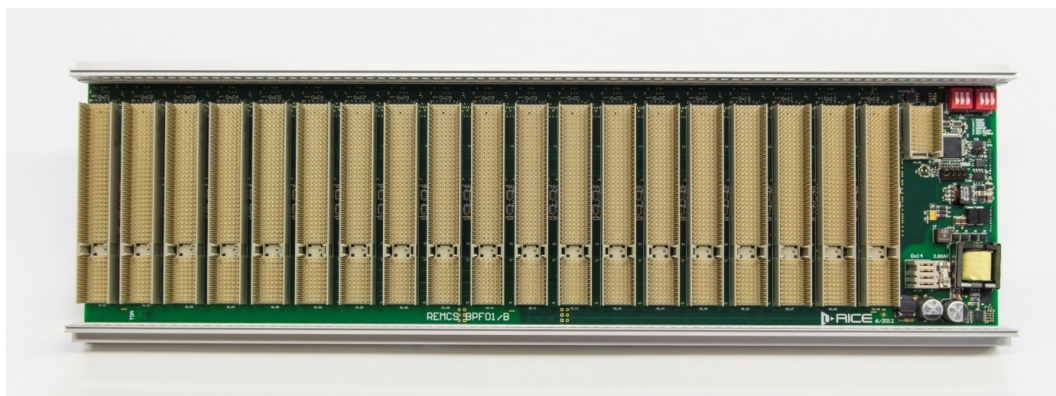
Obrázek 27 - Současný stav prototypu – vyvinuté a otestované karty

7.5.1 Popis jednotlivých karet

7.5.1.1 Backplane

Propojovací deska backplane zajišťuje vzájemné propojení všech karet systému. Backplane tak rozvádí napájecí napětí do všech karet z centrálního napájecího zdroje, dále propojuje všechny systémové signály, uživatelské signály, komunikační linky včetně vysokorychlostní komunikace. Zajišťuje adresování jednotlivých karet a automaticky připojuje terminační odpory k CAN linkám podle zvolené konfigurace.

Použitá vysokorychlostní komunikace je z principu funkce pouze v režimu „Point to point“. Pro připojení většího počtu karet je nutné zvolit topologii a použít vhodně směrovače. Systém REMCS obsahuje aktivní směrovače na backplane kartě a vysokorychlostní komunikace je zapojena do topologie dvojitého protisměrného kruhu. Tato topologie umožňuje komunikaci se všemi jednotkami i po první chybě na sběrnici, kdy je komunikační okruh přerušeno.

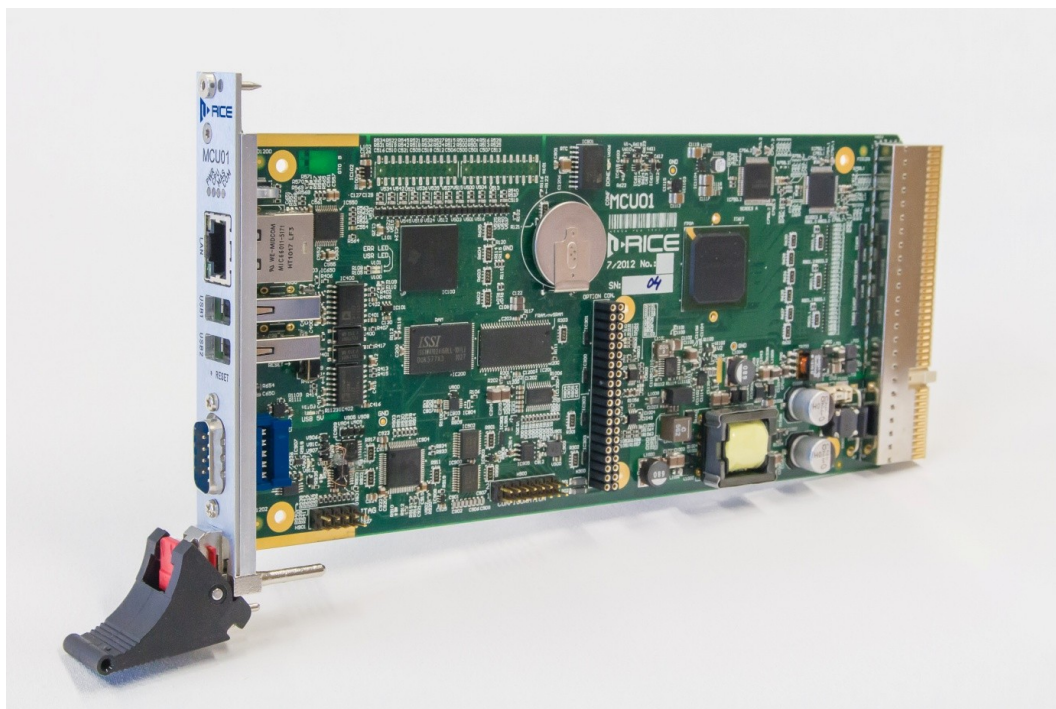


Obrázek 28 – Propojovací backplane

7.5.1.2 Mikroprocesorová jednotka MCU

Mikroprocesorová jednotka je určena jako master celé vany, který bdí nad celým REMCS systémem. Jeho úkolem je ovládat ostatní jednotky (regulátory či pomocné karty), shromažďovat diagnostická data a provádět hlavní komunikační most s okolím.

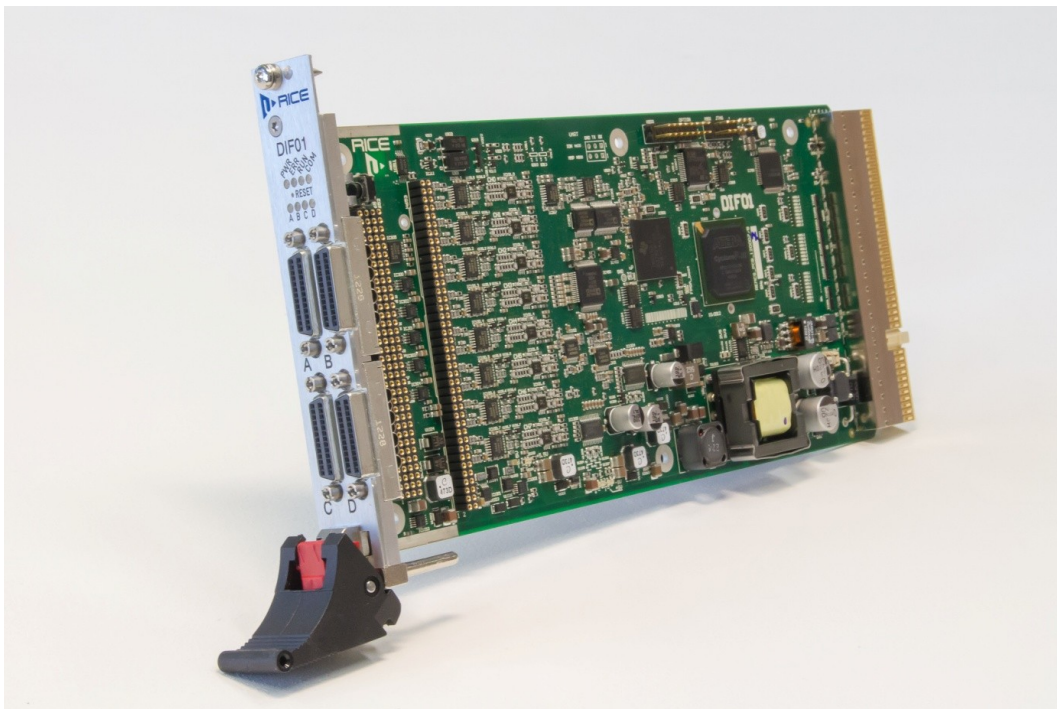
Jednotka obsahuje dvoujádrový mikroprocesor s bezpečnostním propojením lock step, velké FPGA, dvojitou vysokorychlostní komunikaci LVDS 1.3 GBPS, 2x aplikační high speed CAN, 1x systémový high speed CAN, 2x USB host, Ethernet, slot pro rozšiřující modul, bateriově zálohovaný obvod reálného času, sadu systémových a aplikačních signálů.



Obrázek 29 - Mikroprocesorová jednotka

7.5.1.3 Karta direct interface DIF

Karta direct interface slouží primárně jako jednotka pro měničové systémy. Obsahuje dvoujádrový mikroprocesor s bezpečnostním propojením lock step, velké FPGA, vysokorychlostní komunikaci LVDS 1.3 GBPS, 2x aplikační high speed CAN, 1x systémový high speed CAN, Ethernet, sadu systémových a aplikačních signálů. Karta umožňuje řízení až 10 PWM signálů, čtení 10 zpětných informací od driverů, 1 externí HW blokovací signál, 8 nezávislých měření analogových veličin s nezávisle programově nastavitelnými rozsahy, nastavitelnou šířkou pásma. Každý analogový kanál obsahuje 2 nezávislé programově nastavitelné komparátory úrovně. Karta obsahuje obvody pro ryze hardwarové bezpečnostní blokování. Karta obsahuje 4 konektory na čelním panelu pro připojení všech signálů řízení. Z důvodu nemožného průniku pinoutu všech driverů a analogových měření, které je schopna karta DIF ovládat, nemají tyto 4 konektory definovaný pinout. Ten je nastaven pomocí elementární konfigurační desky, která propojí potřebné signály na uživatelem definované piny konektoru. Tím se celá koncepce karty DIF posouvá do jiné roviny, jelikož umožní připojení nepřehledného množství typů driverů, čidel aj. V případě potřeby ovládání driverů pomocí optických signálů postačí pouze úprava čelního panelu a rozšíření konfigurační desky o optické přijímače a vysílače.

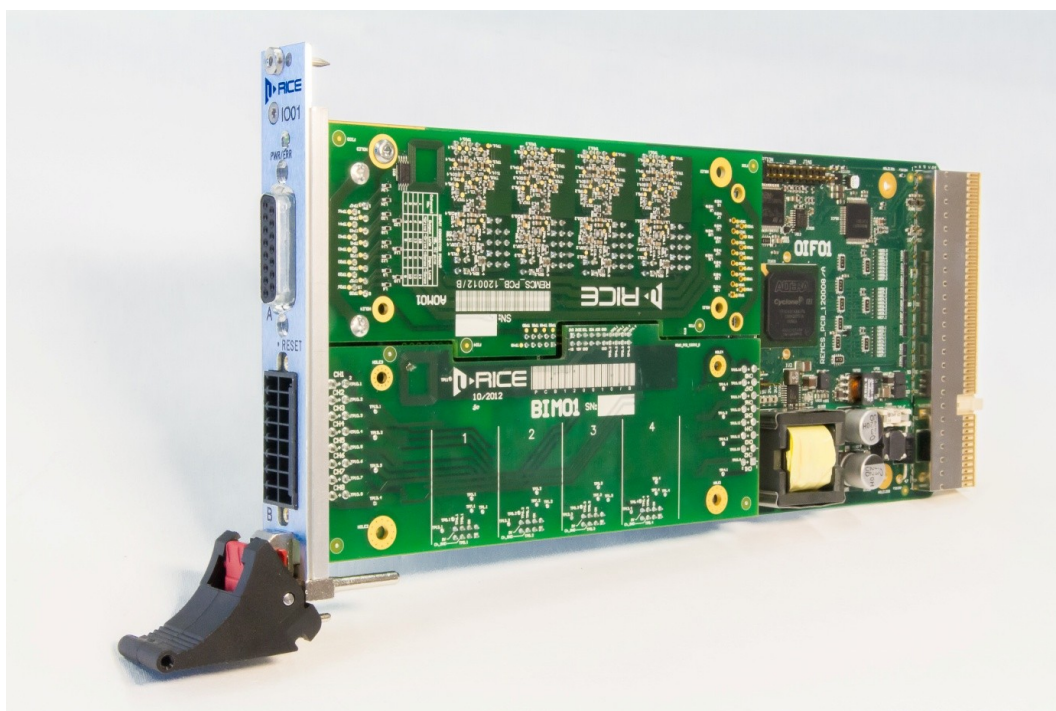


Obrázek 30 - Direct interface

7.5.1.4 Jednotka open interface OIF

Jednotka open interface (někdy nazývaná jako otevřená jednotka) slouží jako nosná karta pro přídavné moduly (analogové vstupy + výstupy, digitální vstupy + výstupy,

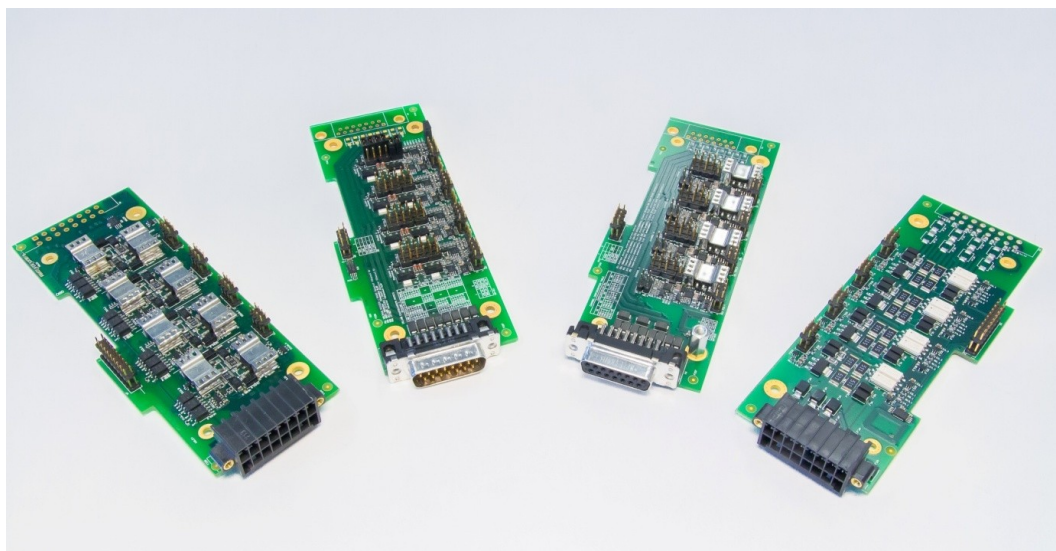
čidla otáček nebo polohy). Jednotka může taktéž sloužit jako otevřená platforma pro připojení libovolného zákaznického modulu. Obsahuje dvoujádrový mikroprocesor s bezpečnostním propojením lock step, velké FPGA, vysokorychlostní komunikaci LVDS 1.3 GBPS, 2x aplikační high speed CAN, 1x systémový high speed CAN, Ethernet, sadu systémových a aplikačních signálů. Karta nabízí 8 galvanicky izolovaných ostrůvků, kde každý z nich obsahuje napájecí zdroj a sadu 5 signálů. Ty jsou k dispozici rozšiřujícím modulům. Pro potřeby připojení většího počtu signálů je k dispozici konektor, na kterém je vyvedeno až 32 přímých neizolovaných signálů z FPGA.



Obrázek 31 - Open interface s osazenými rozšiřujícími moduly

7.5.1.5 Rozšiřující moduly

Rozšiřující moduly, jak již název napovídá, rozšiřují kartu open interface. Využívají galvanicky oddělené signály na open interface, na které jsou napojeny a ze kterých jsou napájeny jednotlivé izolované ostrůvky. Každý modul si nese konektor, který je přes čelní panel karty open interface přístupný aplikaci.



Obrázek 32 - Rozšiřující karty: zleva binární výstupy, analogové vstupy, analogové výstupy a binární vstupy

7.5.2 Výpočet střední doby mezi poruchami

Pro každou jednotku řídicího systému je nutné provést analýzu spolehlivosti. Mezi základní dokumenty z pohledu spolehlivosti jednotky patří výpočet střední doby mezi poruchami MTBF. Ten je spočten jako součet převrácených hodnot. V praxi je častá interpretace MTBF jednotlivých komponent pomocí jednotek FIT (Failure In Time), kde platí jednoduchý přepočtový vztah.

$$\lambda = \frac{1}{MTBF} \quad [10^{-9} \text{ FIT}] \quad (8)$$

Stanovení λ pro jednotlivé komponenty včetně pájených spojů a plošného spoje bylo spočteno podle Military Handbook [18]. Pro výpočet střední doby poruchy pro celou jednotku platí

$$MTBF_{card} = \frac{1}{\sum_1^n \lambda_n} \quad (9)$$

kde n je celkový počet součástí komponent vstupujících do výpočtu. Výpočet spolehlivosti pájených spojů je ovlivněn technologií pájení. Je-li spoj pájený ručně, pak je životnost podstatně horší oproti strojně pájeným spojům.

Tabulka 2 - Tabulka výpočtu MTBF jednotky DIF

Popis	FIT [10E-9]	Počet kusů	Σ FIT [10E-9]	%
Odpor	0.8	994	795.2	9.21
Odporová síť	2.5	23	57.5	0.67
Kondenzátor-ker.	1	661	661	7.66
Kondenzátor-elektrolyt	32	5	160	1.85
Dioda	14	143	2002	23.20
Transil	23	5	115	1.33
Tranzistor	6	4	24	0.28
IO	8	150	1200	13.90
Processor	2.6	2	5.2	0.06
LED	1.2	20	24	0.28
Optron	29	5	145	1.68
Krystal	18.5	2	37	0.43
Tlumivka	1	74	74	0.86
Transformátor	100	1	100	1.16
Pojistka	20	1	20	0.23
Tlačítko	20	1	20	0.23
Konektor, patice nebo pinová lišta	25.5	11	280.5	3.25
Pájený kontakt	0.14	5831	816.34	9.46
Plošný spoj	2093.61	1	2093.61455	24.26
Celkem		7934	8 630.35	
MTBF [h]			115 870	
MTBF [rok]			13.2	

Na základě analýzy spolehlivosti celé jednotky je nutné provést praktické ověření. Jednotka bude vystavena klimatickému stárnutí definovanými teplotními cykly a po tomto testu bude ověřena její funkčnost. Ze statistického hlediska je vhodné takto testovat vzorek několika karet současně. Tyto testy budou připravovány až po odevzdání disertační práce, a proto není možné uvést jejich výsledky. Nutno dodat, že střední doba mezi poruchami neznamena životnost celého zařízení. Ta může být podstatně delší.

7.6 Přednosti navrženého systému REMCS

Hlavní přednosti systému REMCS jsou:

- Velká modularita
- Safety clock management
- Zálohovaný master systému
- HW řešení bezpečnostně kritických signálů
- Plně ISP, paralelní debug
- Široké využití uživatelských signálů

- Jednoduché a levné rozšiřující moduly
- Krátké analogové trasy
- Víceúrovňový režim spánku
- Offline identifikace RFID
- Distribuovaná bezpečnost na každé kartě
- Možnost aplikace moderních výpočetně náročných způsobů řízení

Díky vhodnému rozdělení dělicích rovin celého regulačního systému na jednotlivé karty a konfigurační moduly spolu s vybraným způsobem vzájemné komunikace je celý systém REMCS široce modulární, což naznačuje Obrázek 4. Lze jej proto sestavit do vhodné konfigurace umožňující řídit aplikace od nejjednodušších např. třífázového střídače, až po komplexní systémy typu několika úrovňový střídač s řízeným usměrňovačem obsahující až 100 výkonových prvků. Používání lokálních signálů pak umožňuje doplnit systém o další potřebnou funkcionalitu přímo podle požadavků aplikace.

7.6.1 Široký rozsah použití

Díky možnosti sestavení libovolné konfigurace lze systém REMCS použít od řízení jednoduchých aplikací až po řízení složitých funkčních celků. V komplexním funkčním celku, jako je např. lokomotiva, může systém REMCS řídit v nejrůznějších konfiguracích celou řadu aplikací počínaje hlavním pohonem, pulzním usměrňovačem, dále pomocné pohony, nabíječe baterie, komunikační gateway, rozšiřující IO jednotky, hlavní řídicí počítač aj. Takto vybavený komplexní systém řídicími jednotkami REMCS obsahující společnou mikroprocesorovou platformu je výhodný z hlediska tvorby SW vybavení, vzájemné komunikace a časování a v neposlední řadě z pohledu validace SW.

Při průzkumu současných řídicích systémů nebyl nalezen takový, který při své modularitě, obecnosti a bezpečnosti obsahuje také jednotku pro řízení měničů. Tímto se REMCS dostává do popředí, protože je schopen pokrýt požadavky jak obecného řízení, tak i požadavky pro řízení měničů a pohonů. Zároveň REMCS zahrnuje ještě další vlastnosti, které povyšují systém do příjemné uživatelské úrovně z pohledu uživatele jakožto programátora či projektanta výkonové aplikace. Mezi tyto vlastnosti může patřit třeba víceúrovňový režim spánku, který umožní nasazení systému v bateriově zálohované aplikaci a umožňuje tak snížení odběru proudu. Offline identifikace RFID umožňuje elegantní vyčtení základních identifikačních, případně kalibračních a servisních dat z každé jednotky bez nutnosti připojování jednotky na napájecí napětí.

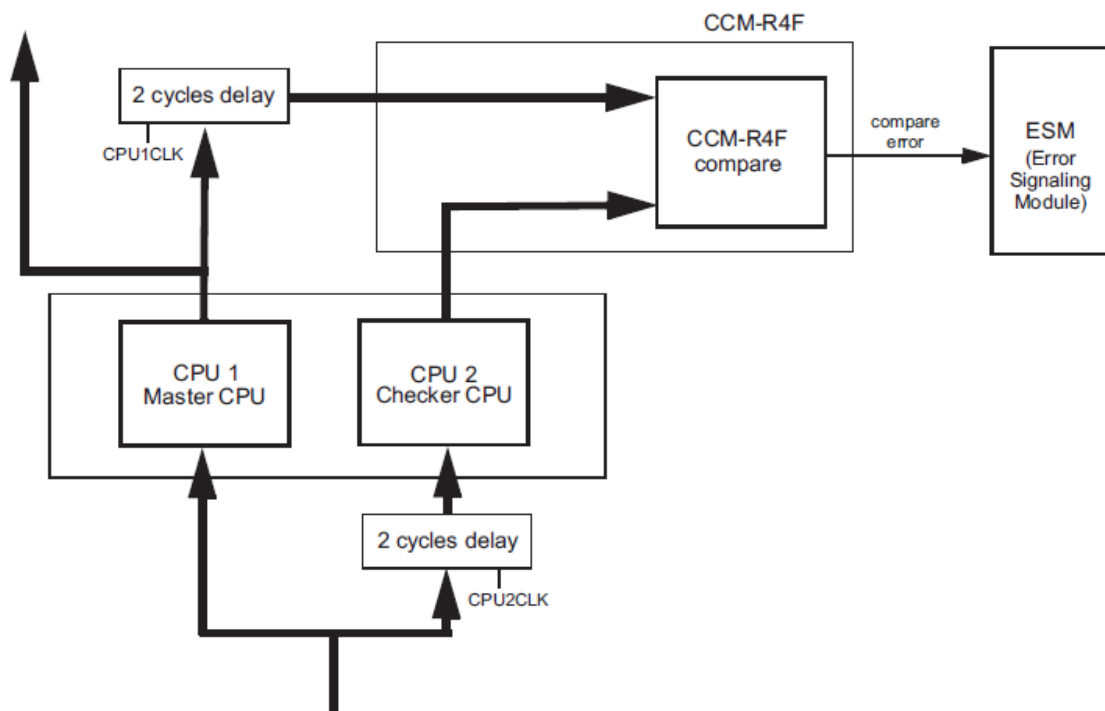
7.6.2 Bezpečnost

Jeden ze základních pilířů celého navrženého systému REMCS je bezpečnost. Vzhledem k předpokladu, že REMCS může být nasazen mimo jiné i v dopravní technice, je navrhován tak, aby splňoval přísné požadavky bezpečnosti pro tuto oblast. HW řešení tak umožňuje splnění bezpečnostních požadavků definovaných normami ČSN EN 50126 a ČSN EN 50129.

Mezi základní bezpečnostní prvky patří:

- Dojité uP jádro pracující v režimu lock step
- Zdvojený zdroj centrálních hodin
- Bezpečnostní blokování na ryze HW úrovni
- Zdvojený pracovní odpor s možností detekce proudu pro bezpečnostní funkce
- Detekce první chyby, detekce všech chyb
- Blokování výstupů
- Ošetření výstupních stavů při výpadku uP
- HW watchdog, SW watchdog, mikro watchdog v FPGA
- Zdvojená komunikace CAN
- Bezpečnostní odpojení jednotky od systému
- Zdvojený master systému
- Vysokorychlostní komunikace - topologie autorekonfigurovatelné kruhové topologie
- Uživatelské signály

7.6.2.1 Dvojité jádro



Obrázek 33 - Architektura lock step [7]

Obrázek 33 znázorňuje bezpečnostní architekturu lock step. Jedná se o dvě mikroprocesorová jádra, která zpracovávají stejnou instrukční sadu, avšak posunutou o dva instrukční cykly. Po zpracování jsou výsledky porovnávány v komparátoru CCM-R4F. Výsledek komparace je jednobitový signál, který reprezentuje správnost provedení každé operace. Nastane-li v jednom z mikroprocesorů chyba, komparátor detekuje rozdílné výsledky a nastaví chybový signál do aktivní úrovně. Na tento chybový signál reaguje blokování výstupů viz. kapitola 7.6.2.3.

7.6.2.2 Zdvojený zdroj centrálních hodin - safety clock management

Pro digitální systém je velmi důležitý zdroj hodin. Ten udává takt mikroprocesoru, programovatelnému poli nebo externím řadičům komunikace. Při náhlém výpadku centrálního zdroje hodin by se mohl celý systém zastavit v rozpracované úloze a zůstat v aktivních stavech. To by mohlo způsobit katastrofální následky i přes ochranu pomocí HW watch dog, která může být nastavena na řádově milisekundy.

Tento potenciální zdroj chyby je v systému REMCS eliminován zdvojením hlavního oscilátoru. V základním režimu jsou hlavní bloky (mikroprocesor a FPGA) taktovány hlavním oscilátorem, takt záložního je pouze sledován. V případě chyby hlavního oscilátoru je systém přepnut během dvou pracovních cyklů na záložní oscilátor. Toto přepnutí je pro FPGA prováděno vnitřní logikou FPGA (Cyclon III již obsahuje HW

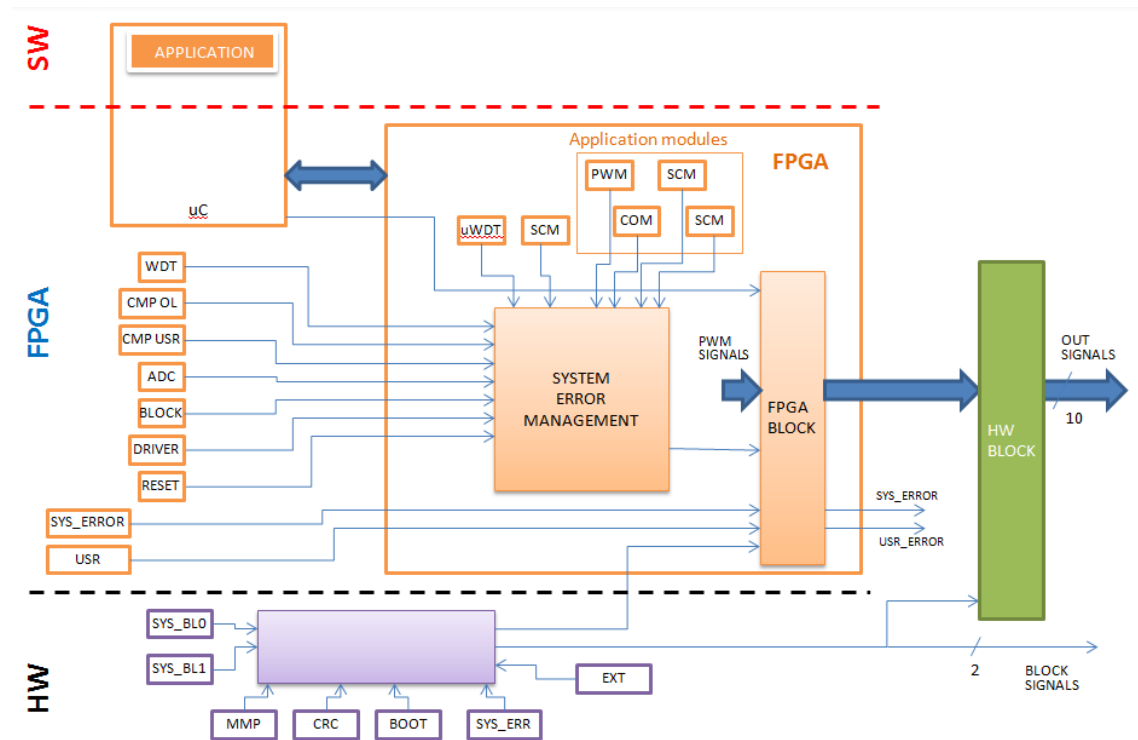
podporu pro redundantní zdroj hodin) a pro uP je provedeno externím obvodem. Ten spočívá v monostabilním klopném obvodu zapojeném na hlavní zdroj hodin. V případě výpadku hodin zareaguje MKO a přepne hodiny na záložní.

Obě komponenty uP i FPGA mají vestavěný PLL, takže výpadek 1 až 2 hodinových taktů nezpůsobí zásadní problém v časování vnitřních periférií.

Obvody hlavního a záložního oscilátoru jsou osazeny každý na jiné straně plošného spoje (top a bottom) a současně vzájemně otočeny o 90°. Tím je v maximální míře eliminována současná chyba obou oscilátorů.

7.6.2.3 Bezpečnostní blokování na HW úrovni

Výrazným bezpečnostním prvkem systému REMCS je bezpečnostní blokování na HW úrovni. To zajišťuje při detekci závažného zdroje chyb odpojení všech výstupů a přivedení systému do bezpečného stavu. Bezpečný stav je definován tak, že všechny výstupní signály jsou vypnuty.



HW blokování může být spuštěno pomocí interních nebo externích signálů. Interní zdroje spuštění blokování jsou:

- MMP_ERROR
- CRC_ERROR
- FPGA_BOOT

- SYS_ERROR_GLOBAL
- SYS_BLOCK_0
- SYS_BLOCK_1

MMP_ERROR: je dedikovaný HW signál vedoucí z uP. Tento signál je aktivován v případě, že v mikroprocesoru je pomocí dvou jader zpracovaná úloha s rozdílným výsledkem.

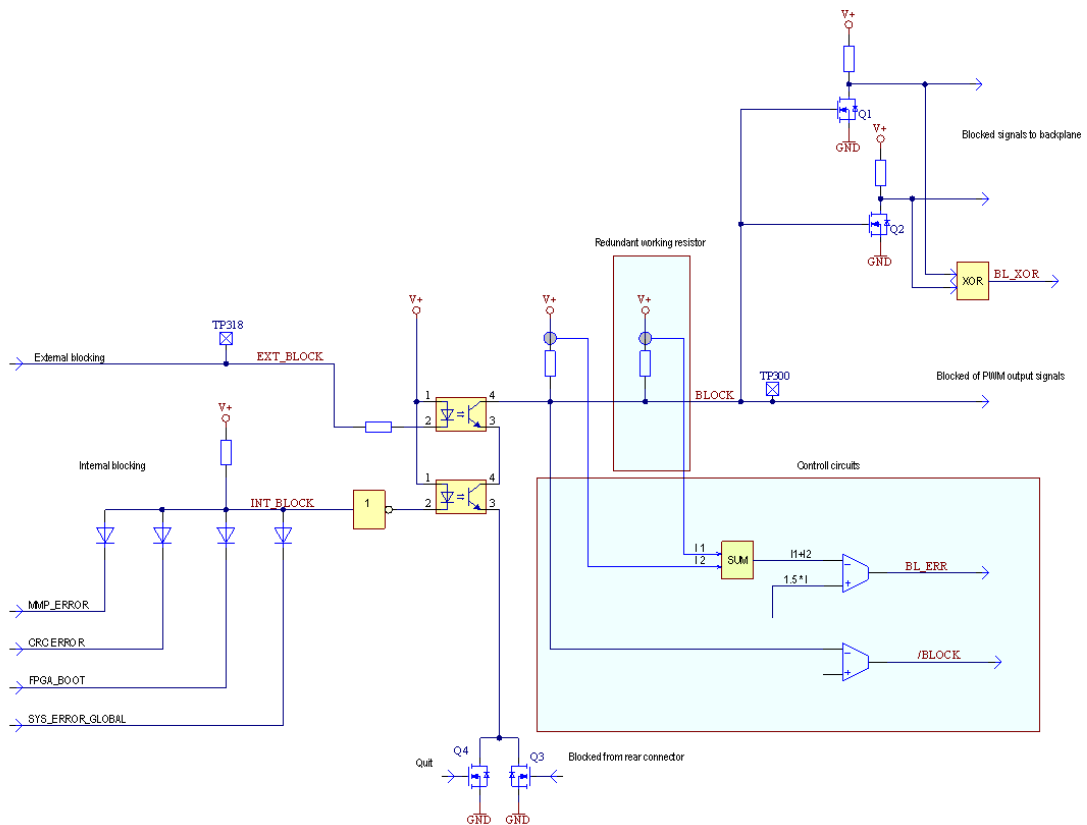
CRC_ERROR: konfigurace FPGA je po zapnutí natažena do vnitřní RAM paměti. Vnitřní logika cyklicky kontroluje tuto RAM paměť a v případě chyby nastavuje signál CRC_ERROR.

FPGA_BOOT: tento signál je aktivován v průběhu loadování FPGA programu z externí FLASH do vnitřní RAM paměti.

SYS_ERROR_GLOBAL: je systémový chybový signál, který je propojen přes všechny karty. Může být aktivován z libovolné karty z FPGA nebo je aktivován HW přepětovou ochranou každé karty.

SYS_BLOCK_0, SYS_BLOCK_1: jsou redundantní systémové blokovací signály nesoucí informaci o blokování sousedních karet.

Externí zdroj aktivace blokování spočívá v signálu vyvedeném na kartě DIF, který musí být pro základní pracovní stav připojen na GND. Tento signál je připraven pro připojení externí bezpečnostní smyčky.

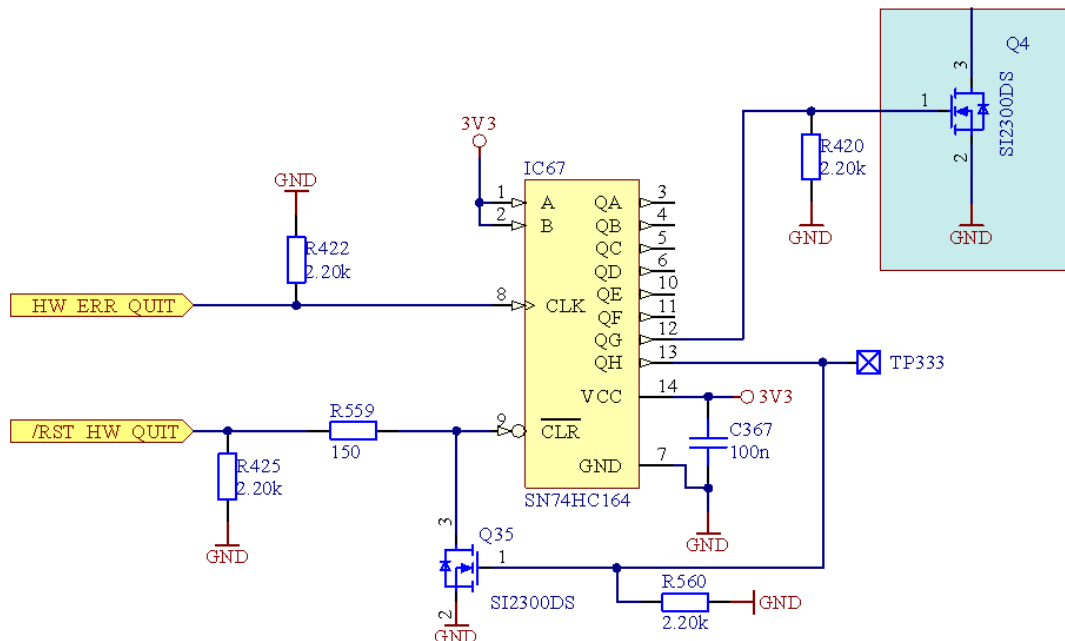


Obrázek 34 - HW bezpečnostní blokování

Obrázek 34 znázorňuje schéma bezpečnostního blokování. V levé části jsou signály, jež spouští mechanismus HW blokování. Je-li libovolný spouštěcí signál aktivní, příslušný optron se rozpojí a signál BLOCK bude aktivní. Aby byl vyloučen chybový stav pracovního odporu pro optrony, je tento odpor zdvojen. I to pro ošetření vlastní bezpečnosti nemusí stačit, protože v případě výskytu první chyby je nutné ji detekovat bez ztráty funkčnosti. Proto jsou doplněny oba pracovní odpory měřením protékajícího proudu. Je-li odpor přerušen, proud neprotéká a pomocí signálu BL_ERR je možné detekovat první chybu. Při této chybě je blokovací funkce stále funkční. Signálem /BLOCK je možné sledovat status blokování (je-li či není aktivní). Pro více deskový systém je nutné přenášet blokovací signál mezi deskami. To je provedeno pomocí Q1 a Q2. Všechny signály na propojovací backplane desce jsou konfigurovány jako open drain, takže i bezpečnostní funkce musí být open drain. Z hlediska pracovních odporů je dostatečná redundance, jelikož každá karta systému obsahuje pracovní odpor a backplane obsahuje dva pracovní odpory. Aby byl přenos blokovacího signálu zabezpečen větší mírou, přenáší se pomocí dvou signálů, které budí Q1 a Q2. Současně jsou signály doplněny obvodem pro hlídání společného stavu. Jsou-li rozdílné hodnoty blokovacích signálů na systémové propojovací backplane desce, pak lze detekovat přes signál BL_XOR. Informace o blokování musí být přenesena z backplane do karet. K tomu slouží Q3. V normálním režimu je

Q3 otevřen, nastane-li chyba, Q3 se uzavře a rozpojí primární bezpečnostní smyčku. Ta způsobí aktivaci signálu BLOCK a současně kladně zavazbí přes Q1 a Q2 blokovací signály na backplane. Tento stav je tak upevněn a drží do zásahu obsluhy.

Pomine-li primární zdroj chyby, systém je pořád v režimu blokování. Jediným způsobem je quitace chyby pomocí tranzistoru Q4. Ta však z hlediska bezpečnosti nemůže být provedena jednoduchým statickým signálem.



Obrázek 35 - Odmazání HW chyby

Tranzistor Q4 z předchozího obrázku je v rámečku na Obrázek 35. Jeho ovládání je řešeno pomocí posuvného registru tak, aby jednoduchý omyl uP nezpůsobil jeho otevření. Posuvný registr je ovládán dvěma signály: /RST_HW_QUIT jehož zdrojem je FPGA a HW_ERR_QUIT jehož zdrojem je uP. Funkce blokace HW chyby obnáší provedení následujícího postupu:

- Uvolnit signál /RST_HW_QUIT – provádí FPGA
- Poslat sekvenci 7 pulzů na HW_ERR_QUIT – provádí uP
- Počkat na odquitování HW chyby – za předpokladu že není aktivní žádný z blokovacích vstupních signálů
- Nastavit signál /RST_HW_QUIT do aktivní úrovně – provádí FPGA

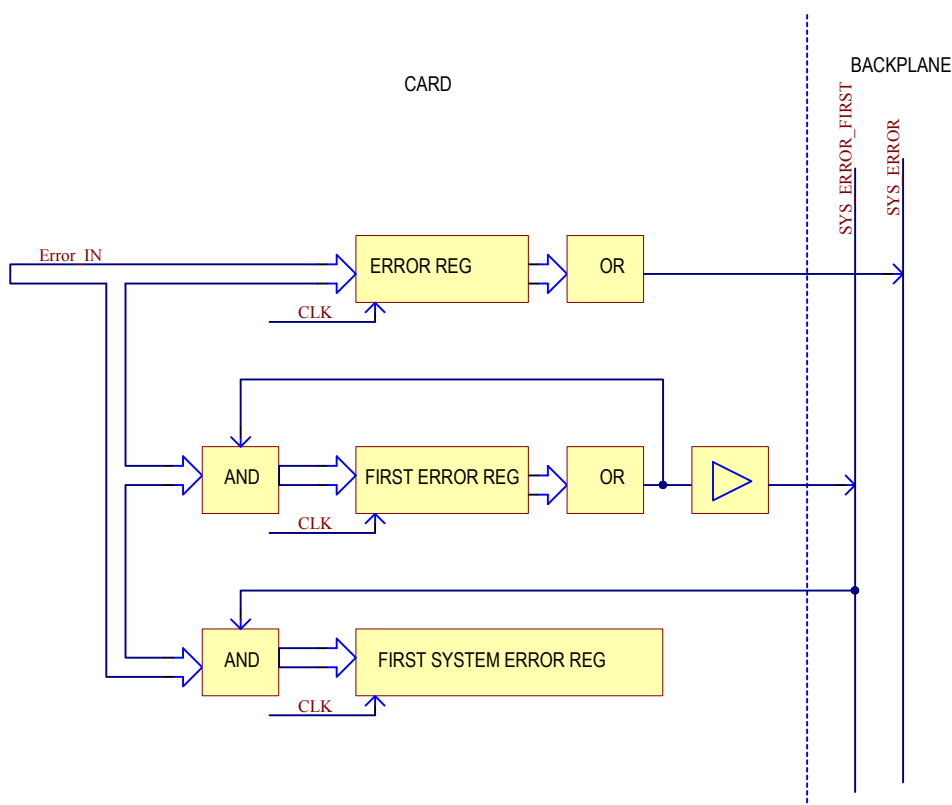
Pouze tímto způsobem je možné odblokovat HW bezpečnostní blokování. Z výše popsaného postupu je zřejmé, že tento postup není nikterak jednoduchý na to, aby byl Q4 sepnut náhodnou posloupností. Za běhu regulátoru musí být resetovací signál aktivní. Tím znemožní naplnění posuvného registru. Přestože je posuvný

registr v resetu, pro odblokování musí být splněna další podmínka pro příchod právě 7 pulzů. Osmý pulz provede opět reset posuvného registru. Proudově je Q4 naddimenzován tak, že za normálních podmínek jím teče proud 15 mA, přičemž transistor je schopen vést proud trvale až 3 A, což je 200x více. Tím lze říci, že pravděpodobnost proudového proražení transistoru, což by způsobilo odpojení blokovacího signálu z propojovacího backplane, je velmi malá.

Po zapnutí systému je vždy aktivované HW bezpečnostní blokování, protože bootování FPGA jednotlivých karet spustí bezpečnostní rutinu. Po startu systému je na systémové úrovni provedena HW quitace chyby. Další quitování v průběhu aplikace musí být velmi důrazně ošetřeno a odůvodněno tak, aby se nequitovala každá přichodící chyba automaticky.

7.6.2.4 Detekce první chyby

Systém REMCS umožňuje zachytávání nejrůznějších druhů chyb, ať už systémových nebo aplikačních. Každá karta má sadu registrů pro tyto chyby, kde jsou zachyceny přichodící chyby, dále do další sady registrů je zachycena první chyba v rámci karty a první chyba v rámci systému.

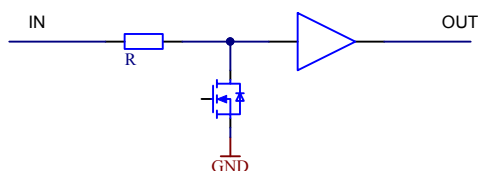


Obrázek 36 – Způsob zachytávání chyb

Názorné zobrazení systému zachytávání chyb ukazuje Obrázek 36. Registry pracují synchronně v režimu sekvenční logiky. Příchod libovolné chyby je zachycen v registru ERROR REG, jehož výstup je propojen přes hradlo OR do jediného signálu. Ten reprezentuje příchozí chybu obecně. Současně, je-li chyba jako první v pořadí karty, zachytí se také do registru FIRST ERROR REG a jedná-li se o první chybu v rámci systému, zachytí se i do registru FIRST SYSTEM ERROR REG. Příchod dalších chyb je zachytávám pouze v registru ERROR REG. Při závažné poruše, kdy se nachytá sada chyb od nadproudů, chyb driverů atd., je možné po následném vyčtení všech chybových registrů lépe určit prvopočátek problému a zdroj chyby.

7.6.2.5 Blokování výstupů

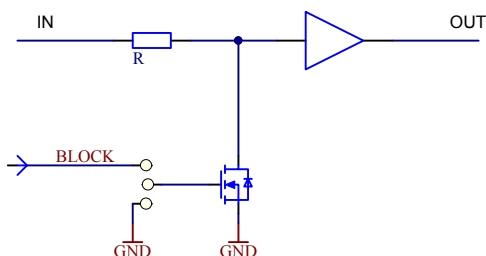
Bezpečnostní blokování zabraňuje generování výstupních PWM signálů z karty ven. PWM signál vede z FPGA přes sériový rezistor do koncového budiče a z něj na čelní konektor. Otevřením transistoru před budičem lze spolehlivě utlumit jakoukoliv kombinaci signálu z FPGA a tím se budič přivede do úrovně „L“.



Obrázek 37 - Princip bezpečnostního blokování

Výjimka z bezpečnostního blokování

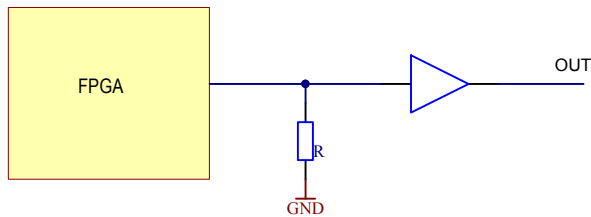
Pro některé signály je nutné udělat výjimku tak, aby nebyly zahrnuty do bezpečnostního blokování. Může se jednat například o signál pro ovládání brzd či jiný signál, u kterého je naopak nutné, aby i při havarijním stavu, kdy je aktivována blokovací funkce, byl tento signál aktivní. Z hlediska robustnosti a spolehlivosti je blokovací tranzistor pro 2 vybrané PWM signály zapojen přes jumper.



Obrázek 38 - Výjimka z bezpečnostního blokování

Pomocí ovíjeného spoje lze propojit konektorovou lištu do režimu, kdy bezpečnostní blokování zahrnuje vybrané výstupy či nikoliv viz. Obrázek 38.

7.6.2.6 Ošetření výstupních stavů při výpadku FPGA

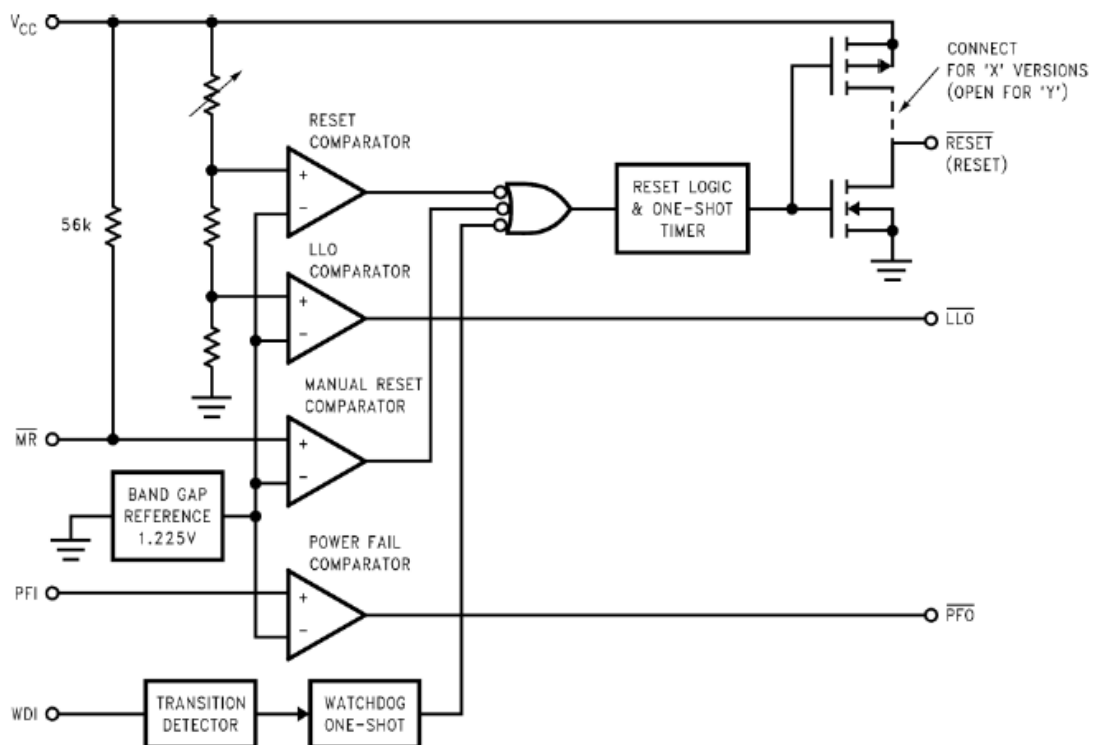


Obrázek 39 - Ošetření výstupů FPGA

Obrázek 39 vysvětluje ošetření výstupů FPGA. Je-li FPGA v režimu nahrávání programu z externí FLASH paměti, všechny jeho uživatelské výstupy jsou v třetím stavu. Hodláme-li použít tyto signály jako výstupní pro ovládání budiče pro PWM signály, je nutné zajistit definovanou úroveň pro následný budič tak, aby svou vnitřní strukturou nezpůsobil vnucení aktivní úrovně do odpojeného signálu od FPGA. To spolehlivě zajistí pull down rezistor.

7.6.2.7 HW watchdog, SW watchdog, mikro watchdog v FPGA

Základní HW watchdog pracuje s pevně nastavenou smyčkou 1600 ms. Ten je implementován spolu s reset obvodem v externí komponentě mimo uP i FPGA.



Obrázek 40 - Externí watchdog [8]

Nastavení 1600ms je záměrně tak velké, aby překrylo start systému – bootování FPGA a start uP. Po správném naběhnutí systému je HW watchdog pravidelně resetován pulzem generovaným FPGA na základně naplnění registru FPGA z mikroprocesoru. Tím jsou zahrnuty do HW watchdog obě klíčové komponenty, mikroprocesor i FPGA. Aktivace HW watchdog vyvolá tzv. HW reset, který resetuje všechny obvody v rámci karty.

Druhá úroveň hlídání běhu programu je SW watchdog. Běží v uP a je možné jej nastavit na podstatně kratší čas oproti HW watchdog. Je resetován pomocí zápisu na příslušný registr v uP. Jeho aktivace způsobí pouze vnitřní reset uP.

V FPGA je implementován tzv. mikro-watchdog. Ten je resetován obecným přístupem na paralelní bránu FPGA. Tu ovládá uP s předpokladem, že velmi úzce spolupracuje s FPGA a v rámci jedné regulační smyčky se FPGA dotáže na sadu několika registrů. Tím je zajištěn trvalý komunikační přenos dat do FPGA případně z něj. Tento přenos je sledován a je možné nastavit timeout, při kterém je mikro watchdog aktivován. Jeho aktivace způsobí blokování výstupních signálů. Mikro watchdog lze nakonfigurovat i tak, že po obnovení komunikace je buď ihned deaktivován, nebo zůstává aktivní a pošle interrupt signál do uP. To může být výhodné pro debug aplikace, kdy je aplikace v uP pozastavena. Tím se přeruší komunikace s FPGA, zareaguje mikro-watchdog a zablokuje výstupy. Po obnovení komunikace s FPGA vyšle interrupt, který je obslužen mikroprocesorem tak, aby si znovu mohl inicializovat potřebné registry, případně plynule navázat do rozpracovaného stavu před přerušením.

7.6.2.8 Zdvojená komunikace CAN

Na aplikační úrovni jsou k dispozici 2 CAN linky. Ty propojují všechny karty systému a zajišťují přenos informací mezi nimi. Z hlediska bezpečnosti mohou být data přenášena přes 2 CAN linky současně.

7.6.2.9 Bezpečnostní odpojení jednotky od systému

Každá z jednotek obsahuje kromě vlastního uP pomocný identifikační procesor. Ten zajišťuje základní identifikaci karet přes data na systémové úrovni, ale i ovládání hlavního napájecího zdroje příslušné karty.

Pomocný identifikační procesor (IDN) je napájen ze zvláštního napětí, které je do každé karty přiváděno přes zadní konektor propojovací backplane deskou. Po zapnutí systému jsou připojeny IDN všech karet. Ty začnou vzájemně komunikovat, domluví si kdo je v systému master. Ten spustí svůj napájecí zdroj a nechá naběhnout program mastera. Ten si potom pomocí systémové CAN sběrnice zapíná jednotlivé karty v systému. Master má tak naprosto jasnou představu jaké karty

v systému jsou a zároveň sekvenčním zapínáním karet eliminuje velký proudový náraz, který by vznikl zapínáním všech karet současně.

Stejně tak jak master systému může jednotky připojovat má i možnost v případě nesprávného chování odpojit danou kartu ze systému tím, že může odpojit napájecí napětí.

7.6.2.10 Zdvojený master systému

Jednotka MCU primárně využívaná jako master celého systému je navržena tak, aby mohl být použita v systému dvakrát. První z jednotek tvoří primární master, druhá sekundární master. Primární master zajišťuje řízení systému a ovládaní slave karet. Sekundární master je v aktivním stavu, sleduje všechnu komunikaci, všechny systémové a uživatelské signály, avšak nikterak nezasahuje do řízení. Z hlediska vysokorychlostní komunikace je vybaven dvojitým komunikačním řadičem tak, aby mohl sledovat datový tok na přímém, ale i zpětném kanálu. V případě detekce chybného chování primárního mastera obsahují karty dedikované systémové signály, které umožní přebrat sekundárnímu masteru řízení. Ten vzhledem k aktivnímu sledování stavu systému má aktuální data a může plyně pokračovat v řízení.

7.6.2.11 Vysokorychlostní komunikace - topologie autorekonfigurovatelné kruhové topologie

Vysokorychlostní komunikace je pomocí aktivních směrovačů na backplane směrována do svého cíle určení. Tyto směrovače jsou ovládány vždy svou příslušnou kartou. Díky zvolené topologii dvojitého protisměrného kruhu je možné v případě detekce přerušení komunikační linky automaticky rekonfigurovat kruh tak, aby bylo možné ovládat všechny karty oběma směry.

7.6.2.12 Uživatelské signály

Zdánlivě jednoduchá myšlenka uživatelských signálů může pomoci zvýšit bezpečnost celého systému. Při komunikaci např. z hlavní řídicí karty do karty nesoucí binární výstupy, na kterou jsou napojeny třeba bezpečnostní odpojovače, je možné posílat po CAN lince povely pro zapnutí či vypnutí stykače a paralelně k tomu je možné tento signál alokovat do uživatelských signálů, ať globálních tak i lokálních a přenášet stejnou informaci pomocí přímého signálu. Tyto zdvojené techniky jsou pro zajištění přenosu bezpečnostních funkcí vyžadovány.

7.6.3 Aplikace nových výpočetně náročných způsobů řízení

Z hlediska komfortu regulace je velkým přínosem vysoký výpočetní výkon doplněný o možnost HW akceleratoru v FPGA. To umožňuje nasazení nových způsobů řízení měničů využívajících především prediktivní algoritmy, a to i na delších horizontech.

Díky zvolené koncepci a použití velkých programovatelných polí lze provádět náročné paralelní výpočty přímo v FPGA.

8 NASAZENÍ ŘÍDICÍHO SYSTÉMU V PRAXI

Začátkem roku 2013 proběhlo předání první licence k navrženému systému REMCS industriálnímu partnerovi. Ten zajišťuje industrializaci a zavedení do pilotního provozu v moderní výkonové aplikaci v energetice. Díky této aplikaci bude řídicí systém REMCS nasazen ve stovkách kusů ročně.

Použitá výkonová aplikace je nejmodernější řešení kompenzace zemních poruchových proudů v izolovaných a neúčinně uzemněných sítích, která využívá nové patentované řešení s použitím polovodičových prvků, které vzniklo v RICE na plzeňské Fakultě elektrotechnické ZČU. Použití moderního řešení modulárního řídicího systému umožňuje efektivní řízení této aplikace i s plánovaným rozšířením na komplexnější úlohu řešení více úloh v síti. Tím byly využity přednosti systému REMCS jako je modularita a možnost dalšího rozšiřování. Tento řídicí systém přináší plnohodnotný komfort pro danou úlohu jak z pohledu dostatečného výpočetního výkonu, který může být distribuovaný do více karet, tak z pohledu bezpečnosti systému, která sahá nad rámec použité aplikace.

9 ZÁVĚR

Disertační práce řeší problematiku řídicích systémů pro měničové aplikace. Byly provedeny průzkumy současných řešení, byla provedena rešerše vědeckých zdrojů. Z výsledků analýzy současných řešení a systémů byly stanoveny slabiny a nedostatky stávajících řešení. Na základně praktických zkušeností z průmyslové praxe jsem definoval metodiku návrhu řídicího systému. Podle této metodiky a na základě specifikovaných požadavků na řídicí systém byl navržen nový modulární řídicí systém, který nese kódové označení REMCS.

Tento řídicí systém REMCS je navržen v základním provedení, které obsahuje 5 jednotek systému a 5 rozšiřujících modulů. Všechny tyto jednotky a moduly se podařilo úspěšně otestovat. Poslední testy elektromagnetické kompatibility právě probíhají, avšak z prvotních dílčích výsledků je patrné, že systém obstojí i v těchto náročných testech.

Kromě testů se podařilo řídicí systém REMCS úspěšně licencovat industriálnímu partnerovi z oblasti energetiky, který zavádí řídicí systém do pilotního provozu v moderní výkonové aplikaci v energetice.

Definované cíle disertační práce:

- návrh koncepce nového řídicího systému
- návrh procesorové platformy pro řídicí systém
- návrh klíčových částí systému
- řešení měření a zpracování analogových veličin
- zajištění bezpečnostních funkcí na HW úrovni
- návrh konceptu elektromagnetické kompatibility
- stavba prototypu nového řídicího systému
- kompletní otestování prototypu a zkoušky v aplikacích

byly splněny ve všech bodech (část testů ještě probíhá).

Hlavní přínosy disertační práce spatřuji v následujících pěti bodech.

- Práce obsahuje zpracovanou metodiku návrhu obecného řídicího systému pro měničové aplikace. Tato metodika definuje jasná pravidla, která jsou nezbytná pro řídicí systém, jako je např. REMCS.
- Návrh nového řídicího systému, který nese kódové označení REMCS. Jedná se o univerzální řídicí systém pro širokou škálu výkonových aplikací umožňující nasazení i v tak specifické oblasti jakou je dopravní technika. Díky své modularitě umožní efektivní řízení všech výkonových systému v tak komplexním celku jakým je např. lokomotiva. Splňuje všechny předpoklady k řízení hlavních pohonů, synchronních usměrňovačů, pomocných pohonů, ale i nadřazeného řízení. Všechny tyto části je řídicí systém schopen ovládat i s jejich nároky na zvýšenou bezpečnost.
- Nově navržený řídicí systém byl navržen a byly postaveny základní řídicí jednotky na prototypových vzorcích. Tyto jednotky byly po testování a analýze prvních nedostatků upraveny a postaveny v provedení "B" vzorků.
- Postavené řídicí jednotky byly kompletně otestovány. Proběhlo testování jak na „A“ vzorcích, kde se odhalily některé nedostatky, které však byly upraveny do vzorků „B“. Tyto B vzorky byly opět podrobeny důkladnému testování. V době odevzdání disertační práce zbývá provést detailní měření v teplotním profilu a kompletní měření EMC a EMI. Podle základních měření systém s velkou pravděpodobností obstojí i v těchto náročných testech.
- Nasazení prototypů nově navrženého řídicího systému do pilotní průmyslové aplikace v energetice.

Perspektivní směry dalšího zkoumání spatřuji v implementaci celého řídicího systému do nové generace FPGA, která obsahuje uživatelský prostor FPGA spolu s implementovaným HW jádrem mikroprocesoru CORTEX M4. Díky této

implementaci a zahrnutí všech komunikačních řadičů do FPGA se výrazně zredukuje digitální HW design, výrazně zvýší datová propustnost mezi periferiemi a výrazně zvýší spolehlivost digitální části. Při implementaci většiny digitálních obvodů do jednoho čipu bude snáze dosažitelná redundance celého jádra za použití alespoň dvou FPGA obvodů, které mohou být vzájemně křížově kontrolovány. Tímto způsobem lze povýšit jednotku na vyšší úroveň bezpečnosti.

Řídicí systém s tímto obvodem by obsahoval kromě zmíněného FPGA již pouze budiče a zpracování analogových signálů. Jednotka MCU s tímto řešením by mohla být doplněna o DDR paměti, libovolným typem komunikační linky v podobě IP jádra v FPGA. Tím by se výrazně zvýšila její užitná hodnota.

Prototyp navrženého modulárního řídicího systému REMCS byl poprvé oficiálně představen odborné veřejnosti v březnu 2013 na největším elektrotechnickém veletrhu ve střední Evropě, kde obstál v konkurenci špičkových týmů jako je SIEMENS či ABB a obdržel ocenění Zlatý Ampér 2013.



Obrázek 41 - Cena a diplom za Zlatý AMPÉR 2013

10 SEZNAM LITERATURE

- [1] Lombardi, Fabrizio; Investigation and design of a controller of an asynchronous system for fault-tolerant aircraft control using hybrid voting techniques; IET Journals & Magazines; 1984
- [2] Leon, J.I. ; Kouro, S. ; Vazquez, S. ; Portillo, R. ; Franquelo, L.G. ; Carrasco, J.M. ; Rodriguez, J.; Multidimensional Modulation Technique for Cascaded Multilevel Converters; Industrial Electronics, IEEE Transactions on 2011
- [3] Minghua, Z. ; Maosheng, S. ; Lijun, D. ; Zhigang, L.; Design and Realization of 200kVA AC Mine Locomotive; Vehicle Power and Propulsion Conference, 2008. VPPC '08. IEEE
- [4] Isermann, R. ; Schwarz, R. ; Stolzl, S.; Fault-tolerant drive-by-wire systems; 2002
- [5] Bertoluzzo, M. ; Buja, G. ; Cossalter, V. ; Doria, A. ; Mazzaro, D ; Getting around in electric vehicles; Industrial Electronics Magazine, IEEE; 2008
- [6] Schwendt, L.; New electric high speed locomotives with three phase drive systems for the US market Railroad Conference, 2001. Proceedings of the 2001 IEEE/ASME Joint Control Systems, IEEE
- [7] TMS570LS31x/21x 16/32-Bit RISC Flash Microcontroller; Technical Reference Manual; Texas Instruments; SPNU499A; 2012;
<http://www.ti.com/lit/ug/spnu499a/spnu499a.pdf>
- [8] LM3710/LM3711 Microprocessor Supervisory Circuits with Power Fail Input, Low Line Output, Manual Reset and Watchdog Timer; Texas Instruments; SNVS150D; 2004; <http://www.ti.com/lit/ds/snvs150d/snvs150d.pdf>
- [9] 8b/10b Encoder/Decoder ; Reference Design RD2012; Lattice Semiconductor; 2012; <http://www.latticesemi.com/lit/docs/refdesigns/rd1012.pdf>
- [10] Introduction to ITS Standards Testing; konvertovana prezentace;
<http://www.pcb.its.dot.gov/standardstraining/mod05/ppt/m05ppt.htm>
- [11] Použitý obrázek; <http://www.technoa.co.kr/content/View.asp?pPageID=39068>
- [12] LVDS 4x4 CROSSPOINT SWITCH; Datasheet; Texas Instruments; SLLS594B–3/2004 – Revize 10/2004; <http://www.ti.com/lit/ds/symlink/sn65lvds250.pdf>
- [13] 0.6 to 1.5 Gbps Transceiver; Datasheet; Texas Instruments; 2004;
<http://www.ti.com/lit/ds/symlink/tlk1501.pdf>

[14] Aplikační report; Interfacing Between LVPECL, VML, CML, and LVDS Levels; Texas Instruments, SLLA120; 10/2002; <http://www.ti.com/lit/an/slla120/slla120.pdf>

[15] 250 kSPS, 6-Channel, Simultaneous Sampling, Bipolar 16-/14-/12-Bit ADC; Datasheet; Analog Devices; 2012; http://www.analog.com/static/imported-files/data_sheets/AD7656_7657_7658.pdf

[16] T. Dostál; Elektrické filtry; Ústav radioelektroniky FEI VUT Brno, 1999

[17] Quad, 15 V, 256 - Position, Digital Potentiometer with Pin - Selectable SPI/I2C; Datasheet; Analog Devices; 2012; http://www.analog.com/static/imported-files/data_sheets/AD5263.pdf

[18] Military Handbook Reliability prediction of electronic equipment; Ministerstvo obrany Washington DC 20301; 1991; <http://quanterion.com/Publications/MIL-HDBK-217/MIL-HDBK-217F%20w%20N1%20and%20N2.pdf>

11 SEZNAM POUŽITÝCH ZKRATEK

3U	Výška euro skříně (1U=44,45mm)
ABS	Absolutní hodnota
AD	Analog – Digital
ARC	Aktivní RC
CAN	Car Area Network – Sběrnice využívaná v dopravní technice
CML	Current Mode Logic – Diferenciální zapojení logiky v proudovém módu
CRC	Cyclic Redundant Check – cyklický redundantní součet
ČD	České dráhy
DA	Digital – Analog
DDR	Double Data Rate – Zdvojená přenosová rychlost
DIF	Direct Interface – Jednotka pro řízení měničů
DIN	Deutsches Institut für Normung - německá standartizační organizace
DSP	Digital Signal Processor – Signální procesor
EMC	Electromagnetic Compatibility – Elektromagnetická kompatibilita
EMI	Electromagnetic Immunity – Elektromagnetická imunita
ESD	Electro Static Discharge – Elektrostatický výboj
FB	Feed Back - Zpětná vazba
FIT	Failure In Time – Doba do poruchy
FPGA	Field Programmable Gate Array – Programovatelné logické pole
GND	Ground – Zem
HP	Elementární šířka čelního panelu Euro skříně 1HP=5,08mm
HW	Hardware
ICC	Inter Connection Card – Propojovací jednotka
IDN	Identification processor – Identifikační procesor
IO	Input Output – Vstupně výstupní
ISP	In System Programming – Programování přímo na desce
LES	Logig Elements – Logický element
LVDS	Low Voltage Differential Signaling – Standart diferenciálního připojení
MCU	Micro Controler Unit – Počítačová jednotka
MKO	Monostabilní klopný obvod
MOQ	Minimum Ordar Quantity – Minimální objednacích množství
MTBF	Mean Time Between Failures – Střední doba mezi poruchami
MVB	Multifunction Vehicle Bus – Vlaková sběrnice
OIF	Open Interface – Otevřená jednotka
PCB	Printed Circuit Board – Deska plošného spoje
PLL	Phase Locked Loop – Fázový závěs
PRBS	Pseudo Random Bit Stream – Pseudonáhodná posloupnost
PSU	Power Supply Unit – Napájecí zdroj
PWM	Pulse Width Modulation – Pulzní šířková modulace
REMCS	RICE Embedded Modular Control System – Modulární řídicí systém RICE
RFID	Radio Frequency Identification – Bezkontaktní identifikace
SERDES	Serialiser – Deserializer
SIL	Safety Integrity Level – Stupeň bezpečnosti
SPI	Serial Peripheral Interface – Sériové periferní rozhraní

SW	Software
uP	Mikroprocesor
USB	Universal Serial Bus – Univerzální sériová sběrnice
WTB	Wire Train Bus – Mezivlaková sběrnice

12 SEZNAM AUTOROVÝCH PUBLIKACÍ

- Poláček, L.; Turjanica, P.; Modulární řídicí systém REMCS; XXXIII konference o el. pohonech Plzeň; 2013
- Kosan, T.; Molnar, J.; Streit, L.; Polacek, L.; Peroutka, Z. ; Complete Design of Down-Scale Prototype of Mining Machine Converter based on Four-Level Voltage-Source Converter with Flying Capacitors; EPE PEMC 2012
- Poláček, L.; Power factor correction; Elektrevue; 2002;
<http://www.elektrevue.cz/clanky/oldindex.html>
- Poláček, L.; Předdělička; sborník prací VUT Brno; 1999

13 SEZNAM AUTOROVÝCH VÝSLEDKŮ APLIKOVANÉHO VÝZKUMU

2013

- Poláček, L.; Detektor záření beta částic – prototypová deska A, funkční vzorek.
- Návrh HW testovacího zařízení pro jednotky REMCS, funkční vzorek

2012

- Poláček, L.; Jára, M.; Jednotka Direct Interface (DIF) provedení prototypu B – zásuvná jednotka pro řídicí systém REMCS; funkční vzorek; ID:43900403
- Poláček, L.; Košan, T.; Jednotka Microprocessor Unit (MCU) provedení prototypu B - zásuvná jednotka pro řídicí systém REMCS; funkční vzorek; ID:43899048
- Poláček, L.; Modul binárních výstupů – rozšiřující modul řídicího systému REMCS – provedení prototypu B; vývojový vzorek; ID:43900408
- Turjanica, P.; Poláček, L.; Vývojový interface pro moduly REMCS – prototypová deska; funkční vzorek; ID:43900405
- Poláček, L.; Jára, M.; Jednotka Open Interface (OIF) provedení prototypu B – zásuvná jednotka pro řídicí systém REMCS; funkční vzorek; ID:43900469

2011

- Poláček, L.; Tester komunikace 1,3GBPS – funkční vzorek, ID: 46060

2010

- Hlavní řídicí jednotka hlavního pohonu a pulzního usměrňovače pro dvousystémovou lokomotivu ČD – finální provedení, nasazeno ve vozidle lokomotiva 71Em. Vyvinuto ve ŠKODA ELECTRIC a.s., autorský podíl 100%

2009

- Hlavní řídicí jednotka pohonu pro nízkopodlažní tramvaj – finální provedení, nasazeno ve vozidle tramvaj 15T (Praha, Riga). Vyvinuto ve ŠKODA ELECTRIC a.s., autorský podíl 100%
- Jednotka pro galvanické oddělení nástupní plošiny trolejbusu – finální provedení, nasazeno v trolejbusech. Vyvinuto ve ŠKODA ELECTRIC a.s., autorský podíl 100%

2008

- Počítačový modul pro řízení měničových systémů – finální provedení. Nasazeno v řadě jednotek ve vozidlech tramvají a trolejbusů na pozicích hlavních pohonů, pomocných pohonů a řídicích počítačů. Vyvinuto ve ŠKODA ELECTRIC a.s., autorský podíl 100%
- Komunikační modul MVB – finální provedení, nasazeno ve vozidle metro Petrohrad. Vyvinuto ve ŠKODA ELECTRIC a.s., autorský podíl 100%

2007

- Palubní počítač pro vozidla lehké trakce – finální provedení. Nasazeno ve všech tramvajích a trolejbusech společnosti ŠKODA ELECTRIC. Vyvinuto ve ŠKODA ELECTRIC a.s., autorský podíl 30%

2006

- Vstupně výstupní modul pro vozidla z palubní sítě 110V – prototyp A. Vyvinuto ve ŠKODA ELECTRIC a.s., autorský podíl 100%

2005

- Síťový spínaný napájecí zdroj pro leteckou radiokomunikaci. Vyvinuto ve společnosti Flextronics Design s.r.o. pro společnost Rohde & Schwarz. Nasazeno v provozu, autorský podíl 100%

2004

- Sada lokálních napájecích zdrojů pro přijímač a vysílač letecké radiokomunikace. Vyvinuto ve společnosti Flextronics Design s.r.o. pro společnost Rohde & Schwarz. Nasazeno v provozu, autorský podíl 100%

2003

- Síťový spínaný napájecí zdroj pro řadu měřících přístrojů Smart Instruments vyvinutou ve společnosti Flextronics Design s.r.o. pro společnost Rohde & Schwarz. Nasazeno v provozu pod označením SM300 Signální generátor, FS300 Spektrální analyzátor, FS315 Spektrální analyzátor s arbitrary generátorem, AM300 Arbitrary analyzátor, UP300 Audio analyzátor. Autorský podíl 100%

2002

- Sada lokálních napájecích zdrojů pro měřící přístroje Smart instruments (SM300 Signální generátor, FS300 Spektrální analyzátor, FS315 Spektrální analyzátor s arbitrary generátorem, AM300 Arbitrary analyzátor, UP300 Audio analyzátor). Vyvinuto ve společnosti Flextronics Design s.r.o. pro společnost Rohde & Schwarz. Nasazeno v provozu. Autorský podíl 100%