

## Hardwarový simulátor inkrementálního snímače

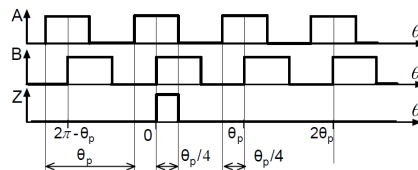
Ondřej Ježek<sup>1</sup>

### 1 Úvod

Pro nasazení v systému „hardware in the loop“ (HIL) je potřeba vyvinout systémy, které simulují chování snímačů s vnějším světem. Simulace analogových signálů je běžná vzhledem k tomu, že běžné průmyslové systémy obvykle analogové výstupy a vstupy obsahují. Inkrementální čidla pracují na poměrně vysokých frekvencích např. při 1ot/s a čidla s 32000 vzorky na otáčku se frekvence změn na výstupu čidla 32kHz to už je frekvence, která může být pro běžný mikrokontroler problematická při zachování dostatečné přesnosti simulace a je proto vhodné volit hardwarové řešení. Řešením je pak simulace přímo pomocí hardware, kde může být výpočet čidla prováděn s násobně vyšší frekvencí a tedy může být dosaženo vyšší přesnosti. Simulátor je realizován na vývojovém kitu DE2-115 od firmy Terrasic osazeném hradlovým polem FPGA Cyclone IV od firmy Altera. Komunikace se systémem Rex probíhá po sériové lince a proprietárním protokolu. Signály jsou generovány na logické výstupy FPGA pole a zobrazovány pomocí LED diod na vývojovém kitu.

### 2 Popis problému

Simulace hardware inkrementálního čidla je vytváření pulsů na základě aktuální rychlosti odpovídajícím aktuálnímu stavu modelu. Signály z inkrementálního čidla pak vypadají jako na obrázku 1. Podle směru otáčení se předbíhá fáze A před fází B a nebo naopak. Signál I pak ukazuje nulovou polohu senzoru a slouží pro přesné měření polohy v otáčce senzoru.



Obrázek 1: Signály v IRC ?justification

Hardwarový simulátor musí být propojen s modelovaným systémem, který mu předává informace o aktuální rychlosti čidla.

#### 2.1 Implementace

Simulátor se skládá ze samotné implementace IRC jádra k němu připojené komunikace po sériové lince, která přijímá data z řídicího počítače. Uzavírající blok pak spojuje příchozí pakety a aktuální hodnoty rychlosti do simulátoru IRC. Část dat je zobrazována na sedmsegmentovém displayi pro testovací účely.

<sup>1</sup> student doktorského studijního programu Aplikované vědy a informatika, oboru Kybernetika, e-mail: ojezek@kky.zcu.cz

Simulátor je řízen ze systému rex, kde je spuštěn samotný model. Informace o poloze, rychlosti a zrychlení jsou vysílány do simulátoru. Komunikační protokol je založený na paketovém přenosu po sériové lince. Sériová linka je volena jako nejrychlejší možná implementace problému.

## 2.2 Připojení k modelu Rex

Model je připojený po sériové lince RS-232, rychlost komunikace je 230,4kBaud/s, 1 stop bit, bez parity.

Připojení je možné pomocí skriptu v jazyku Rexlang vysílajícím hodnoty rychlosti po sériové lince. Hodnoty musí být před odesláním přepočítány na hodnoty v simulátoru podle následující rovnice. Hodnoty rychlosti jsou v *rad/s*. *pulseCount* je v prototypu nastaveno na 32768 a vyjadřuje počet pulsů na otáčku. *pulseWidth* je bitová šířka signálu a je nastavena na 63 bitů. Frekvence zpracování v hradlovém poli *f* je 50MHz.

Úhlová rychlost:

$$\omega_{sim} = \frac{\omega}{2\pi} \cdot \frac{pulseCount(2^{pulseWidth} - 1)}{f} \quad (1)$$

Paket vysílaný ze systému rex je jednoduchý paket uvozený hodnotou

0x0F	$v_{1_{lsb}}$ 0	...	$v_{1_{msb}}$ 7	$v_{2_{lsb}}$ 0	...	$v_{2_{msb}}$ 9
------	-----------------	-----	-----------------	-----------------	-----	-----------------

**Obrázek 2:** Paket pro IRC simulátor

## 3 Závěr a další práce

Navržené zařízení umožňuje simulovat výstup inkrementálního čidla na základě informací posílaných ze simulovaného modelu ze systému Rex. Samotné signály jsou generovány na hradlovém poli FPGA, protože současná standardní počítačová technika neumožňuje generování signálů o dostatečné frekvenci.

Další vývoj by se měl ubírat směrem k zrychlení komunikace. Zde se jako nejvíce perspektivní jeví využití komunikace po Ethernetu, též v proprietárním protokolu. Tato linka by především měla snížit hardwarovou zátěž počítače s modelem systému a zároveň snížit latence komunikace.

## 4 Poděkování

Práce popsaná v tomto článku byla podpořena grantem SGS-2013-041.

## Literatura

Inzce, J. J., Szabó, C., Imecs, M., 2009. Modeling and Simulation of an Incremental Encoder Used in Electrical Drives. 10<sup>th</sup> *International Symposium of Hungarian Researches on Computational Intelligence and Informatics*.

Pinker, J., Poupa, M., 2006. Číslicové systémy a jazyk VHDL. *BEN technická literatura, ISBN 80-7300-198-5*