



Fakulta elektrotechnická  
Katedra elektroenergetiky a ekologie

# Diplomová práce

Porovnání vybraných modulačních technik pro čtyřúrovňový měnič s  
plovoucími kondenzátory (4L-FLC)

Autor: Tomáš Bláha

Vedoucí: Ing. Tomáš Košan, Ph.D.

Plzeň 2017

# Abstrakt

Diplomová práce je zaměřena na problematiku modulace pro víceúrovňové měniče s plovoucími kondenzátory. Tato práce je rozdělena na část teoretickou, která pojednává o topologii čtyřúrovňového měniče s plovoucími kondenzátory, o modulačních technikách, kterými jsou PSPWM, PDPWM, SVPWM dále o teoretickém úvodu do programovatelných hradlových polí FPGA, druhá část této práce je zaměřena na praktické provedení modulačních technik PSPWM a PDPWM. V této části budou rozebrány zdrojové kódy jednotlivých modulačních technik. V závěru práce budou naměřeny reálné hodnoty výstupu čtyřúrovňového měniče s plovoucími kondenzátory.

# Klíčová slova

čtyřúrovňový měnič, plovoucí kondenzátor, modulace, PSPWM, PDPWM, SVPWM, FPGA, VHDL

# Abstract

The diploma thesis is focused on modulation problems of high-voltage multi-level converters with floating capacitors. This thesis is divided into a theoretical part dealing with the topology of a four-level floating capacitor converter, about modulation techniques such as PSPWM, PDPWM, SVPWM and theoretical introduction to programmable FPGA. The second part is focused on the practical implementation of PSPWM and PDPWM modulation techniques. In this part of thesis will be elaborated source code of modulation technique. At the end on the thesis will be measured output values of the four-level converter with floating capacitors.

# Key words

multilevel converter, floating capacitor, modulation, PSPWM, PDPWM, SVPWM, FPGA, VHDL

# Prohlášení

Předkládám tímto k posouzení a obhajobě diplomovou práci, zpracovanou na závěr studia na Fakultě elektrotechnické Západočeské univerzity v Plzni.

Prohlašuji, že jsem svou závěrečnou práci vypracoval samostatně, pod vedením vedoucího diplomové práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce. Jako autor uvedené diplomové práce dále prohlašuji, že v souvislosti s vytvořením této závěrečné práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 270 trestního zákona č. 40/2009 Sb. Také prohlašuji, že veškerý software, použitý při řešení této diplomové práce, je legální.

V Plzni dne 10. května 2017

Tomáš Bláha

.....

# Obsah

<b>1 Úvod</b>	<b>9</b>
1.1 IGBT . . . . .	10
1.2 GTO . . . . .	11
1.3 MOSFET . . . . .	11
1.4 Rozdělení měničů . . . . .	12
1.5 Víceúrovňové měniče . . . . .	14
1.6 Střídač s plovoucími kondenzátory . . . . .	14
1.6.1 Čtyřúrovňový střídač s plovoucími kondenzátory - 4L-FLC . . . . .	16
<b>2 Modulace</b>	<b>21</b>
2.1 Pulzně šířková modulace . . . . .	21
2.2 Synchronní a asynchronní modulace . . . . .	22
2.3 Modulační index . . . . .	23
2.3.1 Přemodulování PWM . . . . .	24
<b>3 Modulační metody pro čtyřúrovňový měnič s plovoucími kondenzátory</b>	<b>26</b>
3.1 Samo-balancování a aktivní balancování napětí na plovoucích kondenzátorech	26
3.2 PS-PWM pro čtyřúrovňový měnič s plovoucími kondenzátory . . . . .	27
3.3 PD-PWM . . . . .	28
3.4 SV-PWM . . . . .	30
<b>4 FPGA</b>	<b>31</b>
<b>5 VHDL</b>	<b>33</b>
<b>6 Realizace modulačních technik</b>	<b>33</b>
6.1 Realizace PSPWM . . . . .	35
6.2 Realizace PDPWM verze 1 . . . . .	45
6.3 Realizace PDPWM verze 2 . . . . .	51

<b>7 Naměřené hodnoty</b>	<b>52</b>
7.1 PSPWM naměřené hodnoty . . . . .	54
7.2 PDPWM1 naměřené hodnoty . . . . .	58
7.3 PDPWM2 naměřené hodnoty . . . . .	59
<b>8 Závěr</b>	<b>60</b>
<b>9 Použitá literatura</b>	<b>61</b>



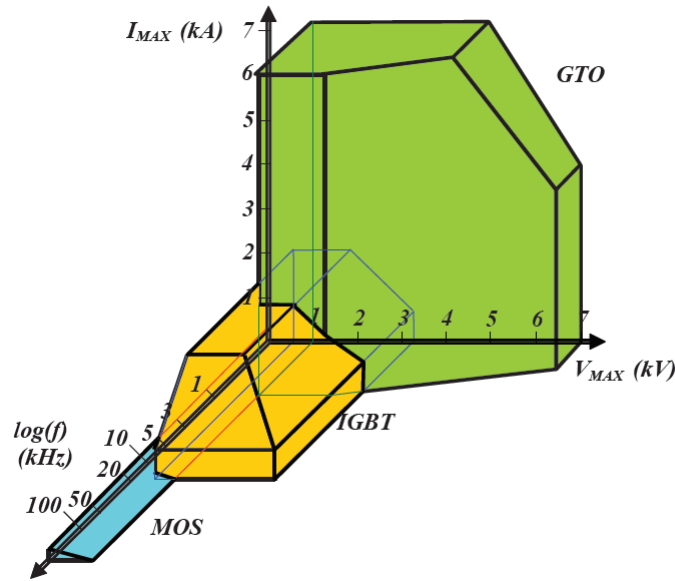
# 1 Úvod

Elektrická energie nás v dnešním světě obklopuje na každém kroku, ať jsou to elektrické spotřebiče, dopravní prostředky jako vlaky, trolejbusy, tramvaje, tak také v lékařství a telekomunikacích. Bez této formy energie si dnešní svět neumíme ani představit a zároveň vznikají různé vědecké studie a realizace na výrobu, transport a využití této energie. Toto široké využití je dáno jejími výhodami, mezi které patří možnost ji přeměnit na jinou formu energie jako je teplo, světlo, mechanická energie a jiné.

Toto široké využití vedlo k potřebě přeměňovat její parametry (napětí, proud, frekvence, počet fází) na hodnoty, které budou vhodnější u dané aplikace. K této přeměně se využívají takzvané měniče. Nesmíme zapomínat, že každá tato přeměna, ať už na jinou formu energie nebo na jiné parametry, s sebou nese nevyhnutelné ztráty, které se snažíme minimalizovat.

Měniče elektrické energie využívají výkonové spínací součástky, které charakterizují dva stavy: plně propustný a plně uzavřený. Sama součástka není schopna provést žádnou transformaci energie. To je možné pouze při použití algoritmu jejího spínání. Řízení spínacích součástek je důležitá vlastnost účinnější přeměny elektrické energie právě při použití měničů. V této době se nejvíce využívají výkonové součástky typu IGBT, MOS a GTO, jejich základní parametry jsou znázorněny na Obr.1.1.

V dnešní době se víceúrovňové měniče využívají např. k přenosu elektrické energie pomocí HVDC jak vzduchem, po zemi, ale také pod vodou. Dále je můžeme shledat v důlním průmyslu nebo také v tramvajích.



Obr. 1.1: Výkonové součástky max. napětí, proud, frekvence - převzato z [1]

## 1.1 IGBT

IGBT (Insulated Gate Bipolar Transistor) - bipolární tranzistor s izolovaným hradlem. Jde o polovodičovou součástku, která integruje v jedné součástce vlastnosti bipolární části, říditelnost pak unipolární části. Z toho vychází výhoda této součástky a to je řízení, které obstarává unipolární řídicí spínací část tranzistoru. V sepnutém stavu je na vstupu téměř nekonečný odpor řídicí elektrody a malý úbytek napětí na výstupu. Ve vypnutém stavu je na vstupu také téměř nekonečný odpor a na výstupu taktéž. V současnosti jsou vyráběny IGBT tranzistory až pro napětí  $U_{ce}$  3kV (ve vývoji až 6,5kV) a proudy  $I_c$  1500A. Spojením s nízkou spínací energií a velmi dobrými dynamickými vlastnostmi nacházejí tyto součástky ve výkonové elektronice velmi široké uplatnění [2].

## 1.2 GTO

GTO tyristor (Gate Turn Off) je speciální tyristor, který lze vypnout poměrně velkým záporným proudovým impulzem do řídicí elektrody. Na rozdíl od klasického tyristoru má velmi složitý přechod PN u katody, řídicí elektroda je rozdělená do mnoha paprskovitě uspořádaných elementů. Vypínání probíhá postupně od vnějšího obvodu a způsobuje výrazné oteplení. Tyristor musí být doplněn podpůrnými odlehčovacími obvody. Pro zapnutí tyristoru se využívá kladný a pro vypnutí záporný řídicí impuls. Charakteristika v přímém směru je totožná s běžným triodovým tyristorem. Podmínkou vypínacího procesu je, aby proud báze 2 (vychází z dvoutranzistorového modelu tyristoru) byl menší než kolektorový proud odpovídající proudovému zesílení, jinými slovy, abychom dosáhli proudem řídicí elektrody IG pokles anodového proudu tyristoru IA pod hodnotu vratného proudu. V praxi dosahuje vypínací zesílení hodnot 3 až 5. Napěťové a proudové parametry vypínacích tyristorů běžně dosahují hodnot 7kV, 6kA při vypínacím čase 10–50 $\mu$ s (narůstá se zvyšováním napětí). Tato hodnota platí pro asymetrické typy, zpětně závěrné typy dosahují asi poloviční hodnoty. Vypínací GTO tyristory jsou určeny především pro trakční aplikace a těžké průmyslové pohony, kde instalované výkony přesahují 500kW.

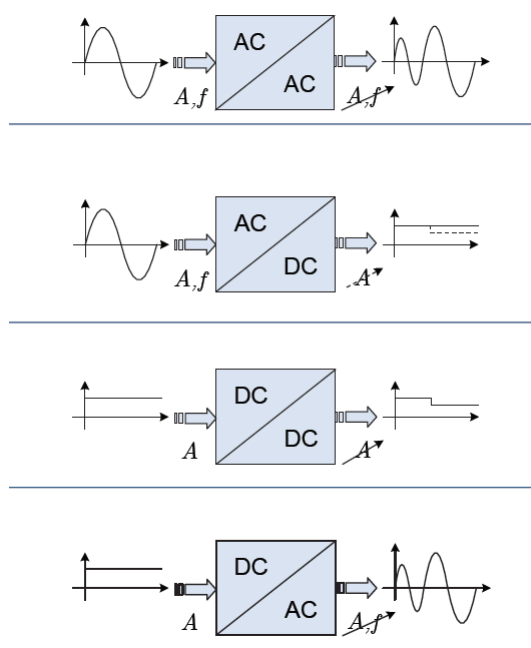
## 1.3 MOSFET

MOSFET tranzistory (unipolární tranzistory řízené polem). Tranzistory řízené polem (FET - Field Effect Transistor) mají tři elektrody. Elektroda S (Source, emitor) je zdrojem volných nosičů náboje přiváděných z vnějšího obvodu do kanálu. Po průchodu kanálem jsou odsáty elektrodou D (Drain, kolektor) zpět do vnějšího obvodu. Kanál je oblast polovodiče, kterou se pohybují mezi elektrodami S a D elektrony (kanál N) nebo díry (kanál P). Proud nosičů kanálem je řízen napětím na elektrodě G (Gate, hradlo). Tranzistor MOSFET (Metal Oxide Semiconductor FET) je struktura, ve které je kovová elektroda G oddělena od polovodiče vrstvou oxidu, nejčastěji oxidu křemičitého SiO<sub>2</sub>. Elektrody hradla bývají tvořeny hliníkem. Napěťové a proudové parametry MOS tran-

zistorů dosahují hodnot 1kV a 1kA. Jejich velká výhoda je spínací rychlost, která může dosáhnout až 100kHz.

## 1.4 Rozdělení měničů

Z funkčního hlediska můžeme měniče napětí rozdělit na čtyři základní typy jejichž grafické znázornění je na Obr. 1.2:



Obr. 1.2: grafické rozdělení měničů - převzato z [1]

### 1. Nepřímé měniče frekvence(AC/AC)

Měniče frekvence je zařízení, které slouží k přeměně elektrického proudu s určitou frekvencí na elektrický proud s jinou frekvencí. Měniče frekvence se využívají např. pro plynulou regulaci otáček asynchronního motoru. Měnič frekvence se skládá ze čtyř hlavních částí, kterými jsou: usměrňovač, meziobvod, střídač, a řídicí jednotka.

## 2. Usměrňovače (AC/DC)

Protože elektronické obvody ke své činnosti obvykle potřebují stejnosměrné napájení a k distribuci elektrické energie se využívá napětí střídavé, je tedy potřeba toto napájení usměrnit. K tomu nám slouží usměrňovače, V současnosti se používají téměř výhradně polovodičové usměrňovače. Usměrňovače se nejvíce používají v elektronice, ale také např. v napájecích soustavách elektrických trakčních vozidel, tedy pro napájení pohonů tramvají, lokomotiv, trolejbusů či metra.

## 3. Střídače (DC/AC)

Střídače nám převádí vstupní stejnosměrné napětí na výstupní napětí střídavé. Jejich využití je například ve fotovoltaice, kde nám přeměňují stejnosměrné napětí z fotovoltaických panelů na běžně používanou střídavou síť u nás 230V/50Hz nebo třífázovou 400V/50Hz. Střídač je také součástí UPS, kde při výpadku napájecí sítě po omezený čas dodává elektrickou energii nastřídanou z vlastního akumulátoru.

## 4. Měníče napětí DC/DC

Měníče napětí nám převádí vstupní stejnosměrné napětí na výstupní stejnosměrné napětí o jiné velikosti. Používá se obecně pro převod mezi různými stejnosměrnými napájecími soustavami. Například se nacházejí v pulzních spínacích zdrojích jako jsou napájecí zdroje pro PC nebo notebooky, v mobilních telefonech a jejich zdrojích a v nabíječkách baterií. Jejich hlavní výhodou je vysoká účinnost, malé rozměry a hmotnost. V moderních síťových zdrojích se používají DC/DC měniče také jako aktivní usměrňovače PFC.

## 1.5 Víceúrovňové měniče

Víceúrovňové měniče elegantně řeší některé problémy výkonové elektroniky, jako například omezení napětí na jednotlivých součástkách při vysokonapěťových aplikacích. Další výhodou oproti dvouúrovňovým měničům je příznivější výstupní napětí z pohledu vyšších harmonických obsažených ve výstupním proudu, což je způsobeno tím, že máme větší počet napěťových hladin a tím i větší počet reálných prostorových vektorů. Více hladin výstupního napětí umožňuje výstupnímu napětí měniče lépe sledovat modulační sinusový signál [3].

Nejrozšířenější topologie víceúrovňových měničů jsou:

1. **Kaskádové zapojení H-můstků** (*Cascaded H-bridge*)
2. **Víceúrovňový měnič s upínacími diodami** (*Diode Clamped Multilevel Converter*)
3. **Víceúrovňový střídač s plovoucími kondenzátory** (*Flying Capacitor Multilevel Inverter*)

Tato práce se bude dále zabývat pouze topologií víceúrovňového střídače s plovoucími kondenzátory, konkrétně způsoby jeho řízení, resp. návrhem modulátorů ve VHDL pro tuto topologii.

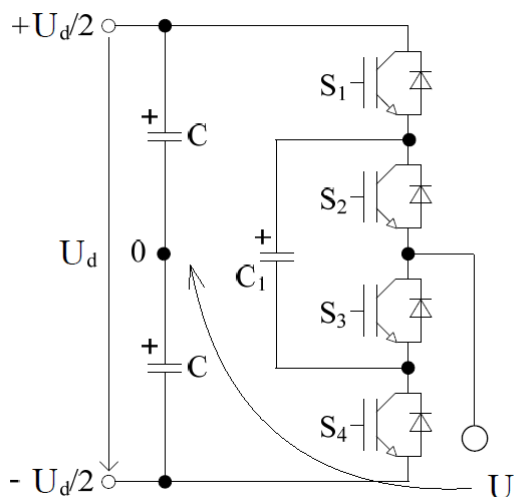
## 1.6 Střídač s plovoucími kondenzátory

Tato technologie umožňuje realizovat tři a více úrovňové měniče. Provozní závěrné napětí na jednotlivých prvcích resp. jejich dvojicích je udržováno pomocí plovoucích kondenzátorů.

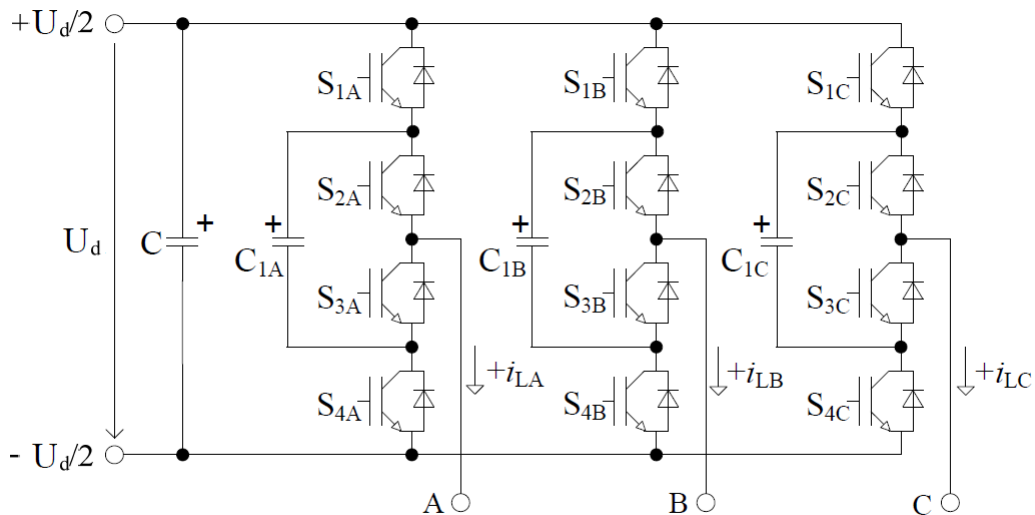
V jednofázovém provedení [4] se často setkáme s měničem, který má vytvořený střed meziobvodu pomocí kapacitního děliče, viz. Obr. 1.3. V tomto zapojení je zapotřebí

mít symetrický proud s nulovou střední hodnotou, aby se nerozvažoval kapacitní dělič meziobvodu. Pokud použijeme dvoufázové zapojení, tak není potřeba mít vyvedený střed meziobvodu, ale poté musíme mít posuv modulačních signálů  $180^\circ$ - stejný princip jako u H-můstku. Ve třífázovém provedení střed meziobvodu také není potřeba, viz. Obr. 1.4.

Při řízení tohoto střídače (stejně jako u jiných typů) je nutné dodržovat určitá pravidla, například je zakázáno současné spínání tranzistorů  $S_1$  a  $S_4$ , pokud by došlo k současnému sepnutí těchto tranzistorů, nastane nám nežádoucí zkrat kondenzátoru a mohlo by dojít až k destrukci celého střídače. Ve výjimečných případech toto pravidlo můžeme porušit a komplementární prvky spínat společně, toho se využívá při přednabíjení plovoucích kondenzátorů.



Obr. 1.3: Trojúrovňový střídač napětí s plovoucími kondenzátory

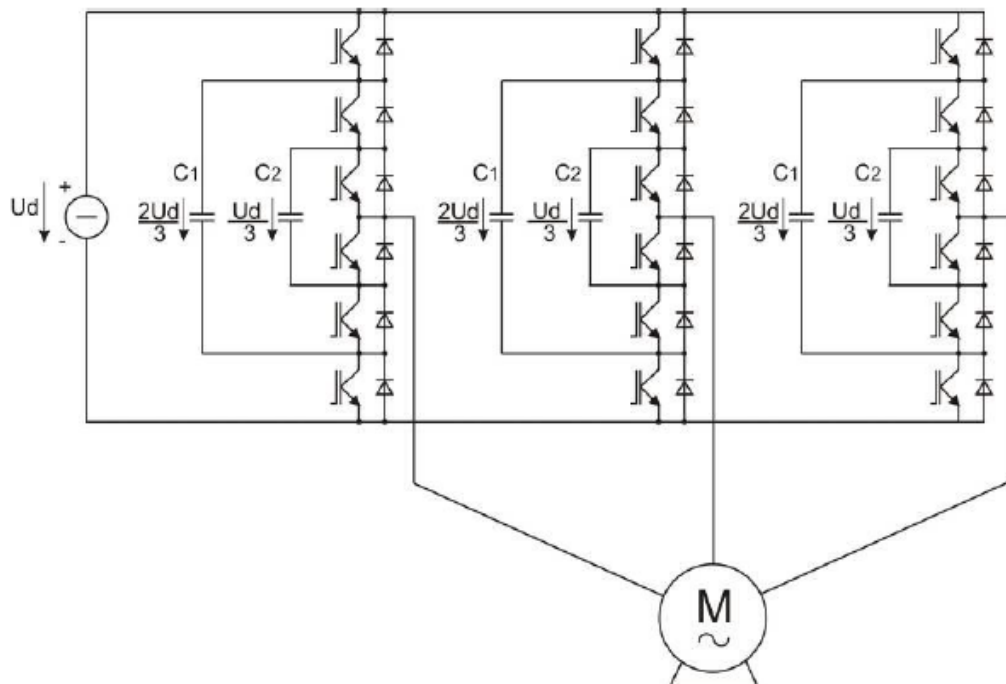


Obr. 1.4: Třífázový trojúrovňový střídač napětí s plovoucími kondenzátory

### 1.6.1 Čtyřúrovňový střídač s plovoucími kondenzátory - 4L-FLC

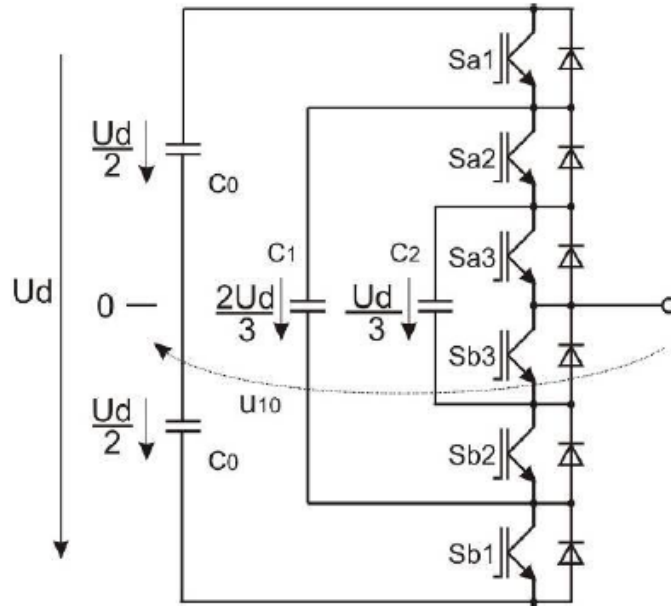
Čtyřúrovňový střídač s plovoucími kondenzátory má, jak je z názvu patrné, celkem čtyři výstupní úrovně fázového napětí. Ty jsou vytvářeny vhodným spínáním výkonových prvků tak, aby se napětí kondenzátorů  $C_1$  a  $C_2$  a meziobvodu navzájem sčítala či odčítala. U trojfázového zapojení budeme mít tyto kondenzátory zapojené v každé větvi, schéma zapojení můžeme vidět na Obr. 1.5.





Obr. 1.5: Schéma třífázového zapojení 4L - FLC střídače [5]

Pokud se podíváme na jednu fázi čtyřúrovňového střídače s plovoucími kondenzátory, která je znázorněna na Obr. 1.6, můžeme vidět, že se skládá ze šesti tranzistorů značených  $S_{a1} - S_{b3}$  a k nim připojené již zmíněné plovoucí kondenzátory  $C_1$  a  $C_2$ .



Obr. 1.6: Schéma jednofázového zapojení 4L - FLC střídače [5]

U této topologie měniče je možné využít tranzistory s menší napěťovou zatížitelností, jenž mají lepší dynamické vlastnosti. Z toho důvodu musí být napětí na plovoucích kondenzátorech udržováno na hodnotě dané vztahem:

$$U_{ci} = \frac{(N - 1) - i}{(N - 1)} U_d, \quad (1)$$

kde  $i$  značí index plovoucího kondenzátoru a  $N$  počet hladin ve fázovém napětí víceúrovňového měniče ( $u_{10}$ ). Při správné funkci měniče jsou spínací prvky měniče namáhány napětím

$$U_{Si} = \frac{1}{(N - 1)} U_d, \quad (2)$$

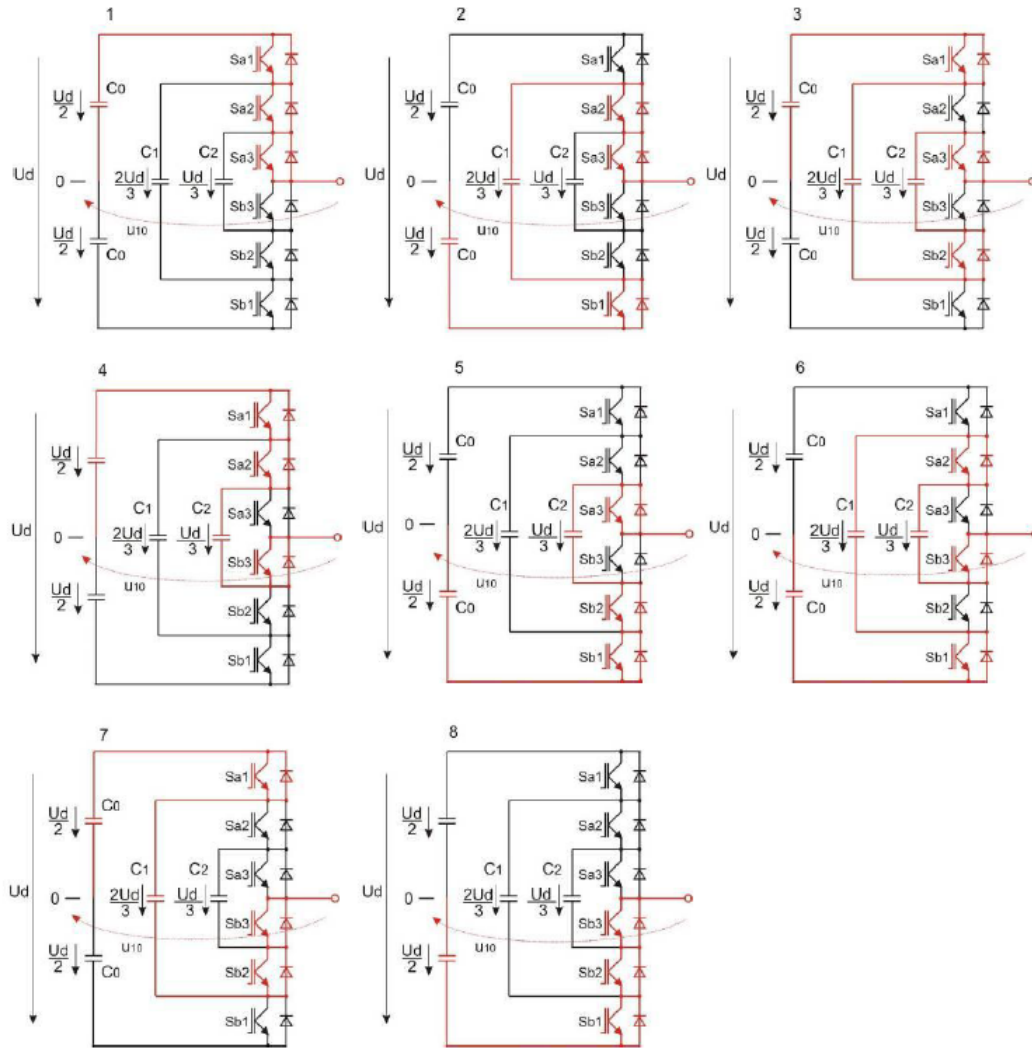
Napájecí zdroj  $U_d$  je na výše uvedeném obrázku nahrazen dvojicí sériově spojených kondenzátorů reprezentujících napěťový meziobvod měniče. Možné kombinace

sepnutí jedné fáze jsou uvedeny v Tab. 1. Jednotlivé označení prvků a velikost fázového napětí střídače -  $u_{10}$  odpovídá označení na Obr. 1.6, viz. [5].

<i>Kombinace</i>	$S_{a1}$	$S_{a2}$	$S_{a3}$	$S_{b3}$	$S_{b2}$	$S_{b1}$	$u_{10}$	<i>hladina</i>
1	1	1	1	0	0	0	$+U_d/2$	4
2	0	1	1	0	0	1	$+U_d/6$	3
3	1	0	1	0	1	0	$+U_d/6$	3
4	1	1	0	1	0	0	$+U_d/6$	3
5	0	0	1	0	1	1	$-U_d/6$	2
6	0	1	0	1	0	1	$-U_d/6$	2
7	1	0	0	1	1	0	$-U_d/6$	2
8	0	0	0	1	1	1	$-U_d/2$	1

*Tab. 1: Kombinace sepnutí jedné fáze čtyřúrovňového měniče [6]*

Způsob řízení je dán tabulkou spínacích kombinací a z předpokladu přirozeného balancování plovoucích kondenzátorů. Z tabulky je patrné, že některé výstupní napěťové hodnoty se vyskytují u více kombinací. Tyto kombinace se nazývají redundantní stavy měniče, které jsou použity při přirozeném balancování a lze je využít také pro aktivní udržování požadovaného napětí na plovoucích kondenzátorech - tzv. balancování napětí plovoucích kondenzátorů. Grafické znázornění jednotlivých kombinací je znázorněno na obrázku 1.7.



Obr. 1.7: Grafické vyjádření spínacích kombinací 4L - FLC střídače [5]

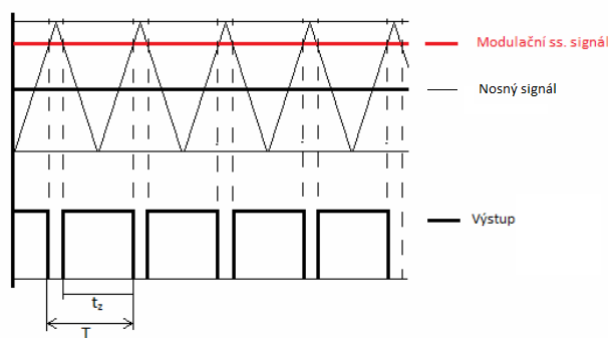
Komplementární dvojice tedy jsou  $S_{ax}$  a  $S_{bx}$ , to znamená, že tyto prvky nemohou být spínány současně, pokud by se stalo, dojde ke zkratu. Z důvodu ochrany před zkratem se mezi zapnutím jednoho a vypnutím druhého prvku vkládá takzvaný mrtvý čas (dead time), během kterého jsou ideálně oba prvky vypnuty, jelikož jednotlivým prvkům trvá nějakou dobu než vypnou (čím vyšší blokovací napětí a propustný proud prvku, tím je tento čas delší) tudíž mrtvý čas se v nejjednodušším případě vkládá jako zpoždění zapnutí komplementárního prvku.

## 2 Modulace

Modulace je proces, při kterém se mění určité parametry nosného signálu, kterými například mohou být napětí, frekvence. K této přeměně se kromě nosného signálu využívá takzvaného signálu modulačního, který nese nějakou informaci. S modulací se můžeme setkat nejen ve sdělovací technice, ale také ve výkonové elektronice. Ve výkonové elektronice se používá tam, kde potřebujeme přenést informaci o žádaném průběhu napětí nebo proudu z řídicích obvodů na výkonové prvky.

### 2.1 Pulzně šířková modulace

V této práci se setkáme pouze s pulzně šířkovou modulací, která se ve výkonové elektronice uplatňuje nejvíce. Pulzně šířková modulace viz. Obr. 2.1 nebo-li PWM (pulse width modulation) je v současné době nejčastější způsob řízení napěťových střídačů, která nám umožňuje změnu výstupní frekvence a amplitudy první harmonické proudu nebo napětí.



Obr. 2.1: Příklad PWM [5]

- Modulační signál - signál, který chceme namodulovat na nosný signál
- Nosný signál - signál, který modulujeme modulačním signálem
- Modulovaný signál - výstup modulace

PWM porovnává nosný vysokofrekvenční signál s nízkofrekvenčním modulačním signálem. Výsledek PWM jsou obdelníkové signály určité střídy, které jsou úměrné velikosti modulačního signálu. Příklad modulace můžeme vidět na Obr. 2.1. Pro řízení dnešních spínacích prvků jako je IGBT tranzistor je pulzně šířková modulace ideální, z důvodu konstrukce výkonového tranzistoru, který má dva stavy s minimálními ztrátami. V plně otevřeném stavu se IGBT tranzistor chová jako téměř ideální spínač, tudíž je na něm minimální úbytek napětí (pouze saturační napětí) a naopak přes zcela vypnutý IGBT tranzistor neprochází téměř žádný proud. Dynamické přechody mezi těmito stavy ovlivňují maximální spínací frekvenci daného prvku při daném proudu a blokovacím napětí. Právě díky těmto vlastnostem se jeví jako ideální pulzně šířková modulace, která je dvoustavová a přechod ideálního tranzistoru mezi stavy trvá nulový čas, reálné tranzistory mají své limity frekvence spínání řádově 20-30kHz při kolektorovém proudu přibližně 1,5kA. Pulzně šířková modulace umožňuje přenášet signál ve dvouhodnotové modulaci, díky tomuto důvodu je dnes jednou ze základních technik, na kterých stojí současná výkonová elektronika. U PWM se také můžeme setkat s termínem střída, kterým se označuje poměrná doba setrvání v aktivní úrovni v rámci jedné periody, kde střída je určena vztahem:

$$s = \frac{t_z}{T}, \quad (3)$$

kde  $s$  označuje střídu,  $t_z$  je doba zapnutí (modulační napětí má větší hodnotu než nosný signál) a  $T$  je perioda nosného signálu.

## 2.2 Synchronní a asynchronní modulace

Synchronní modulace je taková modulace, kdy nosný signál je vždy násobkem modulačního signálu. Jako asynchronní modulaci uvažujeme takovou modulaci, při které

je frekvence nosného signálu konstantní, tedy asynchronní ke generované výstupní frekvenci a potažmo i k vstupnímu modulačnímu signálu. Výhodou asynchronní modulace je stále stejné využití spínací schopnosti výkonových spínacích prvků měniče v celém rozsahu generované frekvence. Jako nevýhodu považujeme měnící se počet sepnutí na jednu periodu výstupního signálu. U nízké výstupní frekvence musíme využít na jednu periodu výstupního signálu mnohem vyšší počet sepnutí než při vysoké výstupní frekvence. To může vést až k tomu, že při vyšší výstupní frekvenci už nebudeme moci na jednu periodu výstupního signálu přiřadit dostatečný počet sepnutí, aby nedošlo k výraznému zkreslení výstupního signálu. Tuto nevýhodu asynchronní modulace odstraňuje synchronní modulace za cenu zvýšené výpočetní náročnosti řídicích algoritmů. Další výhodou synchronní modulace je považováno snadnější přechod do obdélníkového řízení při vysokých výstupních frekvencích. Nevýhody synchronní modulace je složitější přechod mezi různými frekvencemi a také nevyužití spínacích vlastností výkonových součástek při nižších frekvencích, také proměnná spínací frekvence bude generovat rozdílná frekvenční spektra vyšších harmonických.

## 2.3 Modulační index

Modulační index nebo také hloubka modulace, v těchto termínech existuje značná nejednotnost. V některých člancích se používá modulační index (modulation index), zatímco v jiné práci se můžeme dočíst hloubka modulace (modulation depth). Tyto termíny jsou různě definovány mezi různými autory, někdy jde o synonymum, jindy jde o zcela něco jiného.

Modulační index je hodnota definována na základě poměru mezi modulovanou a nemodulovanou veličinou tzn. jak moc se mění velikost modulované veličiny oproti její nemodulované velikosti. Z tohoto důvodu vzniká již výše zmíněná nejednoznačnost, je-

likoř tento vztah nam dava mořnost vybrat si veličinu, ke ktere budeme modulacnı index vztahovat.

$$h = \frac{M}{A}, \quad (4)$$

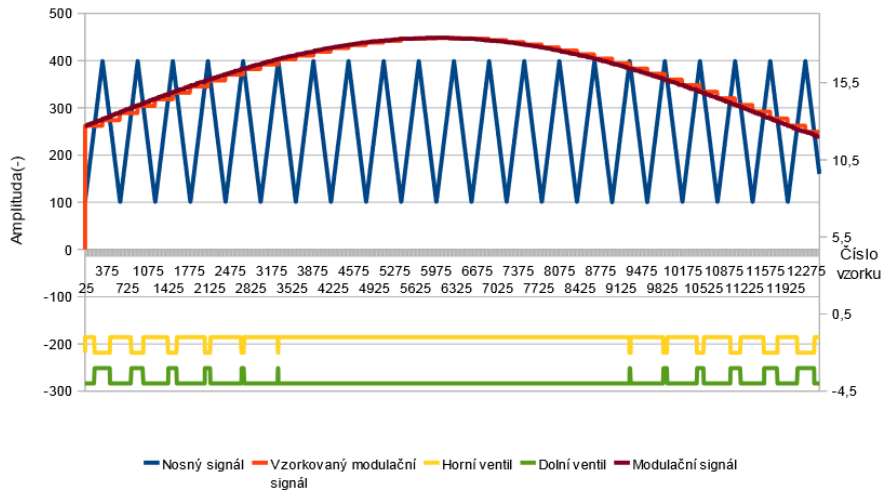
kde  $h$  oznacuje modulacnı index, kterı muře byt take vyjadřen v procentech,  $M$  (v literatuře take jako  $A_m$  nebo  $A_r$  oznaujcı termın *reference signal*) je amplituda modulacnıho signlu a  $A$  (v literatuře take jako  $A_n$  nebo  $A_c$  oznaujcı termın *carrier signal*) jako amplituda nosneho signlu.

Takže v pıpade  $h = 0,5$  se amplituda nosneho signlu pohybuje o 50% vyše resp. nıže neř je amplituda signlu modulacnıho. Pokud se bude modulacnı index  $h$  blıžit 1, tak se modulovany signl bude rovnat 0 v mıstech, kdy se modulacnı signl bude vyskytovat na hodnote sve spodnı amplitudy.

### 2.3.1 Premodulovnı PWM

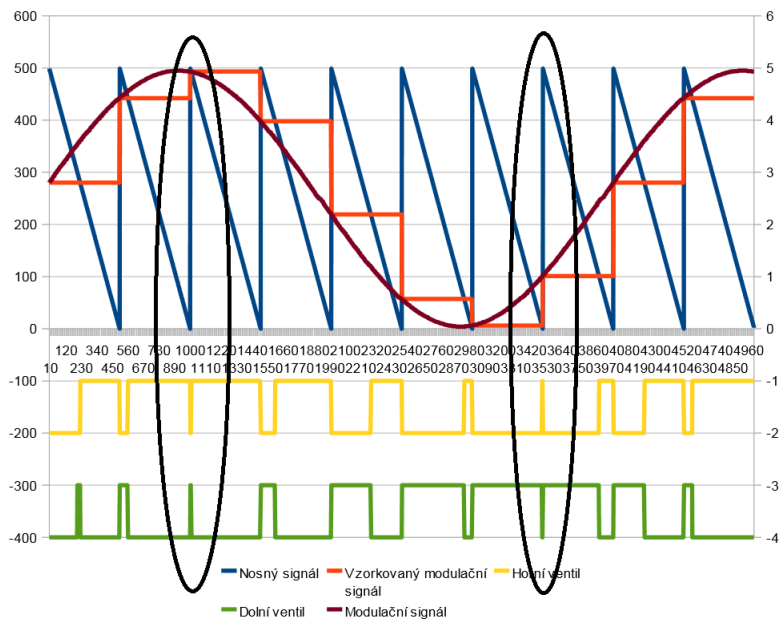
K premodulovnı dochazı, kdyř modulacnı index  $h$  blıží jedne, nebo  $h > 1$ . Extremnı pıpad premodulovnı je ukazan na Obr. 2.2, kdy amplituda nosneho signlu je vyrazne nıřší, neř amplituda signlu modulacnıho. V takovem pıpade dojde k situaci, kdy se nosny signl s modulacnım signlem nikdy nepotkajı a nedojde tak k vygenerovnı nekterych spınacıch pulzu. Mužeme se setkat i se situacı, kdy se tento jev vyuřzıva zamerne, aby se dosahlo vyřší amplitudy vystupnıho napetı. Nesmıme vřak zapomınat, že kařdy klad ma i svuj zapor a tım je v tomto pıpade znacne zvyřenı zkreslenı vystupnıho signlu.





Obr. 2.2: Přemodulování 1 - převzato z [3]

Ve druhém případě dochází k podobnému problému i v případě, že  $h$  se blíží jedné. Pak délka některých vygenerovaných spínacích pulzů může být kratší než zadaný mrtvý čas a pulzy se tedy nevygenerují. Blízký průběh tohoto stavu je vidět na Obr. 2.3.



Obr. 2.3: Přemodulování 2 - převzato z [3]

### 3 Modulační metody pro čtyřúrovňový měnič s plovoucími kondenzátory

Modulační metody pro měniče s plovoucími kondenzátory rozdělujeme na metody s otevřenou regulační smyčnou a metody s uzavřenou regulační smyčkou. Metoda s otevřenou regulační smyčkou využívá přirozeného samo-balancování napětí na kondenzátorech a je použita při metodě PSPWM. Metoda s uzavřenou regulační smyčkou využívá zpětnou vazbu napětí na kondenzátorech a s redundantními stavy víceúrovňového měniče se stará o regulaci napětí na požadované hodnoty to se nazývá *aktivní balancování*, metodu s uzavřenou regulační smyčkou využíváme u modulace PDPWM [7].

#### 3.1 Samo-balancování a aktivní balancování napětí na plovoucích kondenzátorech

Samo-balancování napětí na plovoucích kondenzátorech závisí na vybrané modulační metodě. Základním předpokladem samo-balancování je shodné poměrné spínání v rámci jedné periody modulačního signálu ve všech komplementárních dvojicích. Pokud budeme mít na zátěži střední hodnotu proudu rovnou nule, pak střední hodnota proudu procházejícím plovoucím kondenzátorem, a tím pádem napětí na plovoucím kondenzátoru bude balancovat kolem jedné hodnoty [7].

Velkou nevýhodou samo-balancování kondenzátorů je její dynamická odezva, která je ještě závislá na připojené zátěži, tuto nevýhodu můžeme odstranit použitím takzvaného balancovacího filtru, který je zapojen paralelně k zátěži. Balancovací filtr nám ale zvyšuje celkové náklady měniče. Pro odstranění těchto nevýhod můžeme použít aktivní balancování, při kterém dosáhneme lepší dynamické odezvy balancování bez použití balancovacího filtru. Balanční filtr je naladěn na spínací frekvenci měniče a může to být RL nebo RLC filr, který je připojen paralelně k zátěži [7].

### 3.2 PS-PWM pro čtyřúrovňový měnič s plovoucími kondenzátory

PS-PWM (phase shifted), někdy označována jako PSC-PWM (phase shifted carrier), je nejjednodušší modulační metodou pro měniče s plovoucími kondenzátory. Princip modulace je, že máme společný modulační signál, nosné pily mají stejnou velikost a jejich počet je dán jednoduchým vzorcem:

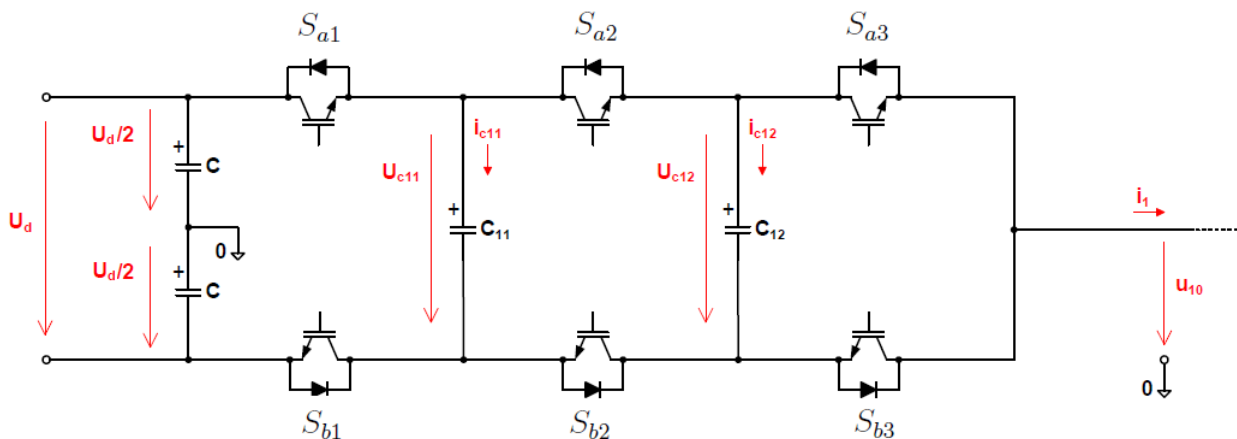
$$x = N - 1, \quad (5)$$

kde  $x$  je počet nosných signálů a  $N$  je počet úrovní měniče. V našem případě máme čtyřúrovňový měnič a tedy budeme mít tři nosné signály, které budou fázově posunuty tak, aby došlo k co nejmenšímu hamonickému zkreslení výstupního napětí, toto spočteme pomocí vzorce:

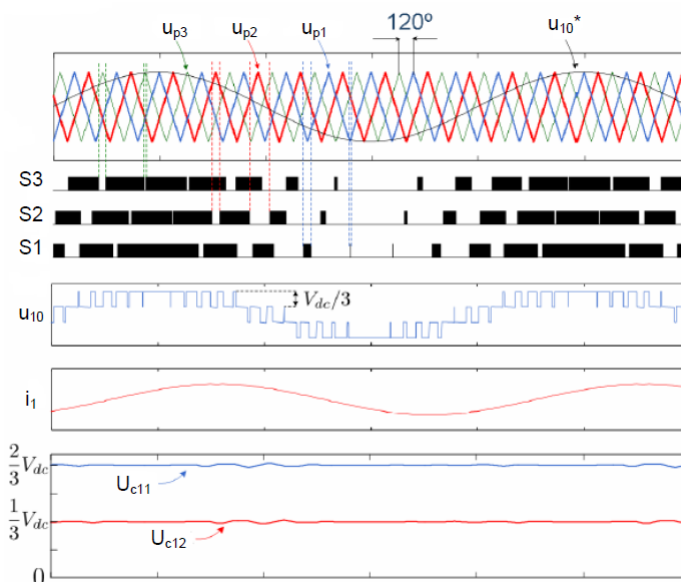
$$\delta = \frac{2\pi}{N - 1}, \quad (6)$$

kde  $\delta$  je úhel posunutí a  $N$  počet úrovní měniče v našem případě bude tedy posunutí  $120^\circ$ .

Ke každé komplementární dvojici připadá právě jeden nosný signál. Pro zjednodušení si můžeme zapojení měniče překreslit do takzvaných buněk, kde v každé buňce máme právě jednu komplementární dvojici, zapojení takové topologie je na Obr. 3.1. Při použití řízení pomocí PS-PWM, není potřeba aktivního balancování plovoucích kondenzátorů, jelikož nám to zajišťuje přirozené samo-balancování napětí plovoucích kondenzátorů. Princip PS-PWM modulace je na Obr. 3.2 [8].



Obr. 3.1: Buňkové zapojení 4L-FLC - převzato [7]



Obr. 3.2: Princip PS-PWM pro 4L-FLC - převzato [7]

### 3.3 PD-PWM

I u PD-PWM využijeme dle (5) počet nosných signálu. Oproti PS-PWM je ale řadíme "nad sebe". Jelikož PD-PWM nám nezajišťuje samo-balancování, nemůžeme jej přímo

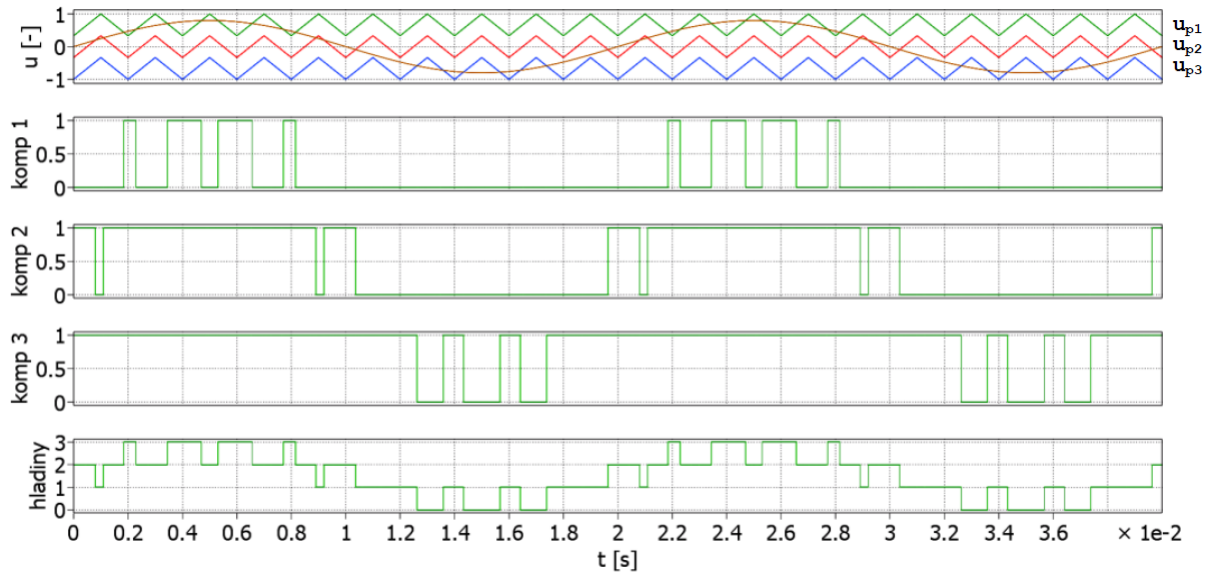
použít pro spínání výkonových součástek při porovnání nosných a modulačních signálů. Princip modulace zobrazen na Obr. 3.3, nám ukazuje pouze jaké úrovně v jednom okamžiku můžeme očekávat. Každá nosná pila je porovnávána s modulačním signálem a má svůj vlastní komparátor, výstup komparátoru je buď "1" nebo "0". Tyto výstupy jsou poté sečteny a udávají nám právě úroveň výstupního napětí měniče ( $u_{10}$ ). Pro správnou funkčnost měniče musí být následovně jednotlivé stavy dekodovány. V Tab. 2 vidíme, že stavy  $+U_d/6$  a  $-U_d/6$  mohou být spínány více kombinacemi (redundantní stavy). Funkce jednotlivých stavů je znázorněna v Tab. 2 a říká nám, kdy se s jaký kondenzátor vybíjí/nabíjí.

$S_{a1}$	$S_{a2}$	$S_{a3}$	$S_{b3}$	$S_{b2}$	$S_{b1}$	$u_{c11}$	$u_{c12}$	$u_{10}$	<i>hladina</i>
1	1	1	0	0	0	nc	nc	$U_d/2$	4
1	1	0	1	0	0	nc	+	$U_d/6$	3
1	0	1	0	1	0	+	-	$U_d/6$	3
0	1	1	0	0	1	-	nc	$U_d/6$	3
1	0	0	1	1	0	+	nc	$-U_d/6$	2
0	1	0	1	0	1	-	+	$-U_d/6$	2
0	0	1	0	1	1	nc	-	$-U_d/6$	2
0	0	0	1	1	1	nc	nc	$-U_d/2$	1

Tab. 2: Spínací kombinace s chováním kondenzátorů - převzato [7]

Pro oba kondenzátory modou nastat celkem tři možnosti:

1. "+" nabíjení
2. "-" vybíjení
3. "nc" nemá vliv na napětí kondenzátoru



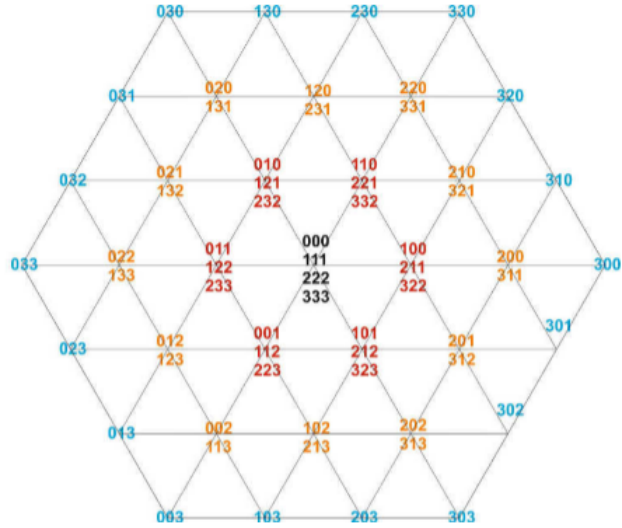
Obr. 3.3: Princip PD-PWM - převzato [7]

### 3.4 SV-PWM

SV-PWM (prostorově vektorová PWM) je oproti dvěma předchozím modulacím odlišná v tom, že je založená v generování spínacích kombinací pro celý měnič v závislosti na požadované pozici prostorového vektoru v komplexní rovině  $\alpha$ - $\beta$ . Na Obr. 3.4, jsou vidět možné polohy prostorového vektoru pro čtyřúrovňový měnič. Jako u PD-PWM můžeme vidět, že některým pozicím prostorového vektoru přísluší více než jedna spínací kombinace (redundantní stavy). Tyto stavy lze poté využít pro balancování napětí na plovoucích kondenzátorech. Za předpokladu symetrické zátěže v třífázové aplikaci bude prostorový vektor dán vztahem:

$$\bar{u} = \frac{2}{3}(u_{z1} + u_{z2}e^{j120} + u_{z3}e^{j240}), \quad (7)$$

kde  $u_{zx}$  je aktuální hodnota fázového napětí na příslušné zátěži.



Obr. 3.4: Polohy prostorového vektoru pro čtyřúrovňový měnič - převzato [8]

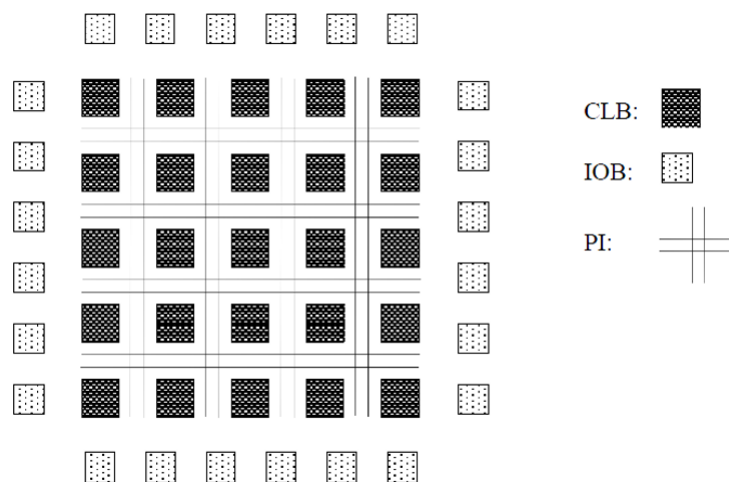
Číselné kódy na každé pozici nám značí napěťové hladiny jednotlivých větvích měniče, které potřebujeme pro realizaci požadované polohy. Například kód 231 představuje hladinu 2 u první větve, hladinu 3 u druhé větve a hladinu 1 u třetí větve. Význam jednotlivých hladin je dán Tab. 2 [7].

Nevýhodou je složitý výběr vhodných reálných vektorů i výpočet dob sepnutí a v neposlední řadě optimální výběr spínací kombinace u redundantních pozic vektoru.

## 4 FPGA

Obvody FPGA (Field Programmable Gate Array) spadají do skupiny programovatelných logických obvodů. Jejich velkou výhodou je, že se navrhuje hardware, tedy nemusíme složitě skládat ze zakoupených součástek, ale můžeme jej ve stejném zapojení naprogramovat. Výhodou obvodů FPGA je především přirozené paralelní zpracování úloh a jejich vysoký pracovní kmitočet.

Vnitřní struktura hradlového pole se skládá z programovatelných bloků. Rozlišujeme dva tyto bloky a to na vstupně/výstupní bloky (IOB) a logické bloky (CLB), v nichž jsou vytvářeny logické funkce. Propojováním těchto bloků, jsme schopni vytvářet téměř libovolný hardware. Na Obr. 4.1 je znázorněna základní bloková architektura. Pro logické bloky je nutná struktura jejichž propojení (PI). Tyto struktury realizují propojení jednotlivých dílčích bloků v požadovaný celek.



Obr. 4.1: Blokova architektura FPGA - převzato [9]

Hlavním prvkem programovatelného bloku je takzvaná *Lookup Table* (LUT) v kombinaci s klopným obvodem typu D. LUT obsahuje definici logické funkce v podobě její pravdivostní tabulky. Tato pravdivostní tabulka určuje chování obvodu, kterým by byla daná logická funkce realizována pomocí reálných hradel a klopný obvod typu D zde zastává funkci jednobitové paměti.

Velká výhoda je, že pomocí FPGA navrhnete hardware jako např.: PWM a jiné aplikace a poté pomocí CPU jsme schopni daný hardware odvládat. Na trhu můžeme najít řešení, které kombinuje procesorové jádro s hradlovým polem na jednom čipu (SoC - System on Chip). Pokud je třeba využití procesoru v hradlovém poli, které není doplněno procesorovým jádrem, je možnost využití takzvaného „soft procesoru“. Soft procesor je



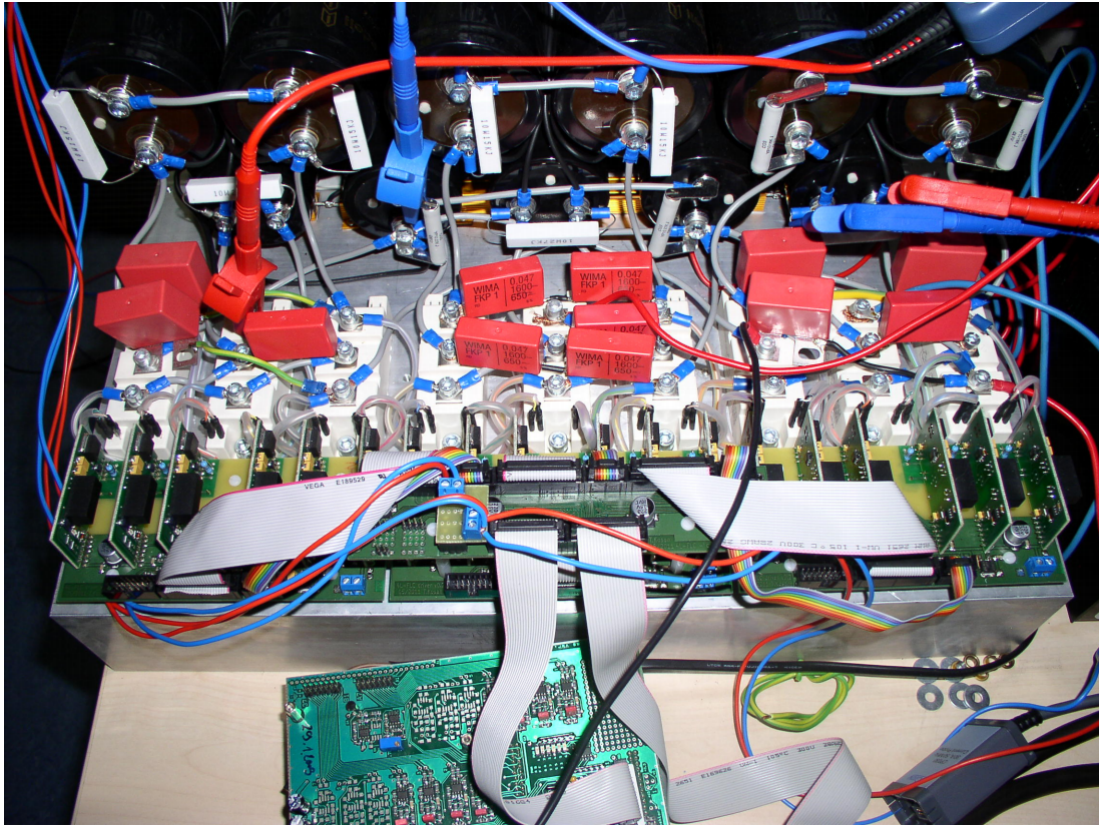
fyzicky neexistující jádro procesoru, které je vytvořeno implementací na hradlovém poli pomocí popisu v HDL jazyce [3].

## 5 VHDL

VHDL (Hardware Description Language) je programovací jazyk, který slouží pro popis hardware. Používá se především pro návrh a simulaci integrovaných obvodů jako jsou například programovatelná hradlová pole FPGA. Programovací jazyk VHDL je standardem IEEE od roku 1987, kdy byl poprvé publikován standard jazyka VHDL pod označením *IEEE Standard VHDL Language Reference Manual (IEEEstd1076 – 1987)*. Revidování jazyka VHDL by mělo probíhat každých 5 let, což se i děje, i když někdy se zpožděním. Kromě jazyka VHDL existují i další jazyky pro popis číslicových systémů, jakými jsou například Verilog a SystemVerilog. V současné době se ovšem hodně rozvíjí popis číslicových systémů v jazyce SystemC, RAD - Altera DSP builder a jiné.

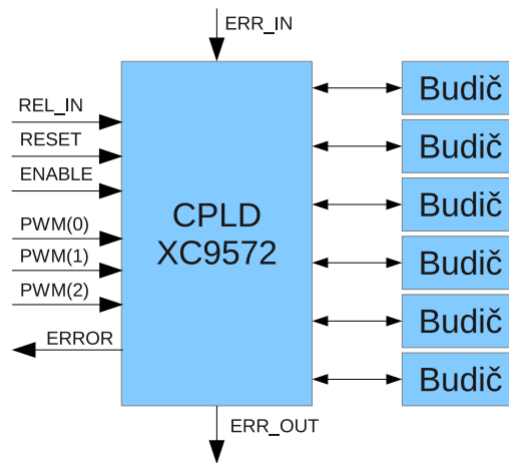
## 6 Realizace modulačních technik

Jak již bylo napsáno výše, tato práce je zaměřená na modulační techniky čtyřúrovňového měniče s plovoucími kondenzátory, tak i realizace modulací bude prováděna na tomto typu měniče. V této části práce se bude implementovat PSPWM modulace a PDPWM modulace s aktivním balancováním. Čtyřúrovňový měnič s plovoucími kondenzátory, na kterém byly použity tyto modulační techniky, byl vyvinut na pracovišti Regionální inovační centrum elektrotechniky (RICE), fakulty elektrotechnické, Západočeské univerzity v Plzni, Obr.6.1.



Obr. 6.1: Čtyřúrovňový měnič s plovoucími kondenzátory - převzato z [10]

Výhodou tohoto měniče je jeho vnitřní zapojení, kde je implementován CPLD kontrolér, viz. Obr. 6.2, který zajišťuje základní funkci jedné fáze. V teoretické části (kapitola 1.6.1) bylo uvedeno, že měnič má v jedné větvi několik komplementárních dvojic, v našem případě, pro řízení šesti spínacích prvků nám postačí tři nosné signály, viz. (5) a zároveň potřebujeme ošetřit takzvané mrtvé časy (dead-times), během kterého budou oba komplementární prvky vypnuté, aby nedocházelo k jejich současnému spínání, což by způsobilo zkrat v měniči a mohlo by dojít k jeho destrukci. Toto zajišťuje právě implementovaný CPLD kontrolér. Více informací viz. [10].

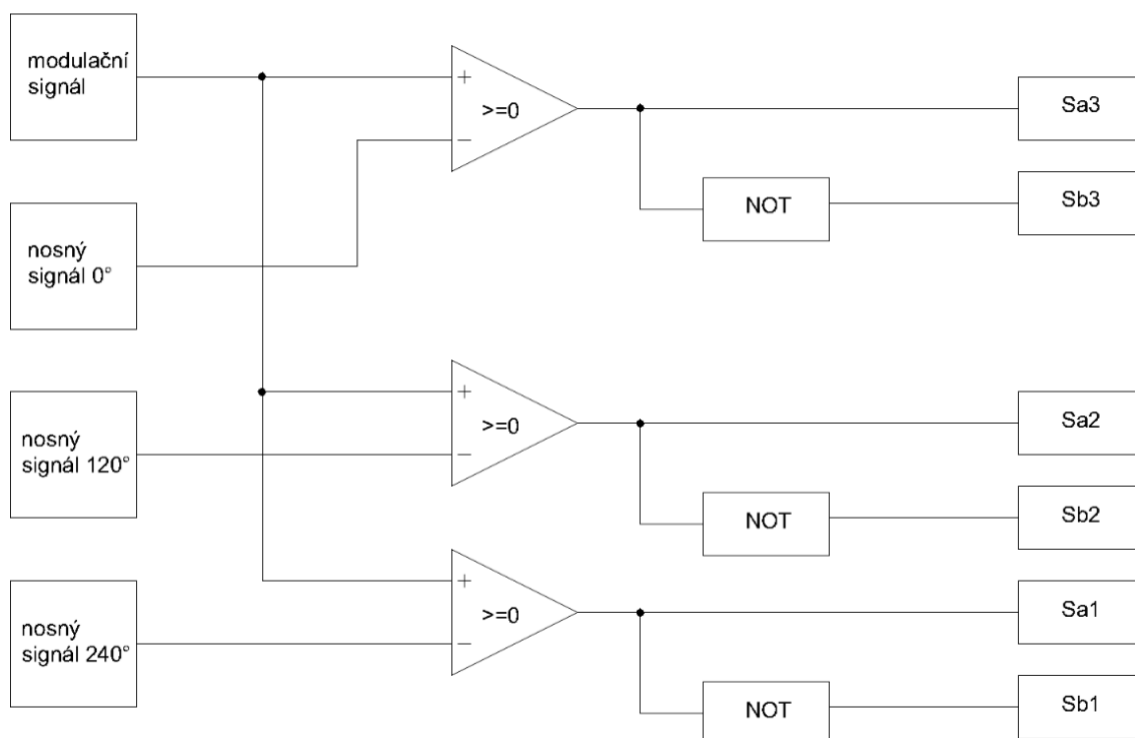


Obr. 6.2: Blokové schéma CPLD kontroléru pro jednu větev - převzato z [10]

Pro naprogramování modulačních technik byl vybrán programovatelný logický obvod (FPGA) od značky Altera a jeho řada Cyclone resp. Cyclone III a pro něj vývojové prostředí Quartus II 13.1. Více se o Cyclone III a jeho vývojovém prostředí můžeme dočíst např.: na internetových stránkách výrobce, více na [14]. Samostatné zdrojové kódy jsou napsány v jazyce VHDL.

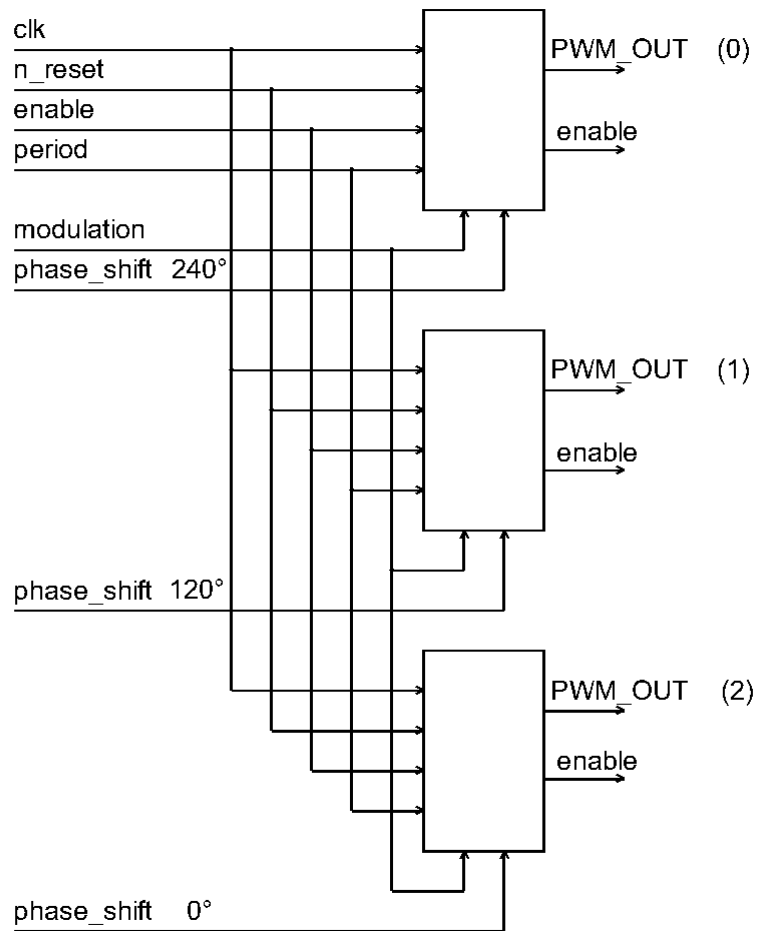
## 6.1 Realizace PSPWM

Realizace PSPWM vychází z teoretických předpokladů uvedené v kapitole 3.2. Pro realizaci pro čtyřúrovňový měnič s plovoucími kondenzátory je nutné generovat tři nosné signály, které jsou symetrické pily vůči nule s fázovým posunem  $120^\circ$ . Dále tyto pily porovnáváme s modulačním signálem a vytváříme spínací kombinace jednotlivých komplementárních prvků viz. Obr. 6.3.

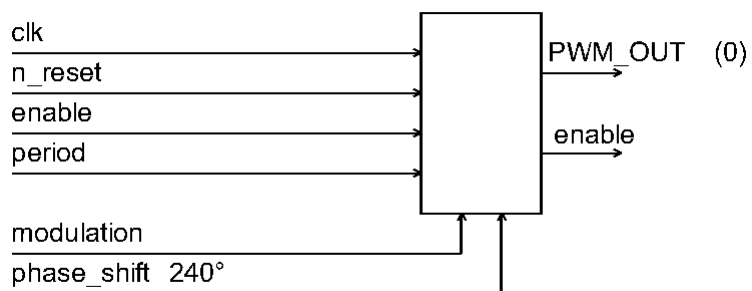


Obr. 6.3: Blokové schéma realizace PSPWM pro jednu větev

Pro lepší pochopení zdrojového kódu PSPWM modulace se bude vycházet z Obr. 6.4 resp. 6.5, kde je lépe naznačeno fungování systému. Na Obr. 6.4 je blokové zapojení pro správný chod jedné větve měniče. Můžeme vidět, že vstupní signály clk, n\_reset, enable, period a modulation jsou společné pro všechny tři bloky, mění se pouze vstupní fázový posun, výstupy PWM\_OUT(x) a enable (společný signál) dále připojujeme na CPLD, viz. Obr. 6.2. Na Obr. 6.5 vidíme zapojení jedné komplementární dvojice, z tohoto jednoho bloku uděláme univerzální blok pro všechny tři komplementární dvojice. Rozdělit modulaci na tři bloky má oproti vytvoření kompletní modulace výhody typu, jednoduššího testování a snadného rozšiřování aplikace, například použití pro pětiúrovňový měnič, což by mohl být při kompletním algoritmu nemalý problém a v některých případech bychom museli vytvářet kompletně nový zdrojový kód pro danou aplikaci. V Tab. 3 nalezneme vysvětlení jednotlivých proměných z Obr. 6.4 resp. Obr. 6.5.



Obr. 6.4: Blokové schéma kompletní realizace PSPWM pro jednu větev



Obr. 6.5: Schéma jednoho bloku realizace PSPWM pro jednu větev

clk	vstupní hodiny
n_reset	vstupní resetovací signál aktivní v 0
enable	vstupní aktivovací signál aktivní v 1
period	vstupní perioda nosného signálu udávána jako 1/4 celkové periody. Tato hodnota pak odpovídá fázovému posuvu rovnému 90°
modulation	vstupní signál modulačního signálu
phase_shift	vstupní signál nastavení fázového posuvu
PWM_OUT	výstupní signál PWM modulace
enable_out	výstupní aktivační signál

*Tab. 3: Definice jednotlivých signálů PS-PWM modulátoru*

V této části práce bude popsán a rozebrán celý zdrojový kód PSPWM modulace, který zároveň bude sloužit i jako teoretická část VHDL. K popisu číslicového systému a jednotlivé části se v jazyce VHDL užívá této syntaxe:

### 1. entita

definuje rozhraní komponenty (pouze vstupy a výstupy), může představovat jedno hradlo, celý obvod nebo velký systém. Příklad deklarace, viz. Výp.1:

```

1 entity PSPWM is
   port (
3     clk                : in std_logic;
     n_reset            : in std_logic;
5     enable             : in std_logic;
     modulation         : in std_logic_vector(15 downto 0);
7     period             : in std_logic_vector(15 downto 0);
     phase_shift        : in std_logic_vector(15 downto 0);
9     comp_out           : out integer;
     pwmcnt_out         : out integer;
11    reg_period         : out integer;
     pwm_out            : out std_logic;
13 ) ;
end PSPWM;

```

*Výp. 1: Příklad deklarace entity*

V deklaraci portů je použit typ `std_logic`: výčetový typ, který je definovaný v knihovně `std_logic_1164`, jedná se o devíti hodnotový logický systém, `std_logic_vector(15 downto 0)` - vektor, který obsahuje 16-ti bitovou informaci a `integer` - 16-ti bitové číslo s rozsahem od -32 768 do 32 767 (pouze celá čísla). Volitelná sekce `port` umožňuje definovat vstupy/výstupy entit. Režim přenosu dat tedy může být v tomto případě *in* pro vstup nebo *out* pro výstup entit.

*In* - data mohou do entity pouze vstupovat, nejčastější použití (hodiny, reset, enable atd.)

*Out* - data mohou z entity pouze vystupovat, nejčastější použití (řídící signály, datové výstupy, třístavové výstupy - ty se používají spíše v kombinaci s *inout* pro obousměrnou datovou sběrnici atd.)

## 2. architektura

určuje funkčnost a chování, tu rozdělujeme ještě na dvě části (deklarační a příkazovou).

Architektura tedy definuje vnitřek entity. Příklad deklarace, viz. Výp. 2:

```
2 architecture arch of PSPWM is
4 begin
6 pwm_modulator      : process (clk , n_reset , enable)
   variable pwmcnt    : integer range -32768 to 32767;
8   variable direction : std_logic := '1';  -- 1 = UP, 0 = DOWN
   variable reg_period : integer range 0 to 65535;
10  variable comp      : integer;
   variable pwm       : std_logic;
```

*Výp. 2: Příklad deklarace architektury*

Každá entita musí mít minimálně jednu architekturu, ale pro jednu entitu je možnost použít více architektur (implementací). Základní zdrojový kód v jazyce VHDL se sestává z deklarace entit a jejich příslušné architektury. V každém souboru by měla být obsažena pouze jedna entita a příslušná architektura nebo architektury, pokud jich má entita definováno více. Jméno souboru u příkladu, který je napsán nahoře by mělo vypadat následovně: pspwm.vhd nebo pspwm.vhdl [11]. Více teorie o jazyku VHDL se můžeme dočíst v [11], [12].

Tato architektura patří k entitě pspwm. V kódu mohou být použity logické členy jako *or*, *and*, *xor* a základní matematické operace, jako sčítání, odčítání, násobení, které musí být definované pro použité datové typy. Operaci dělení není vhodné používat z důvodu komplikované defaultní implementace při syntéze obvodu. Pro mocniny dvou je mnohem



vhodnější použít bitové posuvy, a to jak pro dělení tak násobení. Symbol `<=` se v jazyce VHDL používá pro přiřazení signálu. Dva znaky `”-”` slouží k vkládání komentářů. Pro naši aplikaci jsem použil proces, ve kterém je definován PSPWM modulátor. Pro proces `pwm_modulator` si můžeme nadeklarovat vnitřní proměnné, které slouží pouze jako pomocné proměnné programu a které nemají fyzické připojení z vnitřního procesu.

Jako první je potřeba si nadefinovat výchozí nastavení měniče, viz. Výp.3. Toto nastavení se provádí při deaktivaci výstupního PWM signálu nebo při aktivaci systémového resetu, tudíž pokud nám nastane stav kdy `n_reset = 0`, nebo `enable = 0`.

```
1  if n_reset = '0' or enable = '0' then
3
   if phase_shift >= period and to_integer(unsigned(phase_shift)) <= 3*
      to_integer(unsigned(period)) then
5     direction := '0';
      pwmcnt := 2*to_integer(unsigned(period)) - to_integer(unsigned(
          phase_shift));
7     elsif phase_shift >= 0 and phase_shift <= period then
          direction := '1';
9     pwmcnt := to_integer(unsigned(phase_shift));
      else phase_shift >= 3*to_integer(unsigned(period)) and to_integer(
          unsigned(phase_shift)) <= 4*to_integer(unsigned(period)) then
11     direction := '1';
          pwmcnt := 4*to_integer(unsigned(period)) - to_integer(unsigned(
              phase_shift));
13  end if;
      reg_period := to_integer(unsigned(period));
```

*Výp. 3: Výchozí nastavení měniče*

Pokud je tedy splněna podmínka aby byl měnič neaktivní, tak zjišťujeme zadaný fázový posuv. Jde o to, abychom byli schopni přesně rozlišit v jakých jsme stupních, jelikož například  $60^\circ$  a  $120^\circ$  se nám bude tvářit identicky, toto je jeden z důvodů proč máme periodu rozdělenou na čtyři části. V programu je napsáno, pokud bude fázový posuv větší než  $90^\circ$  a menší než  $270^\circ$  nastav směr počítání dolu (odčítání), a když tato podmínka není platná, tak nastav směr nahoru (sčítání), k tomu nám slouží vnitřní proměnná *direction*, která je pouze 1 bitová, 0 je chápána jako odčítání a 1 jako sčítání, tyto informace se nám budou hodit při vytváření pilového signálu. Další důležitá věc je nastavení počáteční "matematické" hodnoty pilového signálu, k tomu nám slouží proměnná typu integer definována jako *pwmcnt*. Tato počáteční hodnota závisí na požadovaném fázovém posuvu daného pilového signálu.

V dalším kroku si vytvoříme nosný pilový signál, který je vytvořen pomocí jednoduché čítačky, která je snadno vytvořitelná z logických obvodů, viz. Výp. 4. Počáteční parametry nosného signálu jsme již definovali v předchozím kroku. Pilový signál se nám začne generovat po spuštění aktivace chodu měniče tzn. pokud nastane stav kdy  $n\_reset=1$  a zároveň  $enable=1$ .

```

2   if direction = '1' then
3       pwmcnt := pwmcnt + 1;
4       if pwmcnt = reg_period then
5           direction := '0';
6       end if;
7   end if;
8
9   if direction = '0' then
10      pwmcnt := pwmcnt - 1;
11      if pwmcnt = -1*reg_period then
12          direction := '1';
13      end if;
14  end if;

```

*Výp. 4: Sčítačka a podmínky směru čítání*

Zde máme jednoduchou podmínku, pokud jsme z počátečního nastavování, zjistili, že máme *direction*=1 a tedy máme přičítat, toto děláme do doby než bude mít hodnotu  $90^\circ$  (*reg\_period* - integer hodnota zadané periody), tam změní směr na odčítání. V druhém směru je to stejné, ale změna směru čítání se nastaví v okamžiku dosažení  $-90^\circ$  (-periody).

Jako poslední krok je již jednoduché vytvoření porovnávací hodnoty a konečného porovnání, viz. Výp.5.

```

if (pwmcnt = reg_period - 1) or (pwmcnt = -1 * reg_period) then
2  comp := to_integer(shift_right(signed(modulation) * signed(period), 15));
end if;
4  comp_out <= comp;
   pwmcnt_out <= pwmcnt;
6
   if comp >= pwmcnt then
8     pwm := '1';
       else pwm := '0';
10  end if;
   pwm_out <= pwm;

```

#### Výp. 5: Komparátor

Komparační hodnotu musíme dopočítat, jelikož očekáváme modulační signál  $u_m = A * \sin(\omega * t)$  a  $A$  nesmí být větší než je amplituda nosného signálu (*period*), jinak by došlo k přemodulování, musíme tenhle problém "ošetřit" vztahem:

$$k = s * p, \tag{8}$$

kde  $k$  je *komparační hodnota*,  $s$  je *modulační signál* a  $p$  je *perioda*, výsledek posuneme o 15 doprava a poté již porovnáváme tuto hodnotu s čítačem, vytvořeném v minulém kroku. Pokud se nám změní modulační hodnota během chodu, tak přepis na novou hodnotu provádíme na vrcholech i spodcích pily čítače. Kdyby se komparační hodnota měnila okamžitě, mohlo by se stát, že by došlo k nechtěnému několikanásobnému sepnutí spínače.

## 6.2 Realizace PDPWM verze 1

U PDPWM přichází komplikace u aktivního balancování kondenzátorů. V této verzi PDPWM modulace byla k aktivnímu balancování použita pomocná "příznaků"  $flag_i$ ,  $flag_{c1}$  a  $flag_{c2}$ , ty reflektují stav nabití daného kondenzátoru a směru proudu, viz. dále v textu. Pro aktivní balancování se použila Tab. 4, která je rozšířením Tab. 2 o protékající proud, protože se kondenzátory budou vybíjet a nabíjet nejen podle kombinace spínacích prvků ale i podle směru proudu zátěží.

$S_{a1}$	$S_{a2}$	$S_{a3}$	$u_{10}$	$i_{10}$	$C_1$	$C_2$	Hladina
0	0	0	$-\frac{U_d}{2}$	-	-	-	1
0	0	1	$-\frac{U_d}{6}$	$< 0$ $> 0$	- -	nabíjí se vybíjí se	2
0	1	0	$-\frac{U_d}{6}$	$< 0$ $> 0$	nabíjí se vybíjí se	vybíjí se nabíjí se	2
0	1	1	$-\frac{U_d}{6}$	$< 0$ $> 0$	nabíjí se vybíjí se	- -	2
1	0	0	$\frac{U_d}{6}$	$< 0$ $> 0$	vybíjí se nabíjí se	- -	3
1	0	1	$\frac{U_d}{6}$	$< 0$ $> 0$	vybíjí se nabíjí se	nabíjí se vybíjí se	3
1	1	0	$\frac{U_d}{6}$	$< 0$ $> 0$	- -	vybíjí se nabíjí se	3
1	1	1	$\frac{U_d}{2}$	-	-	-	4

Tab. 4: Spínací kombinace s chováním kondenzátorů - převzato [13]

V tabulce vidíme jednotlivé spínací kombinace, výstupní napětí měniče, směr výstupního proudu, nabíjení, vybíjení kondenzátorů a číslo hladiny. U proudu na hladině 1 a 4 se na kondenzátorech neprojeví jeho směr, jelikož proud prochází pouze spínacími prvky a

kondenzátory se tedy vůbec v obvodu neuplatňují. U kondenzátorů, kde není uvedeno *nabíjí se* nebo *vybíjí se* neznámá, že jim zůstane aktuální hodnota nabití, ale bude se pomalu vybíjet z důvodu paralelního zapojení rezistoru na daný kondenzátor, za to u stavu *vybíjí se* dojde k rychlému vybíjení kondenzátoru.

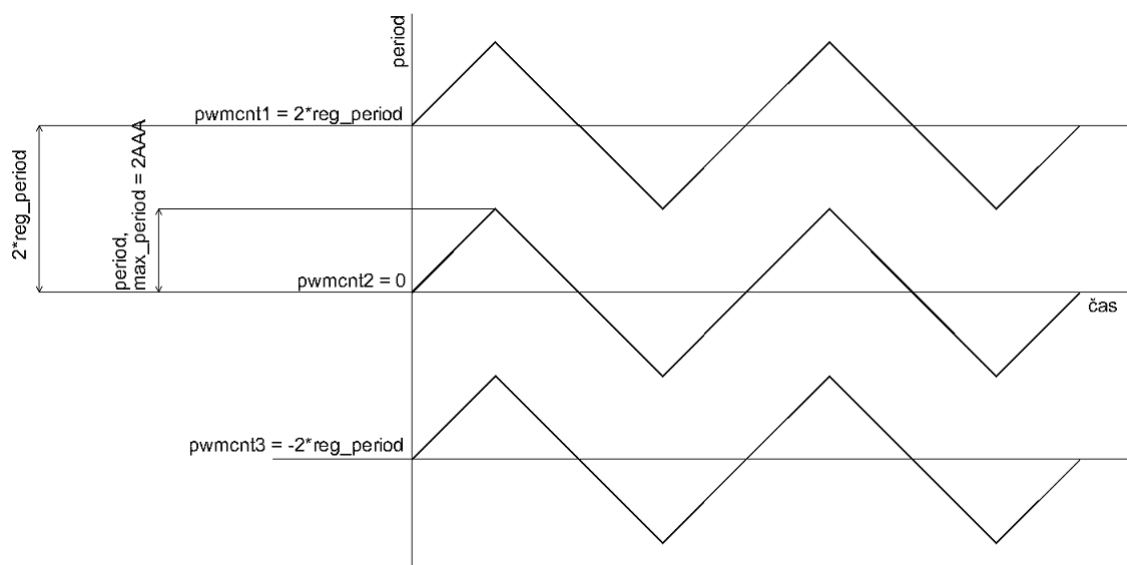
Příznaky  $flag_i$ ,  $flag_{c1}$  a  $flag_{c2}$  jsou jednobitová. Příznak proudu  $flag_i = 0$  značí záporný proud,  $flag_i = 1$  opačně kladný proud. U kondenzátorů  $flag_{cx} = 0$  znamená vybitý a  $flag_{cx} = 1$  nabitý kondenzátor.

Stejně jako u PSPWM je potřeba si definovat výchozí nastavení měniče, Vých.6.

```
1 if n_reset = '0' or enable = '0' then
    direction := '1';
3 period_int := to_integer(signed(period));
    max_period := X"2AAA";
5 reg_period := to_integer(shift_right(signed(max_period)*signed(period)
    ,15));
    pwment_1 := 2*reg_period;
7 pwment_2 := 0;
    pwment_3 := -2*reg_period;
9 pwment_out_1 <= pwment_1;
    pwment_out_2 <= pwment_2;
11 pwment_out_3 <= pwment_3;
    comp_out <= 0;
13 comp      := 0;
    plus_u6  := '0';
15 minus_u6 := '0';
```

Vých. 6: Výchozí nastavení měniče - PDPWM

V tomto případě nepotřebujeme fázový posuv a proto nastavíme pevný směr počítání  $direction = 1$ . Musíme nastavit maximální výši periody na hodnotu  $1/3$  z maximální hodnoty 32767 tj. 10922 a hexadecimálně 2AAA z důvodu tří nosných signálů, které jsou stavěny nad sebou, aby nedošlo k přemodulování. Tento model popisuje Obr. 6.8. Dále nastavíme počáteční hodnoty jednotlivých nosných signálů.



Obr. 6.8: Princip počátečních hodnot generování nosných signálů

Generování nosného signálu a komparační hodnoty je obdobné jako u PSPWM modulace. Poté přichází na řadu aktivní balancování. Nejdříve použijeme podmínku pro zjištění na jaké hladině jsme, to nám označuje proměnná  $plus\_u6$  respektive  $minus\_u6$ , viz. Výp. 7.

```

1 if pwm_T1 = '0' and pwm_T2 = '1' and pwm_T3 = '1' then
  plus_u6 := '1';
3 else plus_u6 := '0';
  end if;
5 if pwm_T1 = '0' and pwm_T2 = '0' and pwm_T3 = '1' then
  minus_u6 := '1';
7 else minus_u6 := '0';
  end if;

```

Výp. 7: Podmínky zjištění aktuální hladiny - PDPWM

Kde  $pwm\_Tx = 1$  nám značí, které tranzistory jsou sepnuté.

```

if plus_u6 = '1' and ((fleg_c1 = '1' and fleg_i = '1') or (fleg_c1 = '0'
  and fleg_i = '0')) then — zjistení stavu proud +, c1 nabito, obracene
2 plus_var_3 := '1'; plus_var_2 := '0'; plus_var_1 := '0';

```

Výp. 8: Podmínka zjištění stavu kondenzátorů a směru proudu - PDPWM

Touto podmínkou zjišťujeme, jaké stavy máme na kondenzátoru 1 a jaký je směr proudu ( $flag\_c1$ ,  $flag\_i$ ). Pokud se vyskytujeme na hladině 3 tedy  $U_d/6$  a zároveň kondenzátor 1 je nabitý a směr proudu je kladný nebo je kondenzátor vybit a proud je záporný tak zapiš do vnitřní proměnné  $plus\_var\_3 = 1$ , do  $plus\_var\_2 = 0$  a do  $plus\_var\_1 = 0$ . Takto pokračujeme i pro ostatní možné kombinace.



```

2  elsif plus_u6 = '1' and ((fleg_c1 = '1' and fleg_i = '0') or (fleg_c1 = '0
   ' and fleg_i = '1')) then — zjisteni stavu proud -, c1 nabito,
   obracene
3  plus_var_3 := '0'; plus_var_2 := '1'; plus_var_1 := '0';

4  elsif plus_u6 = '1' and ((fleg_c2 = '1' and fleg_i = '1') or (fleg_c2 =
   '0' and fleg_i = '0')) then — zjisteni stavu proud +, c1 nabito,
   obracene
5  plus_var_3 := '0'; plus_var_2 := '1'; plus_var_1 := '0';

6  elsif plus_u6 = '1' and ((fleg_c2 = '1' and fleg_i = '0') or (fleg_c2 =
   '0' and fleg_i = '1')) then — zjisteni stavu proud -, c1 nabito,
   obracene
7  plus_var_3 := '0'; plus_var_2 := '0'; plus_var_1 := '1';
8

```

*Výp. 9: Zjištění stavů kondenzátorů a směru proudu - PDPWM 1*

Pro hladinu 2 tedy  $-U_d/6$  postupujeme stejně jako pro hladinu 3. Pokračujeme tím, že jednotlivým variantám přiřadíme jejich kombinace pro spínací prvky. Pro hladinu 3, viz. Výp. 10:

```

2  if plus_var_3 = '1' then
   pwm_T1_out_real <= '0';
   pwm_T2_out_real <= '1';
4  pwm_T3_out_real <= '1';
   end if;
6
   if plus_var_2 = '1' then
8  pwm_T1_out_real <= '1';
   pwm_T2_out_real <= '0';
10 pwm_T3_out_real <= '1';
   end if;
12
   if plus_var_1 = '1' then
14 pwm_T1_out_real <= '1';
   pwm_T2_out_real <= '1';
16 pwm_T3_out_real <= '0';
   end if;

```

*Výp. 10: Kombinace pro hladinu 3 - PDPWM 1*

To samé uděláme pro hladinu 2. Všechny použité kódy v této práci budou k dispozici v přílohách. U této verze PDPWM modulace se po simulaci ukázalo, že aktivní balancování pravděpodobně nebude fungovat zcela správně, jelikož se do kombinace  $T_{i1} = 0$ ,  $T_{i2} = 0$ ,  $T_{i3} = 1$  a  $T_{i1} = 1$ ,  $T_{i2} = 1$ ,  $T_{i3} = 0$  dostane pouze při přechodu z hladiny 3 do hladiny 2 resp. naopak. To je zapříčiněno tím, že máme pouze 2 hodnoty příznaků na kondenzátorech (nabito, vybito) a podmínky postaveny přednostně pro kondenzátor 1, tak se nikdy nedostane na hodnoty pomalého vybíjení a střídá nám pouze ostatní spínací kombinace.

### 6.3 Realizace PDPWM verze 2

Abychom opravili předchozí nedostatek špatného spínání kombinací u aktivního balancování, byly přidány další dva příznaky pro kondenzátory, resp. byla rozšířena indikace stavu nabití, na vybitý, nabitý a v mezích. Tím jsme dostali *flag\_uh\_c1*, *flag\_ul\_c1*, *flag\_uh\_c2* a *flag\_ul\_c2*, kde *uh* znamená plně nabitý kondenzátor, který je aktivní v 1 a *ul* znamená vybitý kondenzátor aktivní také v 1. Tím dostaneme k dispozici chybějící stavy, kdy *flag\_uh\_cx* = 0 a *flag\_ul\_cx* = 0, pro tuto kombinaci přiřadíme pro daný kondenzátor kombinaci, která nám bude pomalu vybíjet kondenzátor. Zdrojový kód je téměř totožný s verzí 1 pouze upravíme podmínky pro výběr varianty spínání:

```
1 if plus_u6 = '1' and ((fleg_uh_c1 = '1' and fleg_i = '1') or (fleg_ul_c1 =
   '1' and fleg_i = '0')) then
   plus_var_3 := '1'; plus_var_2 := '0'; plus_var_1 := '0';
3
   elsif plus_u6 = '1' and ((fleg_uh_c1 = '1' and fleg_i = '0') or (
     fleg_ul_c1 = '1' and fleg_i = '1')) then
5   plus_var_3 := '0'; plus_var_2 := '1'; plus_var_1 := '0';
7
   elsif plus_u6 = '1' and ((fleg_uh_c2 = '1' and fleg_i = '1') or (
     fleg_ul_c2 = '1' and fleg_i = '0')) then
   plus_var_3 := '0'; plus_var_2 := '1'; plus_var_1 := '0';
9
   elsif plus_u6 = '1' and ((fleg_uh_c2 = '1' and fleg_i = '0') or (
     fleg_ul_c2 = '1' and fleg_i = '1')) then
11  plus_var_3 := '0'; plus_var_2 := '0'; plus_var_1 := '1';
```

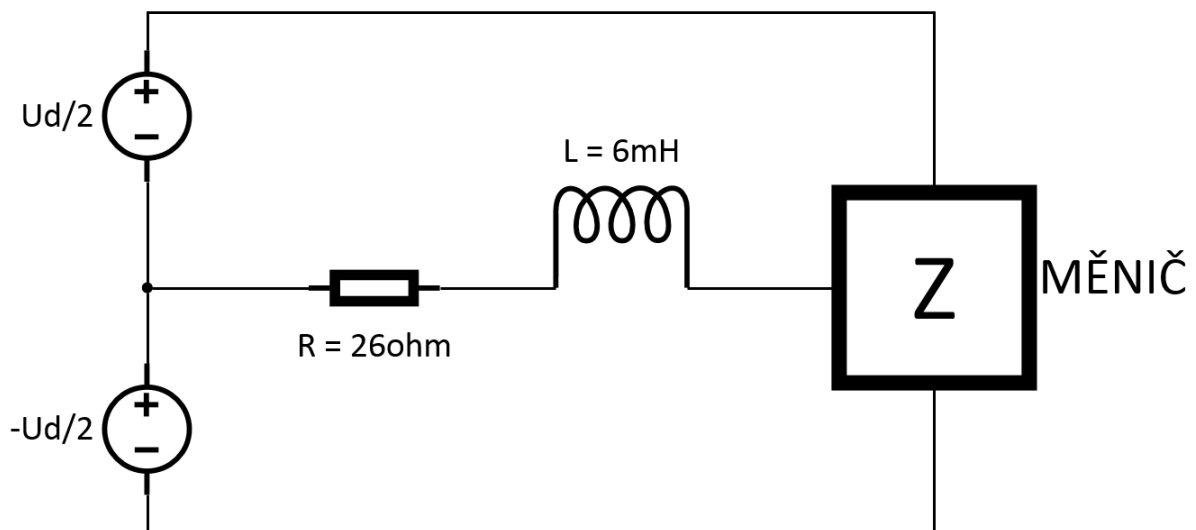
Výp. 11: Zjištění stavů kondenzátorů a směru proudu - PDPWM 2

Stále je přednostně nabíjen kondenzátor 1, ale tím, že u něj může nyní dojít ke kombinaci *flag\_uh\_c1* = 0 a *flag\_ul\_c1* = 0, tak se podmínky budou specializovat na kon-

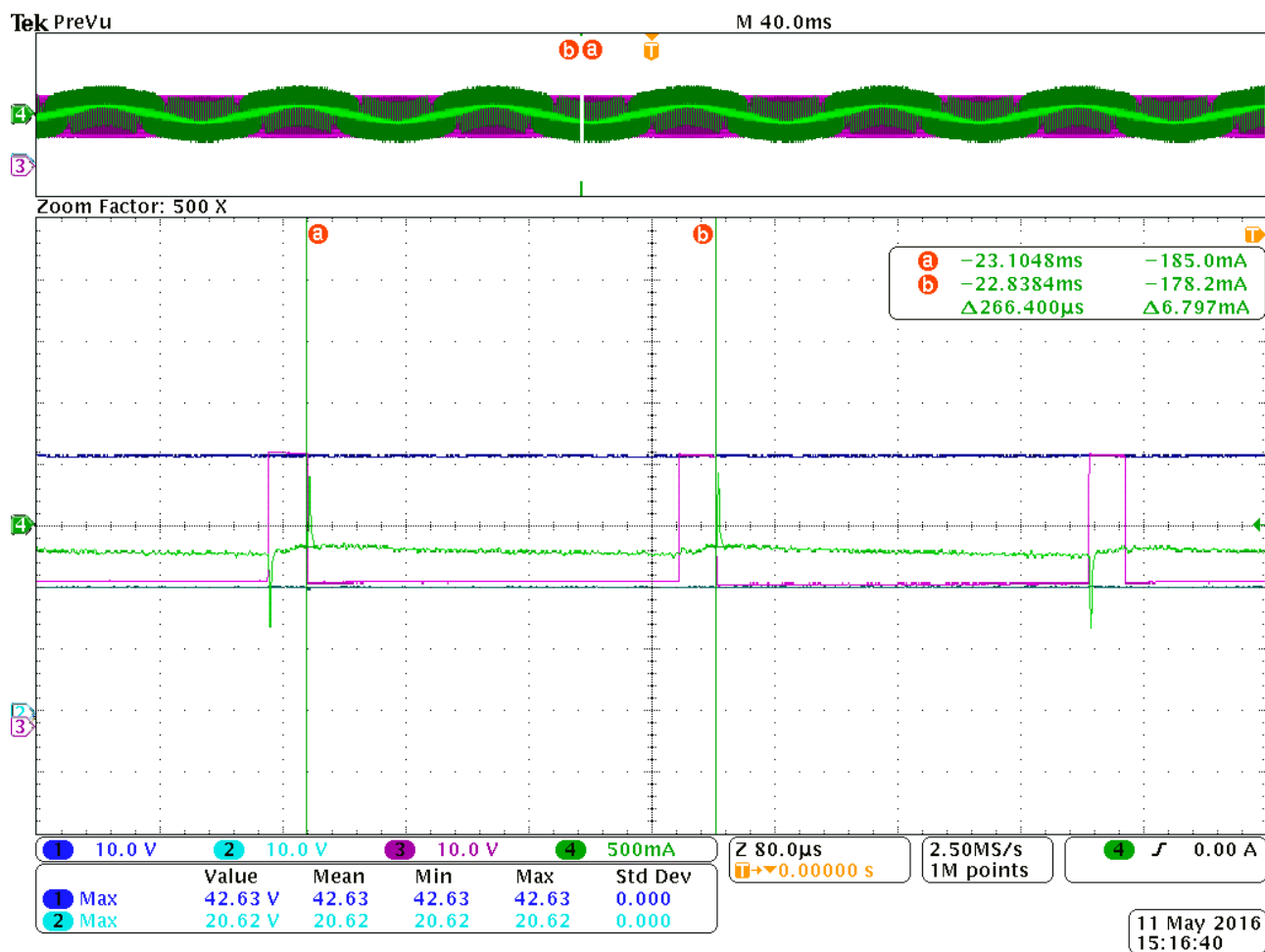
denzátor 2, dokud nedostaneme signál z jednoho Příznaky od kondenzátoru jedna. Tím dojde k možnému sepnutí kombinací, které nebylo možné ve verzi 1 dosáhnout.

## 7 Naměřené hodnoty

Jednotlivé podkapitoly k této kapitole budou představovat výsledky jednotlivých modulací získané měřením na 4L-FLC měniči. Měření se provádělo v laboratoři katedry mechaniky a výkonové elektrotechniky na Fakultě elektrotechnické Západočeské univerzity v Plzni. Schéma zapojení je na Obr. 7.1. Pro testování navržených modulátorů byla použita jedna fáze měniče. Zátěž byla odporově induktivní bez protinapětí, kdy odpor měl velikost  $26\Omega$  a indukčnost  $6\text{mH}$ . Virtuální nulové napětí, které je používáno při odvozeních funkce měničů bylo vytvořeno pomocí dvou sériově zapojených laboratorních zdrojů. Ty reprezentují hodnoty  $U_d/2 = 31.5\text{V}$  a  $-U_d/2 = -31.5\text{V}$ . Perioda pulzně šířkové modulace byla nastavena na hodnotu  $800\mu\text{s}$ , a protože tyto pily máme tři, tak reálná spínací perioda byla  $266\mu\text{s}$  - zobrazeno na Obr. 7.2.

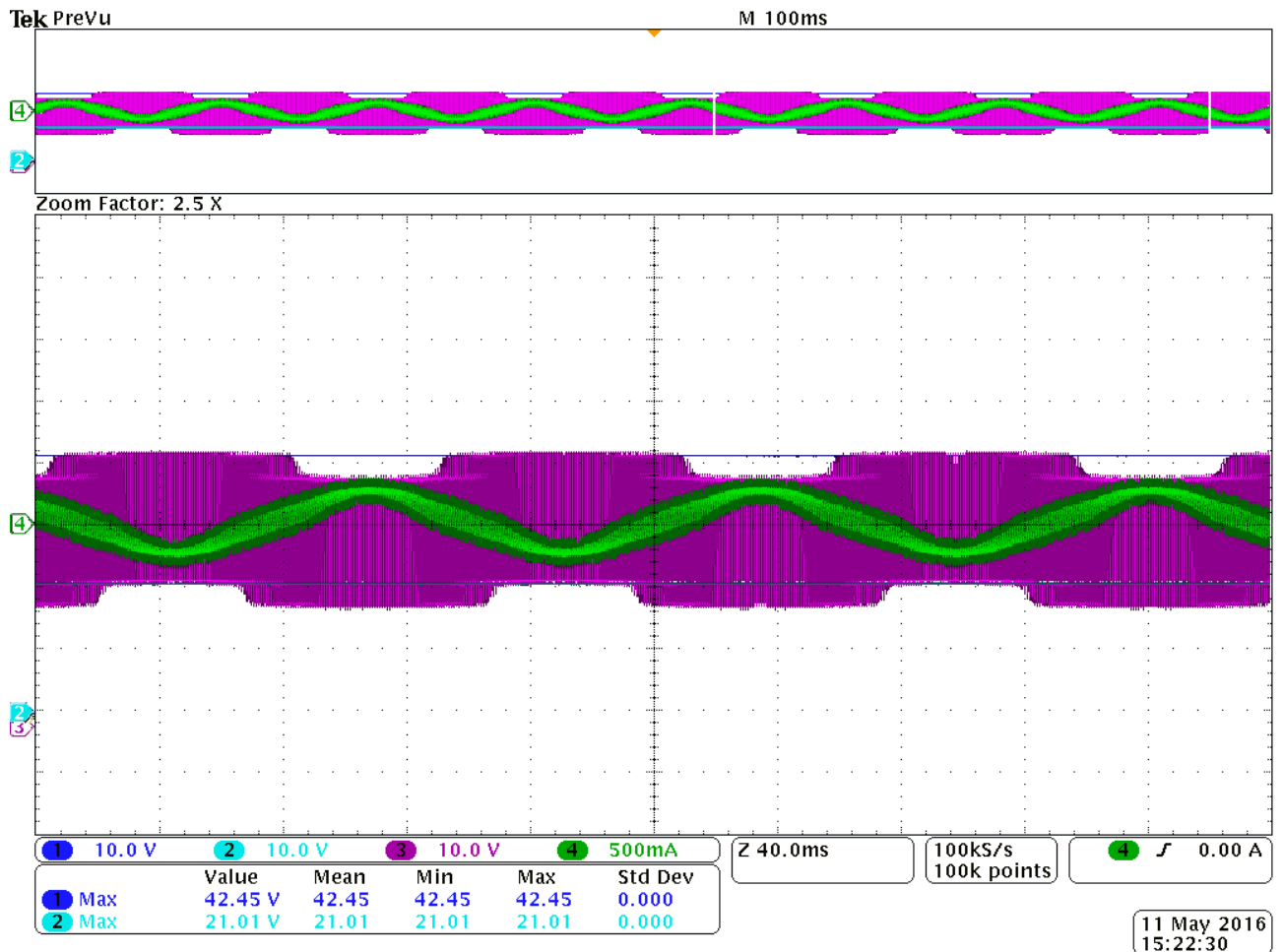


Obr. 7.1: Zapojení měřeného obvodu



Obr. 7.2: Spínací perioda 4L-FLC měniče. Řízení PSPWM. CH1 (tmavě modrá):  $U_{C11}$ [10V/dílek], CH2 (světle modrá):  $U_{C12}$ [10V/dílek], CH3 (fialová):  $u_{10}$ [10V/dílek], CH4 (zelená):  $i_{10}$ [0.5A/dílek].

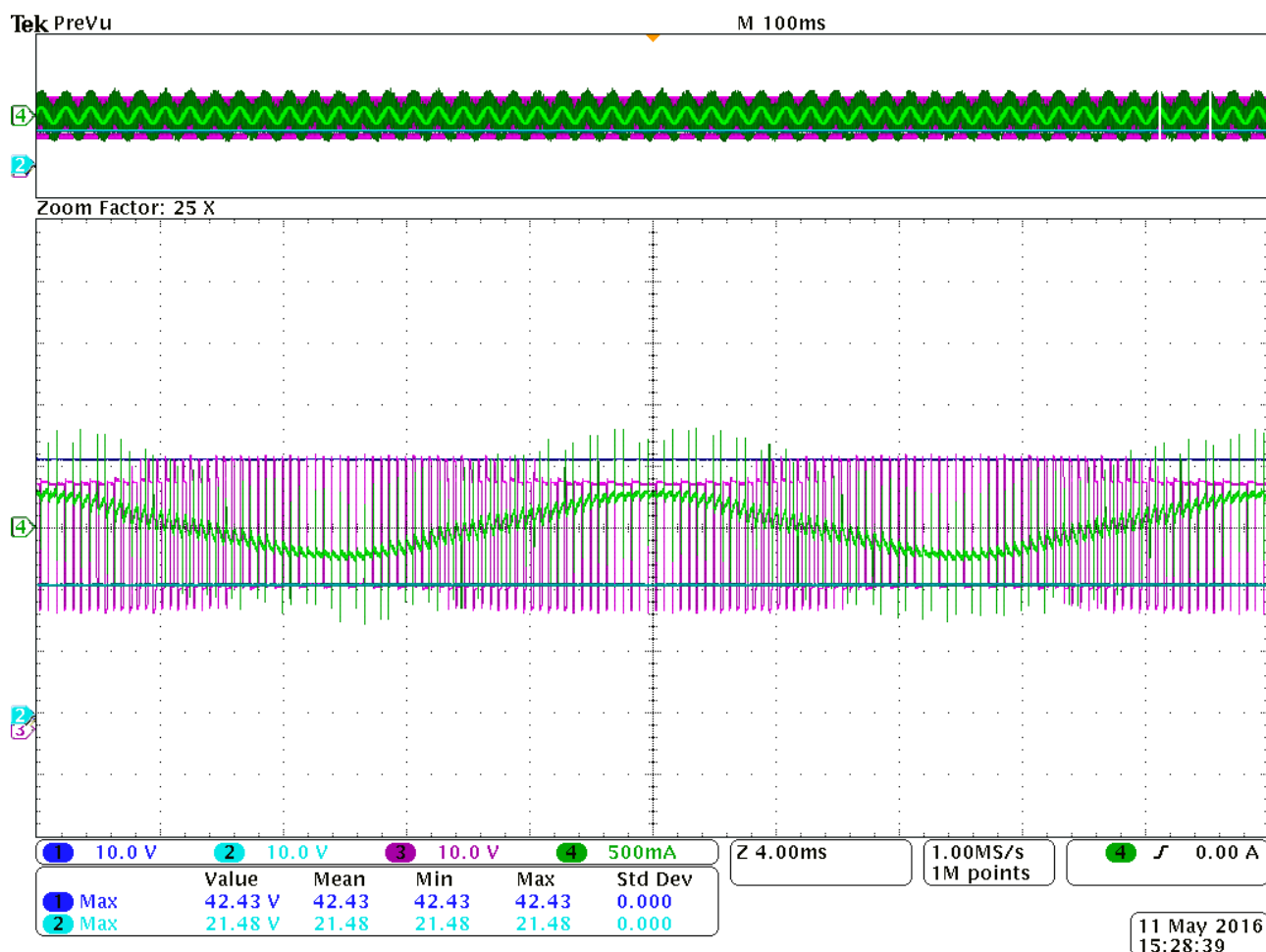
## 7.1 PSPWM naměřené hodnoty



Obr. 7.3: Průběhy pro jednu větev 4L-FLC měniče - ustálený stav. Řízení PSPWM, modulační index = 0.3, modulační frekvence = 7.9577Hz,  $U_d = 63V$ . CH1 (tmavě modrá):  $U_{C11}[10V/dílek]$ , CH2 (světle modrá):  $U_{C12}[10V/dílek]$ , CH3 (fialová):  $u_{10}[10V/dílek]$ , CH4 (zelená):  $i_{10}[0.5A/dílek]$ .

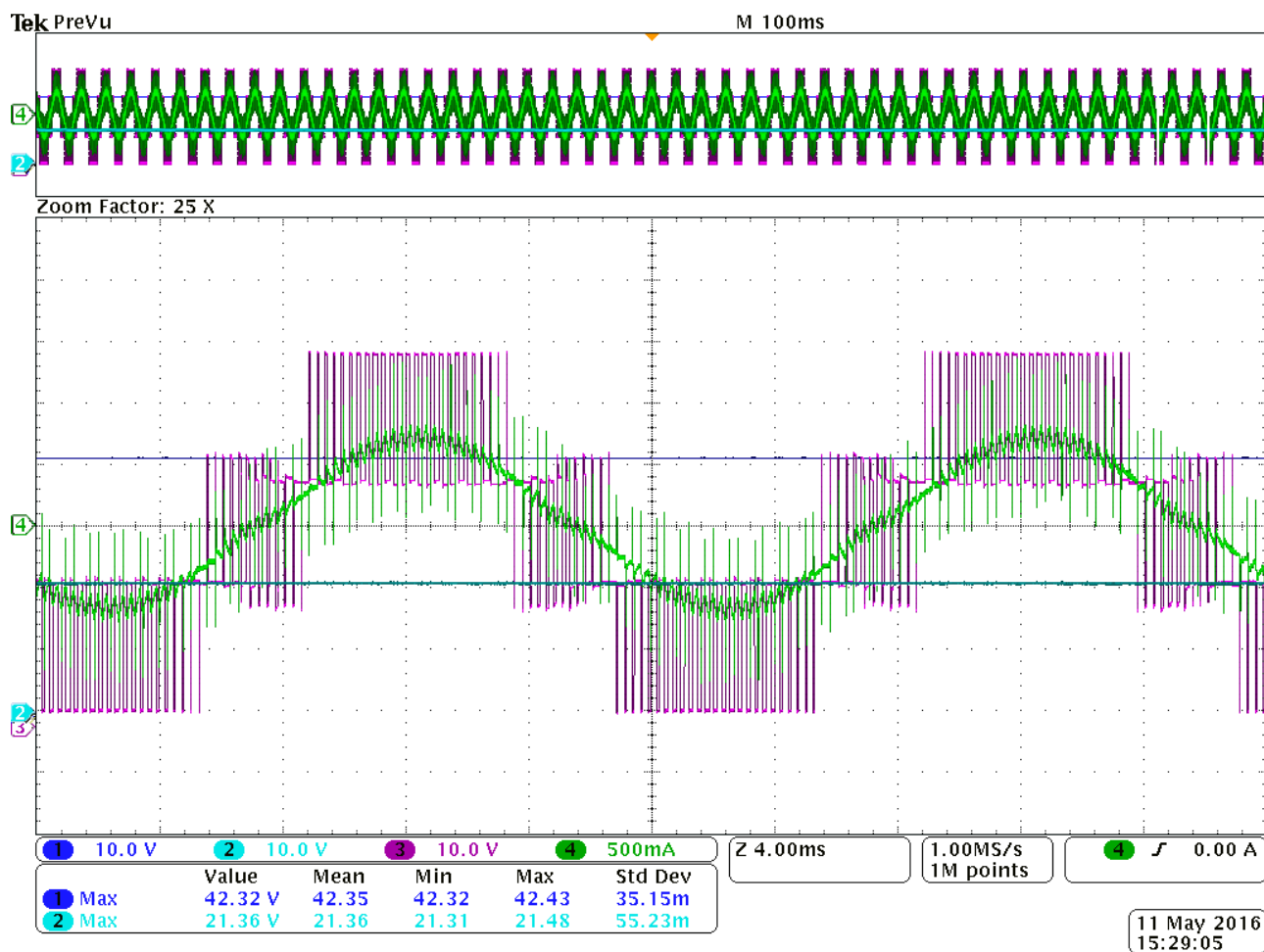
Na Obr. 7.3 vidíme přibližně tři periody modulace PSPWM. Kondenzátor 1 (tmavě modrá) má hodnotu 42.45V, která je rovna přibližně hodnotě  $2/3U_d$ , což odpovídá předpokladům z teoretické části, stejně jako kondenzátor 2 (světle modrá), který má hodnotu 21.01V tedy  $1/3U_d$ . Napětí ( $u_{10}$ ) je vyobrazeno fialovou barvou a můžeme vidět

jeho 4 úrovně. Zelená barva ukazuje proud, který je sinusový, jak má být, tudíž PSPWM moduluje správně.



Obr. 7.4: Průběhy pro jednu větev 4L-FLC měniče - ustálený stav. PSPWM modulátor, modulační index = 0.3, modulační frekvence = 50Hz,  $U_d = 63V$ . CH1 (tmavě modrá):  $U_{C11}[10V/dílek]$ , CH2 (světle modrá):  $U_{C12}[10V/dílek]$ , CH3 (fialová):  $u_{10}[10V/dílek]$ , CH4 (zelená):  $i_{10}[0.5A/dílek]$ .

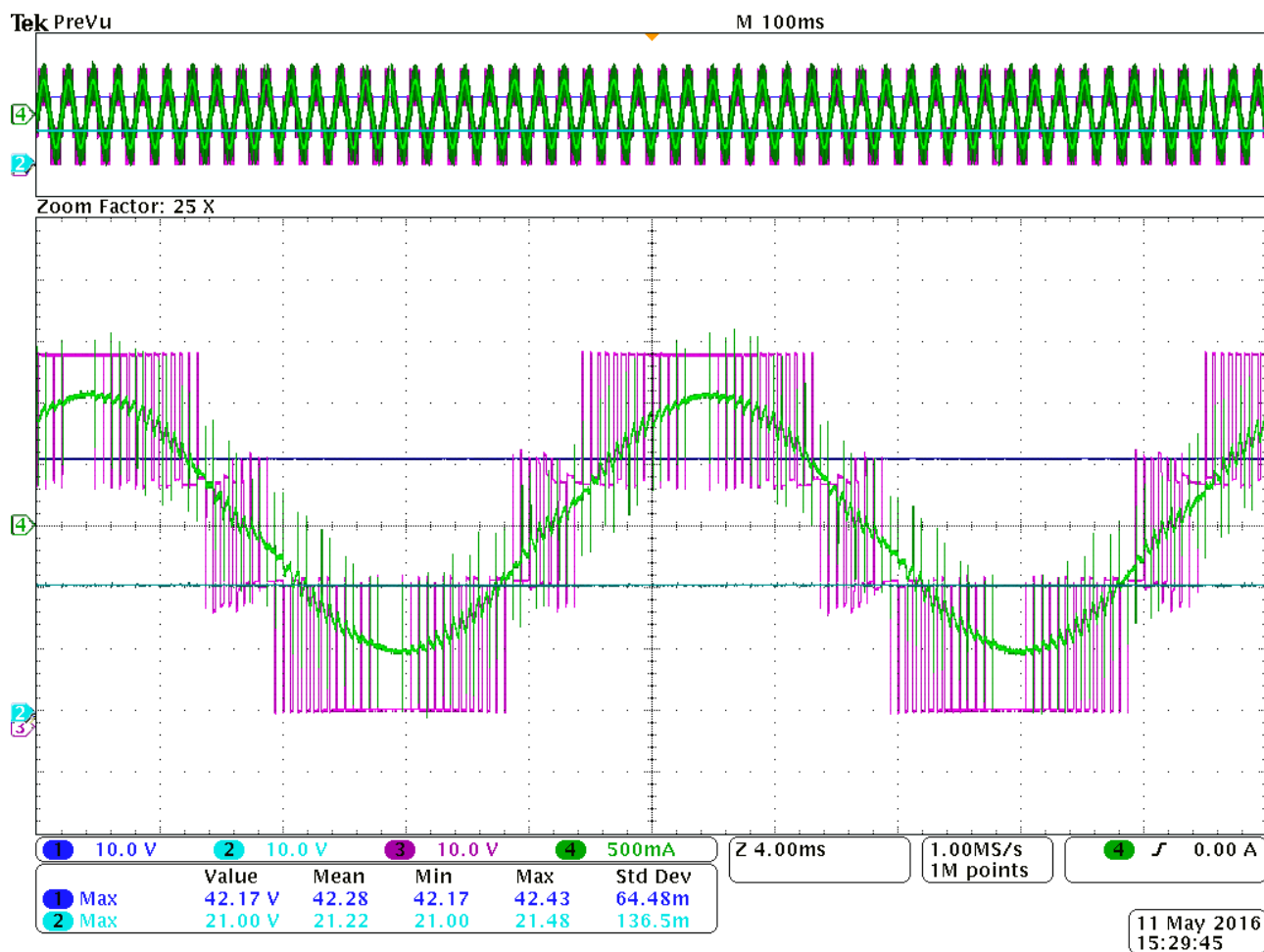
Na Obr. 7.4 je detailnější průběh modulace z Obr. 7.3. Celkem 2 periody průběhu ukazují modulaci PSPWM, kde se pro odzkoušení modulace použil modulační index 0.3. Překmitý na průběhu proudu jsou způsobeny rušením.



Obr. 7.5: Průběhy pro jednu větev  $4L$ -FLC měniče - ustálený stav. PSPWM modulátor, modulační index = 0.7, modulační frekvence = 50Hz,  $U_d = 63V$ . CH1 (tmavě modrá):  $U_{C11}[10V/dílek]$ , CH2 (světle modrá):  $U_{C12}[10V/dílek]$ , CH3 (fialová):  $u_{10}[10V/dílek]$ , CH4 (zelená):  $i_{10}[0.5A/dílek]$ .

Na Obr. 7.5 je průběh modulace PSPWM. Celkem 2 periody průběhu ukazují modulaci PSPWM, kde modulační index je roven 0.7. Jednotlivé kondenzátory stále dobře balancují kolem hodnot  $2/3U_d$  resp.  $1/3U_d$ . Oproti Obr. 7.4 jsou díky zvýšenému modulačního indexu 0.7 lépe vidět jednotlivé hladiny na fázovém napětí  $u_{10}$ .

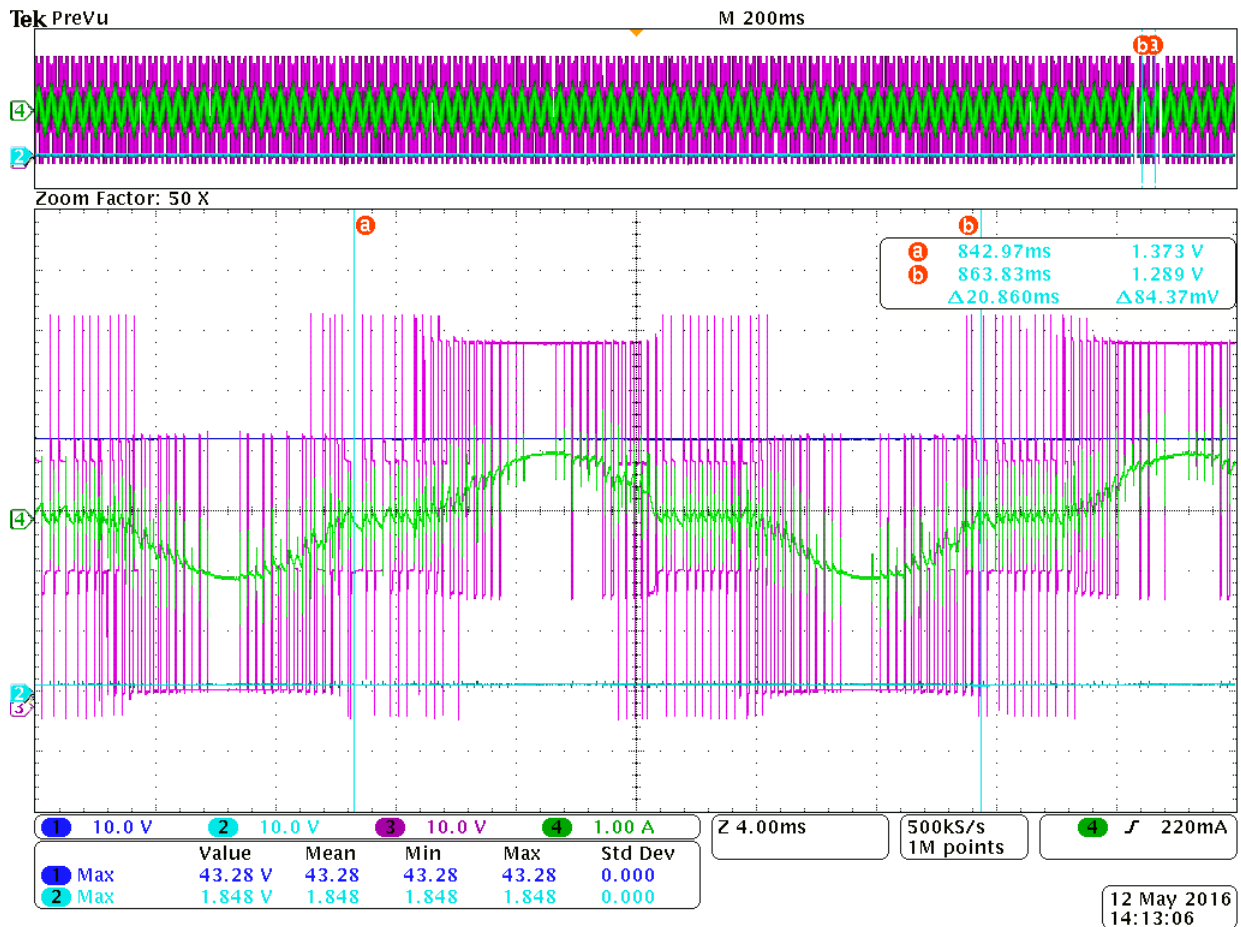




Obr. 7.6: Průběhy pro jednu větev  $\Delta L$ -FLC měniče - ustálený stav. PSPWM modulátor, modulační index = 1, modulační frekvence = 50Hz,  $U_d = 63V$ . CH1 (tmavě modrá):  $U_{C11}[10V/dílek]$ , CH2 (světle modrá):  $U_{C12}[10V/dílek]$ , CH3 (fialová):  $u_{10}[10V/dílek]$ , CH4 (zelená):  $i_{10}[0.5A/dílek]$ .

Na Obr. 7.6 je průběh modulace PSPWM s modulačním indexem 1. Zde si můžeme všimnout, že nám chvilkově dochází k přemodulování, to je způsobeno právě modulačním indexem = 1, který na svých vrcholech protíná nosné signály jen po dobu kratší než je dead time a nedochází ke správnému spínání prvků. Detail překmitu při mrtvém čase je na obrázku 7.7 a trvá  $3.2\mu s$ . Jednotlivé kondenzátory stále dobře balancují kolem hodnot  $2/3U_d$  resp.  $1/3U_d$ .

## 7.2 PDPWM1 naměřené hodnoty

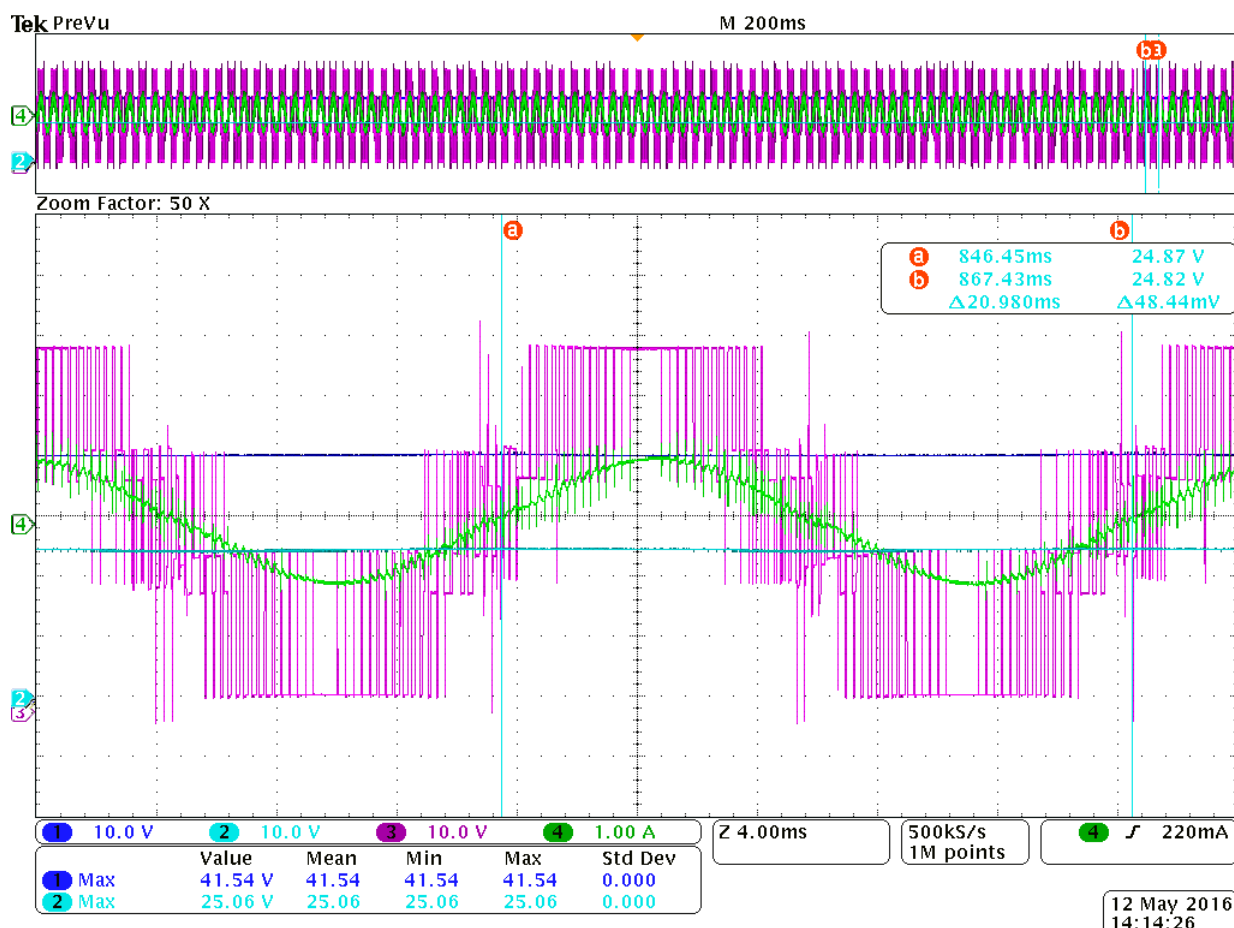


Obr. 7.7: Průběhy pro jednu větev 4L-FLC měniče - ustálený stav. Řízení PDPWM, modulační index = 1, modulační frekvence = 7.9577Hz,  $U_d = 63V$ . CH1 (tmavě modrá):  $U_{C11}[10V/dílek]$ , CH2 (světle modrá):  $U_{C12}[10V/dílek]$ , CH3 (fialová):  $u_{10}[10V/dílek]$ , CH4 (zelená):  $i_{10}[0.5A/dílek]$ .

Na Obr. 7.7 je vidět, že PDPWM1 nedomoduluje správně. Důvod je popsán v kapitole 6.2. Výsledek špatného modulování je vidět na průběhu proudu, který není sinusový, ale je zkreslen kolem úrovně dva a tři. Střední hodnota proudu mezi úrovněmi dva a tři je rovna nule. To je způsobeno špatným aktivním balancováním kondenzátorů a spínání mezi úrovněmi dva a tři a 1:1. Dále z naměřených hodnot vidíme, že aktivní balancování

je správně navrženo na kondenzátoru 1, kde je hodnota napětí stále kolem  $2/3U_d$ , zato napětí na kondenzátoru 2 je rovno 1.848V, což neodpovídá teoretickým předpokladům a tudíž jeho aktivní balancování nefunguje správně.

### 7.3 PDPWM2 naměřené hodnoty



Obr. 7.8: Průběhy pro jednu větev  $4L$ -FLC měniče - ustálený stav. Řízení PDPWM, modulační index = 1, modulační frekvence = 7.9577Hz,  $U_d = 63V$ . CH1 (tmavě modrá):  $U_{C11}$ [10V/dílek], CH2 (světle modrá):  $U_{C12}$ [10V/dílek], CH3 (fialová):  $u_{10}$ [10V/dílek], CH4 (zelená):  $i_{10}$ [0.5A/dílek].

Po úpravě PDPWM1 na PDPPWM2 je z průběhu Obr. 7.8 vidět, že modulace probíhá tak jak by měla. Aktivní balancování funguje správně a kondenzátory mají požadované hodnoty a výsledný proud je správně sinusový a nezkreslený mezi úrovněmi.

## 8 Závěr

V první části práce byla popsána teorie měničů se zaměřením na čtyřúrovňový střídač s plovoucími kondenzátory. Byla popsána teorie pulzně šířkové modulace a více rozebrány tři druhy modulací PSPWM, PDPWM a SVPWM a teoretický úvod do programování v jazyce VHDL. Na základě těchto teoretických poznatků byly realizovány pomocí hradlového pole dva modulátory PSPWM a PDPWM pro čtyřúrovňový střídač s plovoucími kondenzátory.

K realizaci bylo použito hradlové pole typu Cyclone III od společnosti Altera. Jeho struktura byla popsána v jazyce VHDL ve vývojovém prostředí Quartus II 13.1, kde byla následně ověřena i funkčnost v simulačním prostředí. Během měření na reálném měniči s RL zátěží bez protinapětí se ukázalo, že modulace PSPWM funguje tak jak má i po rozsáhlejších testování. U modulace PDPWM verze 1 nefungovalo správně aktivní balancování kondenzátorů, kde byl správně balancován pouze kondenzátor  $C_1$ . Z tohoto důvodu byla vytvořena verze 2, kde se přidaly další příznaky, které byly využity pro správnou funkčnost modulátoru.

V závěru práce jsou popsány jednotlivé oscilogramy, které vznikly během měření, jsou tam vidět jak nedostatky u PDPWM verze 1 tak také očekávané výsledky z teoretických informací.

## 9 Použitá literatura

- [1] Perez, A.P.: *Tutorial on Multilevel Converters – Part 4*. IECON, 2012
- [2] Kůs, V.: *Elektrické pohony a výkonová elektronika*. 1. vyd. Plzeň: Západočeská univerzita v Plzni, 2006. ISBN 80-704-3422-8
- [3] Košťál, T.: *Techniky subharmociké PWM*. Diplomová práce, Praha, ČVUT, 2014
- [4] Bláha, T.: *Přehled vysokonapěťových víceúrovňových měničů*. Bakalářská práce, Plzeň, ZČU, 2014
- [5] Poljak, L.: *Vektorová PWM pro tříúrovňový měnič s upínacími diodami*. Diplomová práce, Plzeň, ZČU, 2013
- [6] Král, V., Molnár, J., Zeman, M., Peroutka, Z.: *Návrh čtyřúrovňového měniče s plovoucími kondenzátory*. Výzkumná zpráva č.: 22190 - 40 - 2011, Plzeň, RICE, 2011
- [7] Zeman, M., Peroutka, Z.: *Více měnič s plovoucími kondenzátory úvodní studie modulačních metod*. Výzkumná zpráva č.: 22190 - 041 - 2011, Plzeň, RICE, 2011
- [8] Janík, D., Peroutka, Z., Kosan, T.: *The SVPWM Modulator with Active Voltage Balancing Control for 4 – level FLC Converter*. Plzeň, RICE, 2011
- [9] Petr, O.: *Příjem signálu a zpracování RDS pomocí FPGA*. Diplomová práce, Brno, VUT, 2014
- [10] Košan, T.: *Nízkoúrovňový kontrolér pro čtyřúrovňový měnič implementovaný v CPLD*. Výzkumná zpráva č.: 22160 - XX - 2011, Plzeň, RICE, 2011
- [11] Pinker, J., Poupa, M.: *Číslíkové systémy a jazyk VHDL*. Diplomová práce, Brno, VUT, 2014

- [12] Douglas, L., P.: *VHDL Programming by Example*. Fourth edition, McGraw-Hill, 2002
- [13] Košan, T.: *Vybrané problémy z řízení vícehladinových měničů a výpočetně extrémně náročných pokročilých algoritmů regulace elektrických pohonů implementovaných v hradlových polích*. Dizertační práce, Plzeň, ZČU, 2014
- [14] <https://www.altera.com>
- [15] Kamenický, P.: *Víceúrovňové měniče*. Diplomová práce, Plzeň, ZČU, 2010
- [16] Zhao, Ch., Dujic, D., Mester, A., Steinke, J. K., Weiss, M., Schmid, S., Chaudhuri, T., Stefanutti, P.: *Power Electronic Traction Transformer*. IEEE Trans. Ind. Electronics, vol.61, no.7, July 2014
- [17] Celanovic, N., Boroyevich, D.: *A Fast Space – Vector Modulation Algorithm for Multilevel Three – Phase Converters*. IEE TRANSACTIONS ON INDUSTRY APPLICATIONS, VOL. 37, NO. 2, MARCH/APRIL 2001