

**ZÁPADOČESKÁ UNIVERZITA V PLZNI
FAKULTA ELEKTROTECHNICKÁ**

KAE

BAKALÁŘSKÁ PRÁCE

Obvody typu VTCMOS

**Autor práce: Jakub Koníček
Vedoucí práce: Ing. Lukáš Paločko**

Plzeň 2017

Originál (kopie) zadání BP/DP

Abstrakt

Předkládaná bakalářská práce je zaměřena na řešení problémů se zbytkovými proudy a jejich odstranění. Předkládá několik metod jak tyto proudy odstranit a testuje techniku proměnného prahového napětí, pomocí které posléze vytváří buňky pro knihovnu GDK.

Klíčová slova

Proměnné prahové napětí tranzistoru, zbytkové proudy, techniky redukce zbytkových proudů, knihovna GDK, technika ovlivňování substrátu tranzistoru

Abstract

The presented bachelor thesis is focused on solving problems with residual currents and their removal. It presents several methods for removing these streams and testing the Variable Threshold Voltage Technique, which then creates cells for the GDK library.

Key words

Variable threshold voltage transistor, leakage current, leakage power reduction, GDK library, body biasing technique

Prohlášení

Prohlašuji, že jsem tuto bakalářskou práci vypracoval samostatně, s použitím odborné literatury a pramenů uvedených v seznamu, který je součástí této bakalářské práce.

Dále prohlašuji, že veškerý software, použitý při řešení této bakalářské práce, je legální.

.....

podpis

V Plzni dne 11.6.2017

Jakub Koníček

Obsah

OBSAH	6
SEZNAM SYMBOLŮ A ZKRATEK	7
1 ÚVOD	1
1.1 TREND ZMENŠOVÁNÍ CMOS TRANZISTORŮ	1
1.2 DŮVODY ZMENŠOVÁNÍ.....	5
1.3 PROBLÉMY SPOJENÉ SE ZMENŠOVÁNÍM TRANZISTORŮ	7
2 TECHNIKY SNIŽOVÁNÍ SPOTŘEBY V DIGITÁLNÍCH IO	10
2.1 ZBYTKOVÉ PROUDY	10
2.1.1 <i>Hot carrier injection</i>	11
2.1.2 <i>Proud závěrně polarizovaným PN přechodem</i>	11
2.1.3 <i>Přímé tunelování skrz izolant řídicí elektrody</i>	12
2.1.4 <i>Podprahový proud</i>	13
2.1.5 <i>DIBL</i>	13
2.1.6 <i>GIDL</i>	14
2.2 TECHNIKY PRO ZMENŠOVÁNÍ ZBYTKOVÝCH PROUDŮ	15
2.2.1 <i>VTCMOS</i>	15
2.2.2 <i>MTCMOS</i>	16
2.2.3 <i>HTCMOS</i>	17
3 TECHNIKA VTCMOS	18
3.1 PRINCIPY POUŽITÍ TECHNIKY	18
3.2 PODROBNÝ POPIS VÝHOD A NEVÝHOD TECHNIKY	20
3.3 CHARAKTERISTIKY I_D VS V_{GS}	21
4 GDK	25
4.1 SEZNÁMENÍ S GDK	25
4.2 VERZE GDK NA UNIVERZITĚ OBSAHUJE.....	25
5 NÁVRH ZÁKLADNÍCH BUNĚK KNIHOVNY GDK POUŽITÍM TECHNIKY VTCMOS	27
5.1 NÁVRH VYBRANÝCH BUNĚK	27
5.1.1 <i>Invertor</i>	27
5.1.2 <i>Negovaný logický součin</i>	30
5.1.3 <i>Negovaný logický součet</i>	34
ZÁVĚR	38
SEZNAM LITERATURY	39

Seznam symbolů a zkratek

t_{ox} ...	Tloušťka hradlového izolátoru [m]
ϵ_{ox} ...	Permitivita hradlového izolátoru
ϵ_{Si} ...	Permitivita křemíku
W ...	Šířka kanálu tranzistoru [m]
L ...	Délka kanálu tranzistoru [m]
μ ...	Pohyblivost nosičů náboje [$m^2/(V \cdot s)$]
C_{sth} ...	Kapacita vyprázdněné oblasti [F/m]
C_{ox} ...	Kapacita hradlového izolátoru [F/m]
C_L ...	Zatěžovací kapacita [F]
η ...	Koeficient DIBL efektu
γ ...	Koeficient ovlivňování substrátu
α ...	Montážní konstanta
q ...	Elementární náboj [C]
N_A ...	Koncentrace dopantů [$-/cm^3$]
$2\phi_F$...	Potenciál substrátu [V]
V_{th} ...	Teplotní napětí při teplotě T [V]
V_{GS} ...	Napětí na řídicí elektrodě [V]
V_T ...	Prahové napětí tranzistoru [V]
V_{T0} ...	Prahové napětí tranzistoru při nulovém ovlivňování substrátu [V]
V_{DS} ...	Potenciál mezi drainem a sourcem [V]
V_{DD} ...	Napájecí napětí logického členu [V]
V_{SS} ...	Zemní potenciál logického členu [V]
V_{SB} ...	Napětí připojení na substrát [V]
J ...	Proudová hustota hradlem unikajícího proudu [$A/\mu m^2$]
S_t ...	(Subthreshold current slope) - Sklon proudu pod prahovým napětím
I_{sub} ...	Podprahový proud [A]
I_D ...	Proud dodávaný zdrojem do obvodu [A]
I_S ...	Proud tekoucí do země [A]
I_G ...	Tunelující proud skrz hradlový izolátor [A]
I_{SBP} ...	Proud závěrně polarizovanými diodami P substrátu [A]
I_{SBN} ...	Proud závěrně polarizovanými diodami N substrátu [A]
t_{pdu} ...	(Propagation delay) - Doba zpoždění náběžné hrany signálu [s]
t_{pdd} ...	(Propagation delay) - Doba zpoždění náběžné hrany signálu [s]
t_f ...	(Fall time) - Doba doběhu
t_r ...	(Rise time) - Doba náběhu
IO ...	Integrovaný obvod
EOT ...	(Equivalent oxide thickness) - ekvivalentní tloušťka hradlového izolátoru
Å ...	(Ångström) - Jednotka délky 0,1nm
GMR ...	Jev magnetorezistence
RAM ...	Paměť s libovolným přístupem
MOSFET ...	Polem řízený tranzistor s hradlem izolovaným oxidem
NMOS ...	Tranzistor s kanálem typu N
PMOS ...	Tranzistor s kanálem typu P
LTspice ...	Obvodové simulační prostředí
DIBL ...	(Drain-induced barrier lowering) - Indukcí z drainu snižovaná bariéra
GIDL ...	(Gate-induced drain Leakage) - Řídicí elektrodou indukovaný zbytkový proud z drainu
MTCMOS ...	(Multi-threshold CMOS) – Technika využívající více druhů tranzistorů s
VTCMOS ...	(Variable-threshold CMOS) – Technika proměnného prahového napětí

HTCMOS ... (High-threshold CMOS) – Technika využívající tranzistory s vysokým prahovým napětím
LVT ... (Low threshold voltage) - Tranzistory s nízkou úrovní prahového napětí
SVT ... (Standard threshold voltage) - Tranzistory se střední úrovní prahového napětí
HVT ... (High threshold voltage) Tranzistory s vysokou úrovní prahového napětí
INV ... Invertor
NAND ... Negovaný logický součin (Shefferova funkce)
NOR ... Negovaný logický součet (Peirceova funkce)
BUFF ... Obnovovač signálu
BSIM ... (Berkeley Short-channel IGFET Model) - Model tranzistoru z univerzity v Berkley
GDK ... (Generic design kit) - Obecný designový nástroj
DDK ... (Digital design kit) - Digitální návrhový nástroj

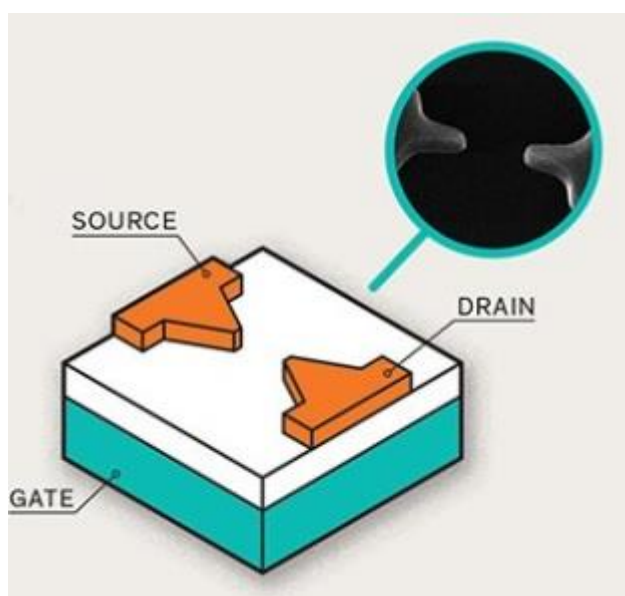
1 Úvod

Tato práce se zabývá tím, jak zmenšit velikost tranzistoru, důvody zmenšování a problémy s tímto související. Zmíní i další typy tranzistorů, včetně nových materiálů, ze kterých se tranzistory budou moci vyrábět v budoucnosti, pokud bude zvládnuta jejich implementace do současného výrobního postupu. V další části se zaměříme na zbytkové proudy (které představují stále větší problém v konzumaci proudů) v tranzistorové logice a na techniky jejich redukce. Dále si pečlivěji probereme techniku VTCMOS. S pomocí této techniky vytvoříme 3 základní buňky (INV, NAND, NOR) pro knihovnu GDKgates a otestujeme jejich vlastnosti zapojením do testovacího obvodu. V závěru bude zhodnocena účinnost této techniky.

1.1 Trend zmenšování CMOS tranzistorů

Stěžejní faktor trendu zmenšování tranzistorů se ubírá směrem co největšího využití hmoty, tedy snahou o vměstnání co nejvíce tranzistorů do jednoho čipu. V minulosti stačilo pouze vylepšení litografického procesu k tomu, abychom dosáhli zmenšení tranzistoru. To je možné, ale jen do určitých mezí. Při stále menších rozměrech se začíná projevovat kvantové tunelování elektronů, což zhoršuje vlastnosti tranzistorů a spěje až k tomu, že nebudou vůbec funkční. To znamená, že tranzistory není možné zmenšovat do nekonečna. Konkrétně ty tranzistory, které jsou vyrobeny z křemíku. Konec zmenšování se předpokládá během let 2020 a 2025, kdy budou tranzistory natolik malé, že je již nebude možné zmenšit. Proto se zde zavádí nový pojem 3D platformy. Ta se skládá ze stohovaných 2D struktur, vložených do trojrozměrných obalů s využitím stávajících křemíkových prvků. Tato technologie se používá pro konstrukci 3D obrazových senzorů a 3D NAND flash paměti a 3D RAM paměti, jako jsou Hybrid Memory Cube (HMC) a vysoko propustné paměti High Bandwidth Memory (HBM). Vysoko propustné paměti se skvěle hodí pro výrobu grafických karet, kterým přináší řadu výhod. Těmito výhodami jsou hlavně rychlost a možnost skládat více vrstev na sebe. Jedna vrstva s kapacitou 1GB a propustností až 256GB/s. Limity této paměti jsou zatím stanoveny na 48 vrstev.[5,13] Další oblastí použití jsou cache paměti mikroprocesoru s nízkou latencí. Flash paměti potřebují náročná schémata oprav chyb dat pro jejich trvanlivost. Standardní čipy používají 32 až 64 vertikálních vrstev se schopností dosažení uložení až terabitů dat. Poté z nich lze zkonstruovat SSD disk o kapacitě až desítek TB. Studie o takovýchto 3D zařízeních věří,

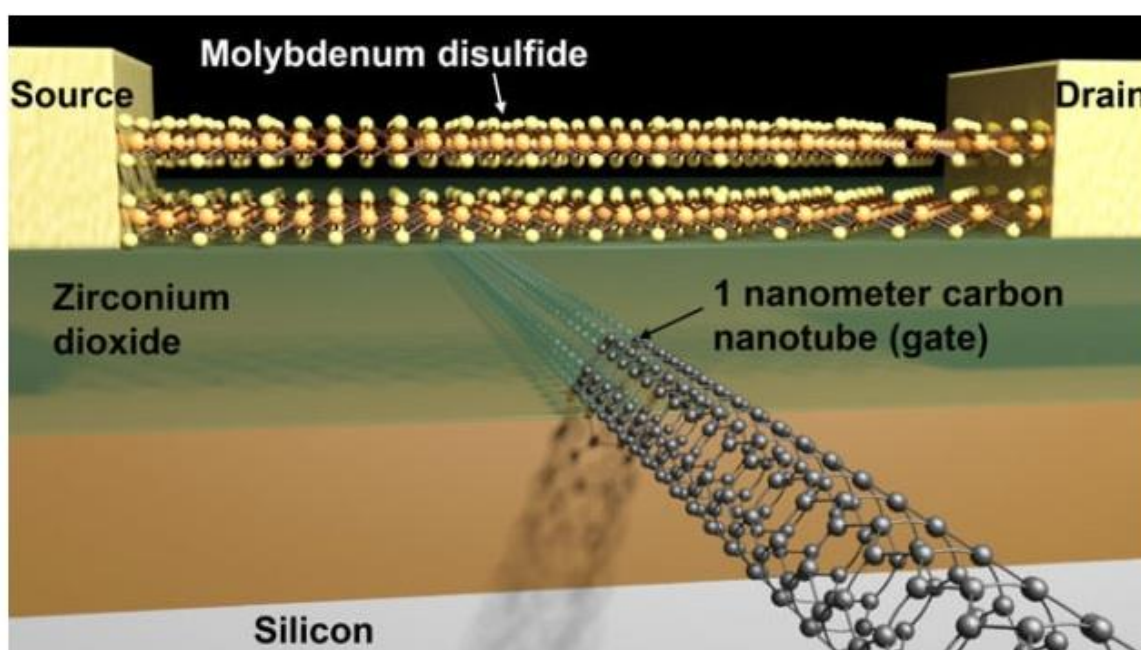
že v budoucnu budou obecně použitým standardem. Poukazuje se i na další výhody 3D konfigurace v konceptu 3D snižování spotřeby, jako například možnost mít všechny bloky paměti, registrů, procesoru a dalších potřebných částí v rovinách bezprostředně pod a nad sebou. To výrazně snižuje vzdálenost, kterou musí signál absolvovat a tím snížit zpoždění. Dalším odvětvím výzkumů jsou nové materiály pro stavbu tranzistorů. Společnost NASA několik let vyvíjí elektronkové neboli vakuové tranzistory, které by mohly být v budoucnu náhradou za tradiční MOSFET tranzistory. Model takového tranzistoru je na *obr. č. 1*. NASA může tyto tranzistory využít v těch nejhorsších podmínkách, jelikož vakuum je imunní vůči radiaci a změnám teploty. Tyto tranzistory jsou velmi rychlé, jelikož elektrony procházejí 150 nm dlouhou mezerou mezi drain a source, kde s ničím nekolidují, protože střední vzdálenost mezi kolizemi ve vakuu je více než 1000 nm. Po odstranění nedostatků se předpokládá pracovní frekvence v řádech jednotek THz při stále přijatelných ztrátách.[6]



Obr. č. 1 Model vakuového tranzistoru [6]

Tranzistory o takovéto se nazývají balistické. Dalším typem balistického tranzistoru je tranzistor založený na uhlíkových nanovláčkách. Průchod proudu je veden trubičkou z uhlíku a typ tranzistoru závisí na druhu příměsí v této trubičce, protože trubička samotná je vytvořená jako polovodič intrinsický. Bohužel dostat příměsí do těchto trubiček není jednoduché, ba ani žádoucí. Příměsí způsobují horší mobilitu elektronů, a tím i nižší výkon. Proto se přistupuje k přechodu typu kov-polovodič. Takovým příkladem je Schottkyho kontakt. Pro přenosový kanál typu N se používá skandium (Sc) a pro kanál typu P se používá palladium (Pd). Další využití těchto vláken je v tranzistorech, které mají

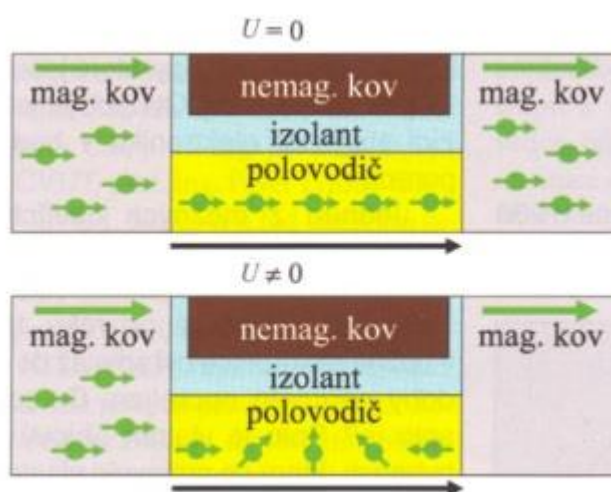
kanál tvořený ze sulfidu molybdeničitého (MoS_2). Tranzistor s kanálem ze sulfidu molybdeničitého je na *obr. č. 2*. Z tohoto materiálu je možné vytvářet velmi tenké vrstvy o tloušťce 0,65 nm. Uhlíková nanotrubička procházející pod kanálem, je uzavřená v hradlovém izolantu tvořeného oxidem zirkoničitým (ZrO_2) a může velmi efektivně řídit průchod proudu kanálem. Sulfid molybdeničitý má měrný odpor v takzvaném vypnutém stavu 100 000x větší než křemík, zatímco v zapnutém stavu je účinnost pohybu elektronů v 0,65 nm vrstvě stejná jako v křemíkovém plátku tlustém 2 nm. To může pro budoucí tranzistory znamenat, že budou mnohem menší než stávající křemíkové a přinesou obrovské snížení ztrátového výkonu v pohotovostním stavu.[7]



Obr. č. 2 Tranzistor s kanálem vytvořeným z molibdenitu [7]

Úplně jiným druhem tranzistorů, které by v budoucnosti mohly šetřit energii, jsou založeny na elektronovém spinu a tranzistory řízené efektem tunelového pole (TFET). Spinové tranzistory využívají magnetického momentu elektronů a jeho řízení. Na *obr. č. 3* je znázorněna funkce spinového tranzistoru. Elektrony při průchodu nezmagnetizovaným materiálem mají náhodné spinové orientace. Pokud elektrický proud prochází polarizovaným feromagnetikem, všechny elektrony otáčí svůj spin po směru magnetického momentu feromagnetika. Výstupní proud z feromagnetika je tak spinově polarizovaný. Detekce takto polarizovaného proudu se provádí v dalším zmagnetovaném feromagnetiku. Pokud bude toto feromagnetikum polarizováno shodně s předchozím kusem, elektrony budou moci materiálem projít. V druhém případě, kdy je druhé feromagnetikum

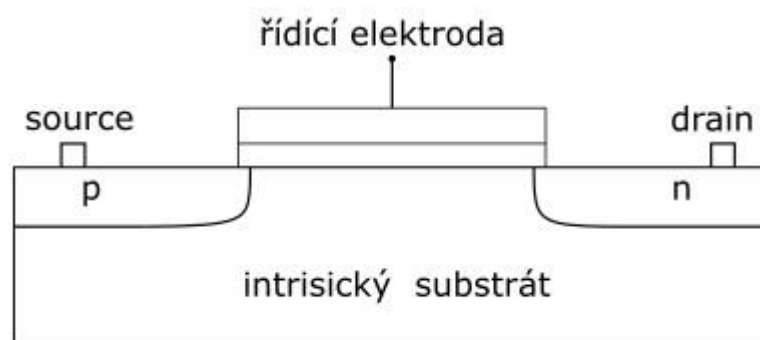
polarizováno opačně, bude nárůst elektrického odporu v řádech stovek procent. Tento jev se nazývá obří magnetorezistence (GMR). Tohoto jevu využívají právě spinové tranzistory. Source (polarizátor) a drain (detektor) jsou tvořeny feromagnetickým kovem. Pokud je na hradlo připojeno napětí, magnetické momenty elektronů se začnou měnit a nebudou moci přecházet z polovodiče do detektoru. Bez napětí se spin elektronů nemění a elektrony mohou snadno přecházet do detektoru, což se navenek jeví jako malý elektrický odpor. Tento tranzistor přináší hned několik výhod. Měl by být snadno rekonfigurovatelný. Pokud by došlo na detekční elektrodě k obrácení magnetické polarity, dojde pouze k prohození stavů zavřeného a otevřeného tranzistoru. Hlavní výhodou by měla být energetická a časová nenáročnost změny spinu elektronu oproti napětím vyvolané změně odporu v polovodiči u klasických tranzistorů typu FET. [8]



Obr. č. 3 Schématické znázornění funkce SpinFET tranzistoru [8]

Pokud budeme chtít pokračovat ve zvyšování výkonu, na který jsme zvyklí, musíme zastavit elektronové tunelování skrz tenké bariéry. Nebo tento fenomén můžeme využít ve svůj prospěch. V poslední době se objevují návrhy tunelového plem řízeného tranzistoru neboli TFET, jeho vnitřní uspořádání můžeme nalézt na obr. č. 4. Na rozdíl od MOSFETu, který pracuje zvýšením nebo snížením energetické bariéry pro řízení toku proudu, TFET udržuje tuto energetickou bariéru vysokou. Tranzistory se spínají a rozepínají změnou pravděpodobnosti tak, že se elektrony z první strany této bariéry objeví na druhé straně. Tento odlišný způsob od toho, jak klasické tranzistory fungují, přináší možnost rychlejších, hustších a energeticky účinnějších integrovaných obvodů. U TFET tranzistorů používáme bránu k řízení efektivní elektrické tloušťky bariéry a tím i pravděpodobnost, že elektrony projdou skrz. K tomu je znovu potřeba PN přechod, ale trochu upravený. V TFET tranzistorech se vytváří P-I-N přechod, kde I znamená polovodič vlastní, tedy polovodič,

kteřý má uvnitř stejně volných elektronů, jako děr. Vlastní polovodič vykazuje maximální elektrický odpor, jaký může polovodič mít. Také vytlačuje energii spojenou s energetickými pásy v kanálu a zavádí hustou energetickou bariéru, díky níž nejsou nosiče pravděpodobně schopné procházet. Elektrony a díry se řídí zákony kvantové mechaniky, což znamená, že mají neurčité rozměry. Když má energetická bariéra tloušťku méně než 10 nanometrů, existuje malá, ale nenulová pravděpodobnost, že na druhé straně se objeví elektron, který začíná na jedné straně bariéry. V TFETu zvýšíme tuto pravděpodobnost použitím napětí na hradle. To způsobí, že vodivé pásmo v source (zdroji) a valenční pásmo v kanálu se překrývají a otevře se tunelovací okno. Elektrony tunelují mezi vodivými a valenčními pásy tím, jak se pohybují do kanálu. To je zásadní rozdíl od MOSFETu, v němž elektrony nebo díry cestují primárně v jednom pásmu. Vzhledem k tomu, že tunelovací mechanismus není řízen proudem nosičů přes bariéru, měly by být TFETs schopny přepínat s mnohem menším napětím, než je požadováno v MOSFETu. Musíme pouze použít dostatečné napětí, aby se vytvořila nebo odstranila překrytí pásů. TFETy dosahují lepší strmosti spínací charakteristiky, což dovoluje snížit napájecí napětí, a tím snížit spotřebu energií.[9,10]

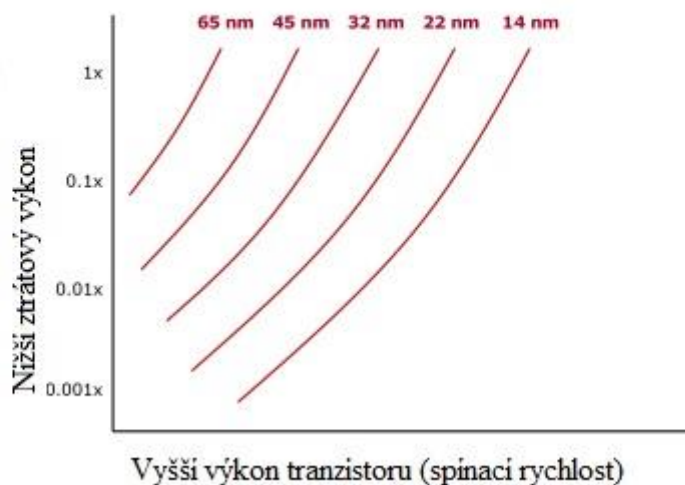


Obr. č. 4 Vnitřní uspořádání TFET tranzistorů

1.2 Důvody zmenšování

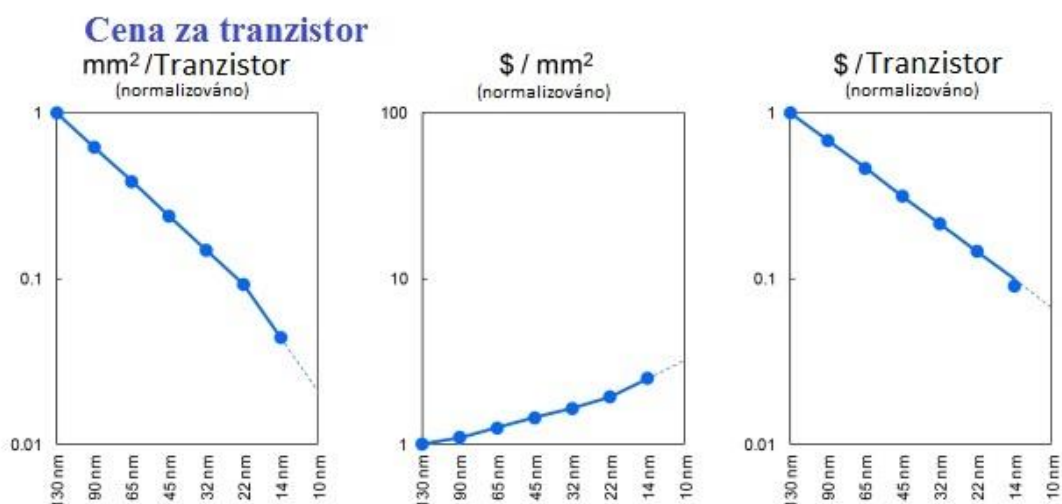
Každý další přechod na novou výrobní technologii skýtá mnoho problémů. Náklady na přechod mezi technologiemi jsou pokaždé větší, ať už z pohledu návrhových systémů, nebo ověření toho, jestli bude nová výrobní technologie vyrábět s povolenou tolerancí chyb. Toto ale není jediným aspektem při návrhu a výrobě nových a menších tranzistorů. Stejným faktorem pro většinu firem by mělo být množství spotřebované energie nových zařízení.

Transistor Performance vs. Leakage



Obr. č. 5 Poměr spínací rychlosti vs. ztrátový výkon podle výrobní technologie

Každá nová technologie přináší možné zlepšení, a to buď spínacího výkonu, nebo výkonu ztrátového. Tyto úspěšné pokroky s každou přicházející technologií jsou vyobrazeny na obr. č. 5. Nejnovější 10nm technologie přináší oproti technologii starší buď o 25 procent vyšší rychlost spínání, nebo až 45 procentní úsporu energie.

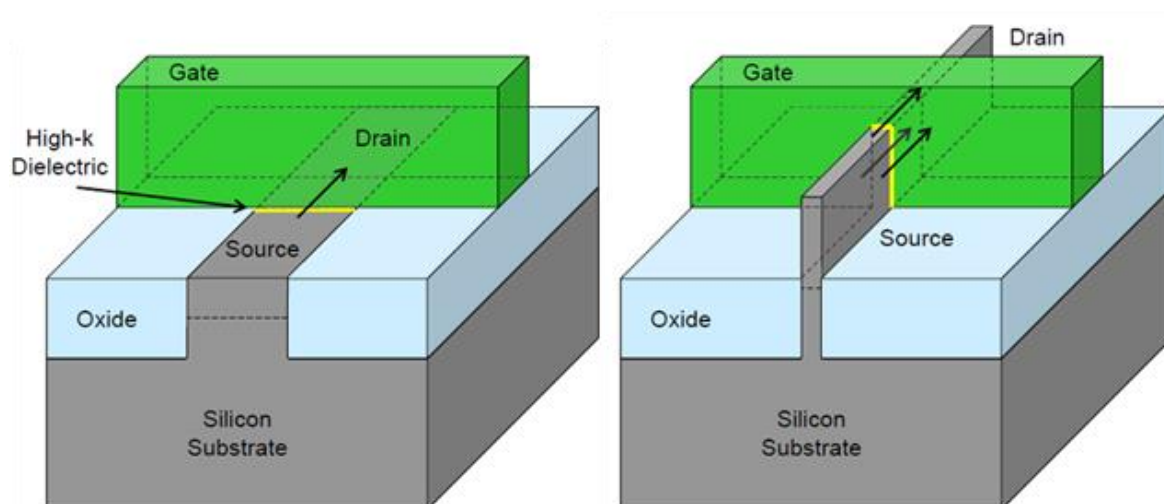


Obr. č. 6 Normalizovaná cena jednoho tranzistoru podle výrobní technologie

Jak můžeme vidět z grafu na obr. č. 6, plocha i cena jednoho tranzistoru klesá s každou vyspělejší technologií výroby. Výsledkem je stoupající cena jednotky plochy.

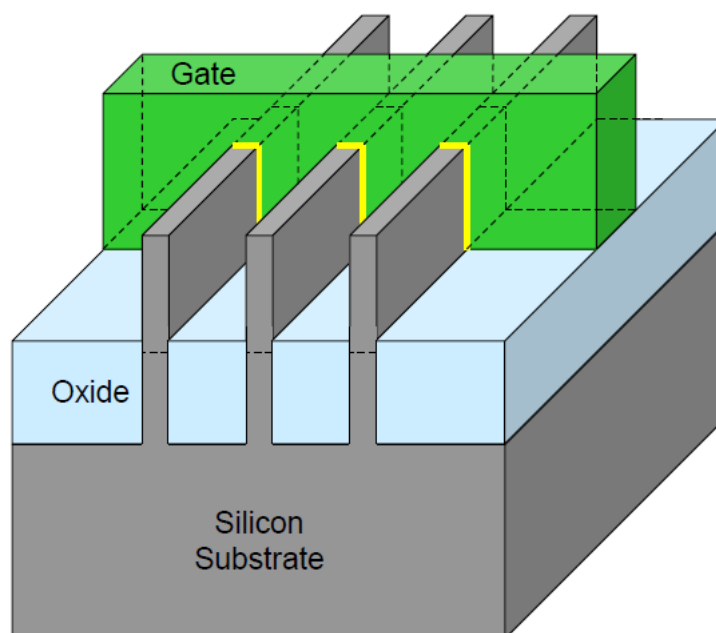
1.3 Problémy spojené se zmenšováním tranzistorů

S každou další generací tranzistorů, které jsou stále menší a menší, přichází i další problémy. Po dlouhou dobu stačilo pouhé vylepšování stávající technologie pro zachování požadovaných vlastností. S příchodem 45 nanometrové generace se ale ukázalo, že hradlový izolátor (oxid křemičitý - SiO_2) nemá potřebné izolační vlastnosti. Tloušťka oxidu klesla na 1,2 nm a začal se zde uplatňovat jev kvantového tunelování elektronů, tedy průchod elektronů skrz tuto vrstvu oxidu. Bylo tedy potřeba nahradit oxid křemičitý nějakým lepším materiálem s lepšími vlastnostmi. Řešením jsou high-k dielektrika, tedy dielektrika s vyšší dielektrickou konstantou. V současnosti jsou používána dielektrika jako například oxid hafničitý (HfO_2) nebo dusíkem dopovaný hafnon (HfSiON). Spolu s příchodem high-k dielektrik, přichází i technologie kovových hradel, které nahrazují používaný polysilikon. Existují hned dva důvody k použití těchto kovových hradel. Prvním je ten, že kovy neobsahují vyprázdňenou oblast, když dochází ke změně na kanálu a tím zvyšují EOT – ekvivalentní tloušťku hradlového izolátoru o 8-9 Å, čímž zvyšuje kapacitu dielektrika na hradle. Druhým důvodem je ten, že polysilikon není chemicky stabilní, když je v kontaktu s high-k dielektrikem, bór z hradla difunduje do dielektrika, což nakonec snižuje výkon tranzistoru. Nejpoužívanější sloučeninou je silicid niklu (NiSi)[12]. Dalším problémem byla propustnost kanálu u 22nm technologie. Zde se poprvé objevují 3D tranzistory namísto planárních.



Obr. č. 7 Vlevo tranzistor planární, vpravo tranzistor vytvořený 3D technologií [11]

U planárních tranzistorů se vytváří kanál pouze pod plochou řídicí elektrody, pokud ale protáhneme drain a source vzhůru a obalíme je řídicí elektrodou, můžeme lépe řídit průchod proudu. Bude-li tranzistor otevřený, proud bude moci protékat více než dvakrát větší plochou kanálu. Při uzavření tranzistoru potom řídicí elektroda lépe uzavírá kanál a tím snižuje proud ve vypnutém stavu.



Obr. č. 8 Tri-Gate tranzistor [11]

Společnost Intel se ale nespokojila pouze s jedním kanálem mezi source a drain, a proto vytvořila tranzistor, který má hned tři takovéto přechody. Průchod proudu teď může probíhat až na sedmkrát větší ploše než u tranzistoru planárního. To přináší možnost zvýšení výkonu o více jak 30% při zachování spotřeby energie nebo až 50% úsporu energie při stejném výkonu. Výsledný kompromis šel spíše ke snížení spotřeby, než k navýšení výkonu a přitom cena výrobního procesu stoupla jen o 3%.[11] Takovouto technologií se již podařilo vyrobit tranzistory 10nm, ale teoreticky dosažitelná výrobní technologie je 5nm. U takto malých tranzistorů ale dochází ke zhoršení odporu, jelikož se začínou projevovat jevy kvantové mechaniky.

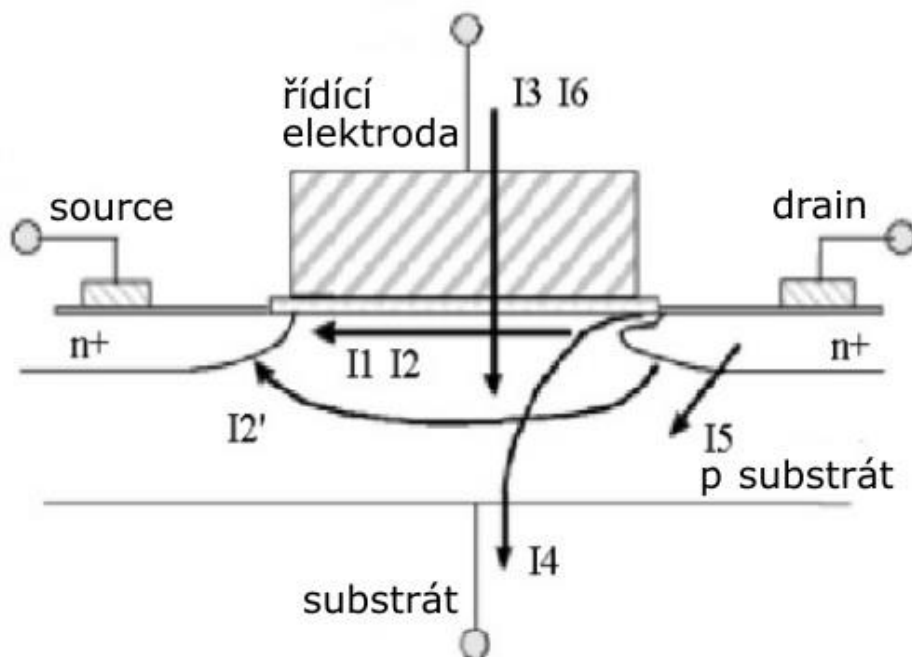
Vědci použili vyspělou mikroskopickou technologii, kterou pozorovali chování dvou desek, zlata a wolframu, přiblížených na pouhých několik atomů. Výsledky měření průchodu proudu byly zcela jiné, než předpokládali. Hodnoty se však nelišily jen málo, aby to mohla být chyba měření. Tyto výrazné rozdíly vědce přesvědčily k dalšímu zkoumání tohoto jevu. Pro tvorbu čipů budoucnosti bude nutné znát všechny vlastnosti materiálů i v rámci rozměrů pouhých několika atomů. Jak se ukázalo tak i neuvěřitelně malá nepřesnost či nesouměrnost materiálu může způsobit výrazné odlišnosti chování, než se předpokládalo.[14] Současné technologie nedovolují vytvořit 100% čistý křemík, potřebná čistota křemíku pro výrobu čipů je však více než 99,9999%. I nejmenší znečištění ovlivňuje kvalitu vyrobených tranzistorů. Při výrobě takzvaných waferů - destiček o průměru 300 mm a tloušťce 775 μm (v minulosti byly tyto wafery menší), se nečistoty rozkládají po okrajích, proto se ze středu waferu vyrábí ty nejlepší a nejvýkonnější modely čipů. V budoucnosti bude třeba kontrolovat nejen čistotu materiálů pro výrobu čipů, ale také jejich atomovou strukturu.

2 Techniky snižování spotřeby v digitálních IO

Spotřeba integrovaných obvodů se dělí na dvě hlavní části. Aktivní (dynamickou) část a část pasivní (zbytkové proudy). V této části práce se budeme zabývat zbytkovými proudy, které značně přispívají k celkové spotřebě integrovaných obvodů. Snižování spotřeby není důležité jen pro přenosnou mobilní elektroniku. Je rozhodující i pro elektroniku nepřenosnou z důvodu, že když spotřebovává větší množství proudu, elektronika se více zahřívá a musí být kladen větší důraz na chlazení.

2.1 Zbytkové proudy

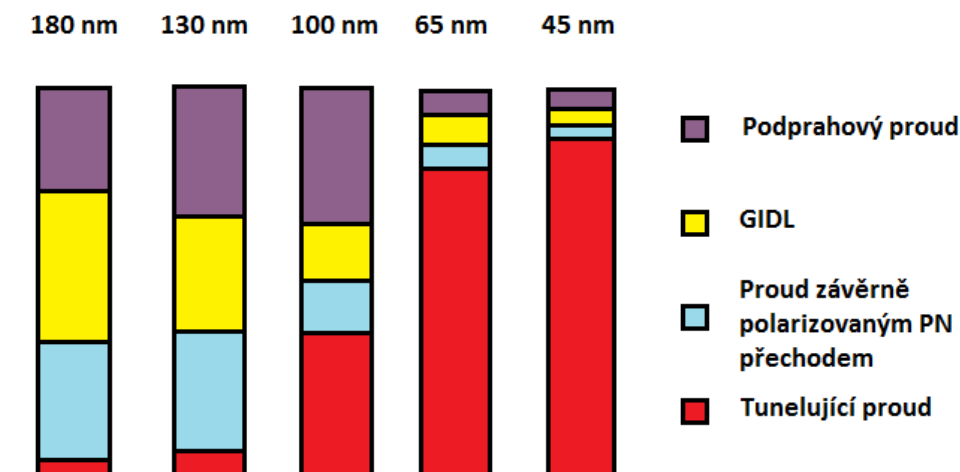
Zbytkové proudy jsou v dnešní době jedním z největších problémů CMOS technologie. Aktuální velikosti zbytkových proudů velmi záleží na technologii dotování polovodičů, délce (L) a šířce (W) kanálu, prahovém napětí (V_T), tloušťce izolace řídicí elektrody (t_{ox}), atd. Na Obr. č. 9 jsou vidět další proudy tranzistoru MOSFET v moderních technologiích [15].



Obr. č. 9 Druhy zbytkových proudů [15]

- I1 - Podprahový proud (subthreshold current)
- I2 - DIBL
- I2' - Punchthrough
- I3 - Tunelující proud (Thin Oxide Gate Tunneling)
- I4 - GIDL
- I5 - Proud závěrně polarizovaným PN přechodem (PN Junction Current)
- I6 - Hot carrier injection (Obr.9)

Relativní velikosti zbytkových proudů v závislosti na velikosti tranzistorů mění se s použitou technologií výroby. Obr. č. 10 znázorňuje prospekty jednotlivých komponentů statické spotřeby.



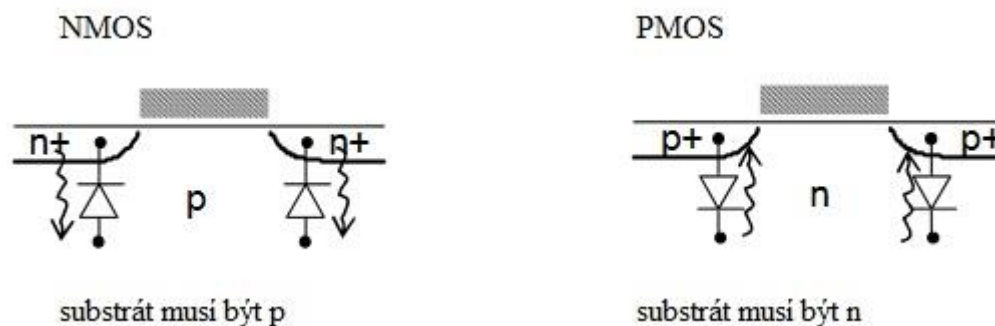
Obr. č. 10 Relativní velikosti zbytkových proudů

2.1.1 Hot carrier injection

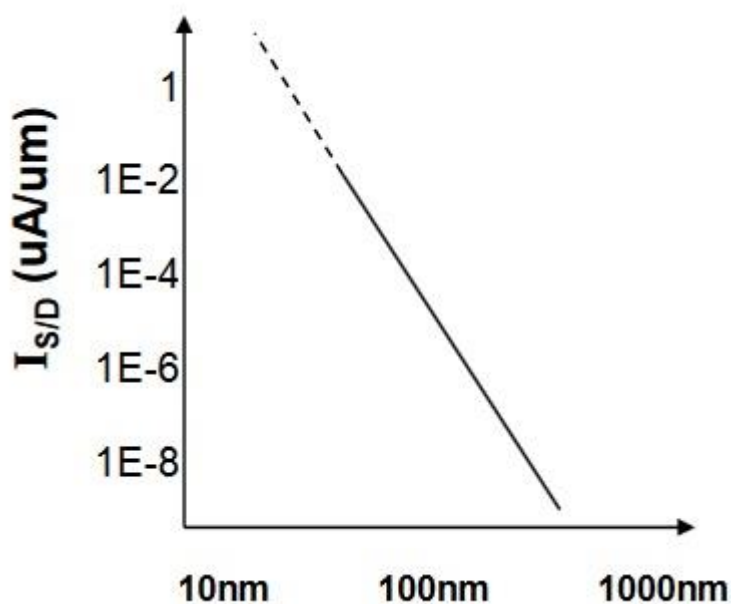
Představme si, že je řídicí elektroda a drain připojena ke zdroji napájecího napětí. Nosiče získají velkou energii z elektrického pole a pohybují se skrz kanál. Jsou přitahovány k řídicí elektrodě, a mohou být zachyceny v izolantu a způsobit tak posuv prahového napětí tranzistoru [15]. Akumulování náboje v izolantu může způsobovat posuv prahového napětí v čase. Čím větší napájecí napětí, tím větší energii získá nosič náboje (větší proud). Po zmenšení napájecí napětí se nad tímto problémem udržuje kontrola. S dalším zmenšováním tranzistorů bude potřeba zmenšovat i napájecí napětí, což může být v budoucnosti další problém.

2.1.2 Proud závěrně polarizovaným PN přechodem

Source a drain jsou závěrně polarizované PN přechody což znamená, že zde bude procházet závěrný proud. Tyto přechody jsou ilustrovány na Obr. č. 11. Většinou jsou velmi malé, ale se vzrůstající dotací polovodičů rostou.



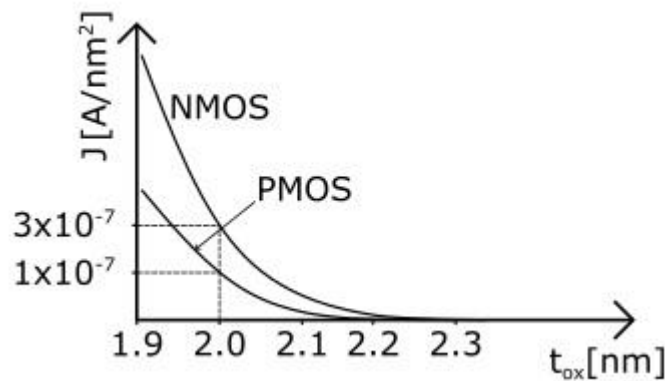
Obr. č. 11 PN přechody v tranzistorech [15]



Obr. č. 12 Závislost proudu na velikosti kanálu [15]

2.1.3 Přímé tunelování skrz izolant řídicí elektrody

Tloušťka oxidu se zmenšuje s každou generací nových tranzistorů. Dosáhli jsme bodu, kdy tloušťka oxidu je moc malá ($t_{ox} < 2\text{nm}$) a dochází k přímému tunelování. Proud řídicí elektrodou je funkcí tloušťky izolační vrstvy a napětí na řídicí elektrodě. NMOS tranzistory mají hustotu tohoto proudu 3x – 10x větší, než PMOS tranzistory, jelikož elektrony mají lepší pohyblivost než díry. Pro každé zmenšení izolační vrstvy o 0,2nm se procházející proud zvětšuje 10x [15]. To dokazuje *Obr. č. 13*.



Obr. č. 13 Hustota proudu skrz řídicí elektrodu

2.1.4 Podprahový proud

Podprahový proud je nejdůležitější ukazatel statického výkonu u CMOS tranzistorů. Mějme invertor, který má na vstupu logickou nulu. NMOS tranzistor je rozepnutý a PMOS sepnutý, výstupní napětí je v logické jedničce. V důsledku potenciálu mezi drainem a sourcem NMOS tranzistoru, protéká kanálem proud, přestože řídicí napětí $V_{GS} = 0$ V. Tento proud je funkcí teploty, rozměrů tranzistoru, napájecího napětí a výrobních parametrů, kde prahové napětí hraje významnou roli. Tento proud nám může přiblížit rovnice 1.[1]

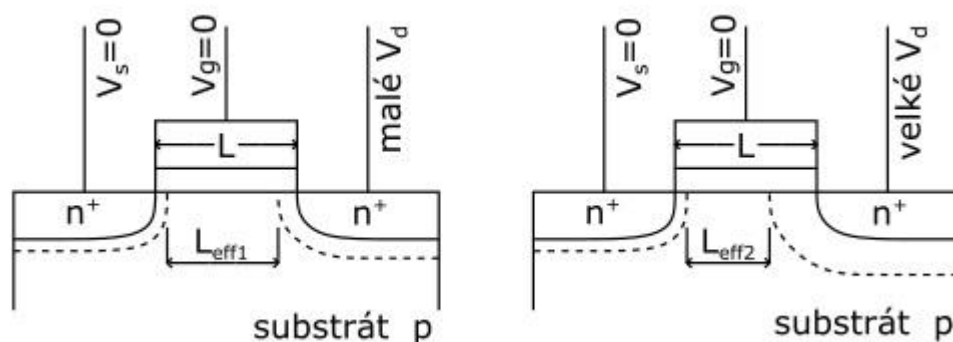
$$I_{DS} = 2\mu C_{ox} V_{th}^2 \frac{W}{L} \left(1 - e^{-\frac{V_{EF}}{nV_{th}}} \right) \quad (1.)$$

Kde:

$$V_{EF} = V_{GS} - V_{T0} \quad (2.)$$

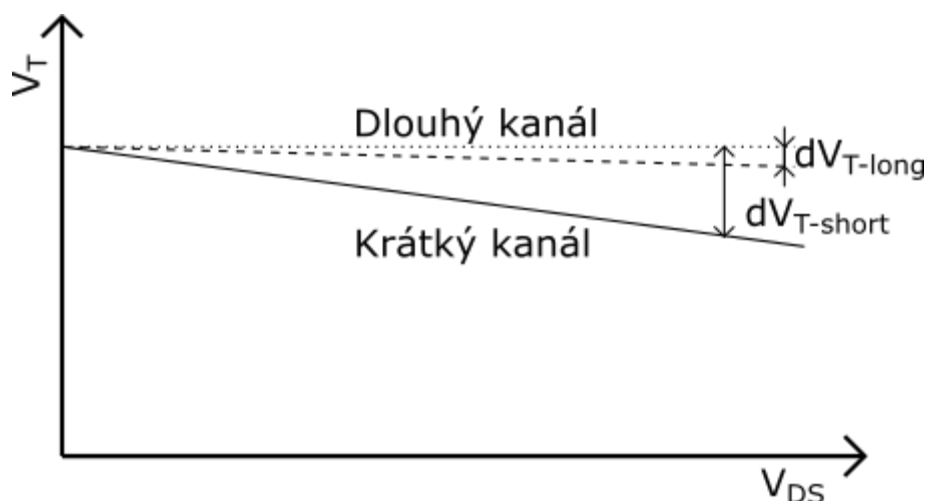
2.1.5 DIBL

Obvodově se tento jev nechá popsat změnou prahového napětí (V_T) na napětí V_{DS} při konstantním V_{GS} . To ilustruje Obr. č. 14. Pro dlouhý kanál tento jev není příliš viditelný, protože vyprázdněné oblasti elektrod D a S mají malý (a zanedbatelný) vliv vzhledem k délce kanálu. Změna prahového napětí v závislosti na V_{DS} se dá vysvětlit fyzikálně pomocí konceptů: i. koncept sdílení náboje (charge-sharing concept), ii. (barrier-powering). Obě tyto teorie popisují změnu V_T , I_D a L_{eff} v závislosti na horizontálním napětí V_{DS} , kde hlavní roli hrají vyprázdněné oblasti elektrod.



Obr. č. 14 Znárodnění vyprážděné oblasti kolem drainu

Pro tranzistory s dlouhým kanálem je šířka vyprážděné oblasti vzhledem k přechodu malá, proto změna prahového napětí není zřetelná. Zkrácením kanálu, tento efekt nabírá na intenzitě. Závislost prahového napětí (V_T) v závislosti na napětí drain-source (V_{DS}) je znázorněna na Obr. č. 15.



Obr. č. 15 Efekt DIBLu u krátkého a dlouhého kanálu

2.1.6 GIDL

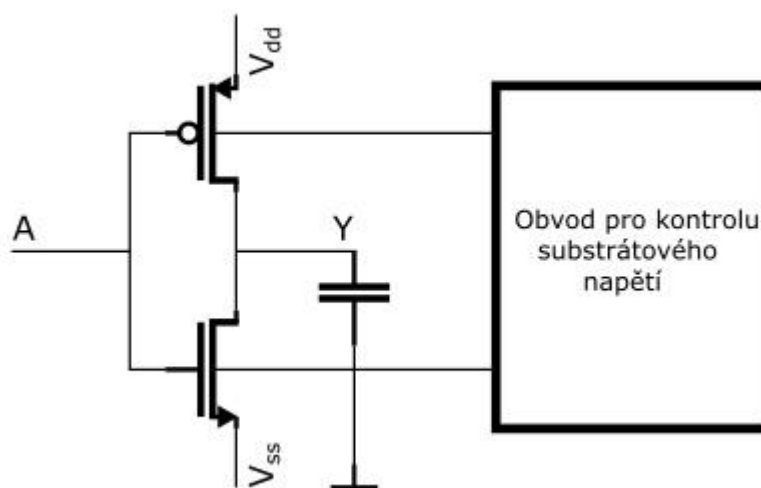
Proud z drainu do substrátu, způsobený tunelováním proudu ve velmi vysokém elektrickém poli, na přesahu řídicí elektrody přes oblast drainu. Ovlivněný tloušťkou oxidu, slabě dopovanou oblastí drainu a velikostí napájecího napětí.

2.2 Techniky pro zmenšování zbytkových proudů

Většina standardních knihoven obsahuje kombinaci buněk s minimální délkou kanálu, nominální a dlouhou délkou kanálu. Většina knihoven obsahuje obě tyto délky. Dlouhý kanál je sice přibližně o 10% pomalejší, ale za to vykazuje 3x menší zbytkový proud. Nominální délka se používá pro kritické aplikace a dlouhý kanál se používá pro aplikace nekritické. Následuje popis technik pro snižování spotřeby.

2.2.1 VTCMOS

Variable-threshold CMOS (VTCMOS) je technika proměnného prahového napětí. Prahové napětí obou součástí je řízeno připojením napětí na substrát za účelem snížení podprahového proudu v pasivním režimu. Vyžaduje komplexnější řízení, aby jednotlivé substráty mohly být správně nastaveny. Obecné schéma daného obvodu na bázi VTCMOS je znázorněno na *Obr. č. 16* [15].

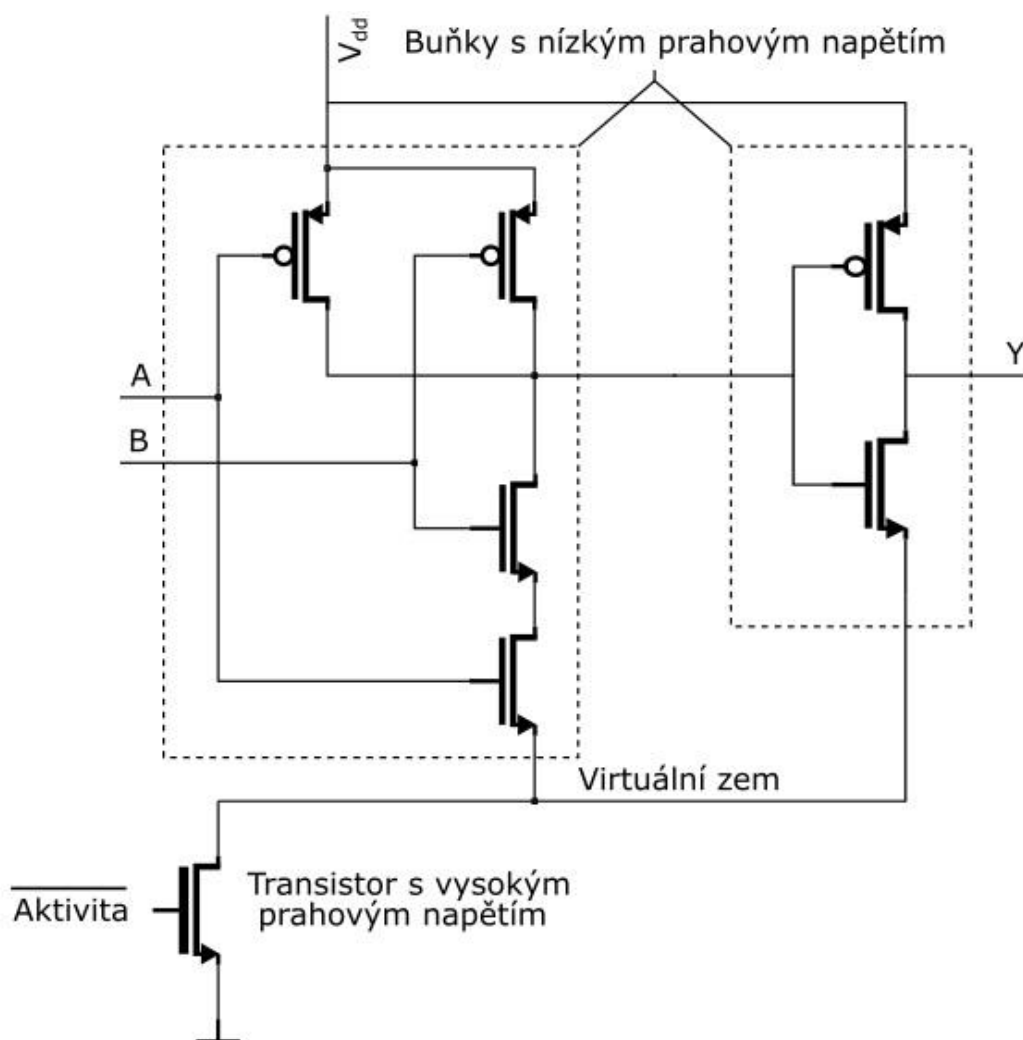


Obr. č. 16 Schéma VTCMOS řízení

Zařízení s vyšším prahovým napětím jsou pomalejší. Nastavení substrátového napětí k získání nízkoprahových zařízení na kritické aplikace a vysokoprahových na aplikace nekritické a statické paměti. Substrátové napětí má své omezení v PN přechodech, které tvoří substrát/drain a substrát/source. U nich nesmí být překročeno průrazné napětí. Optimální velikost substrátového napětí se stále zmenšuje se zvyšujícím se dotováním zvláště pro NMOS tranzistory [15].

2.2.2 MTCMOS

Technologie umožňuje sestavit tranzistory s různými hodnotami V_T . Standardní knihovny obsahují 3 typy tranzistorů s různými prahovými napětími pro NMOS i PMOS tranzistory. Nízkoprahové LVT pro nejvyšší rychlost, kompromisní střední prahové napětí SVT a úsporné vysokoprahové HVT. Nízkoprahové se používají pro kritické aplikace. Středo a vysoko prahové se používají pro nekritické aplikace a statické paměťová pole. Typické procentuální využití takovýchto tranzistorů je LVT 2%, SVT 65% a HVT 33%. Princip techniky je znázorněn na (Obr. 17) [15].



Obr. č. 17 Schéma zapojení MTCMOS

Problém u techniky MTCMOS je virtuální nula. Virtuální zem není pravá zem a je náchylnější na rušení. Můžeme zvětšit šířku kanálu spícího tranzistoru pro zmenšení napětí na virtuální nule, ale tím zvýšíme podprahový proud a velikost tranzistoru. Doba spánku musí být dostatečně dlouhá. Budící výkon musí být vykompenzován redukcí zbytkových proudů.

2.2.3 HTC MOS

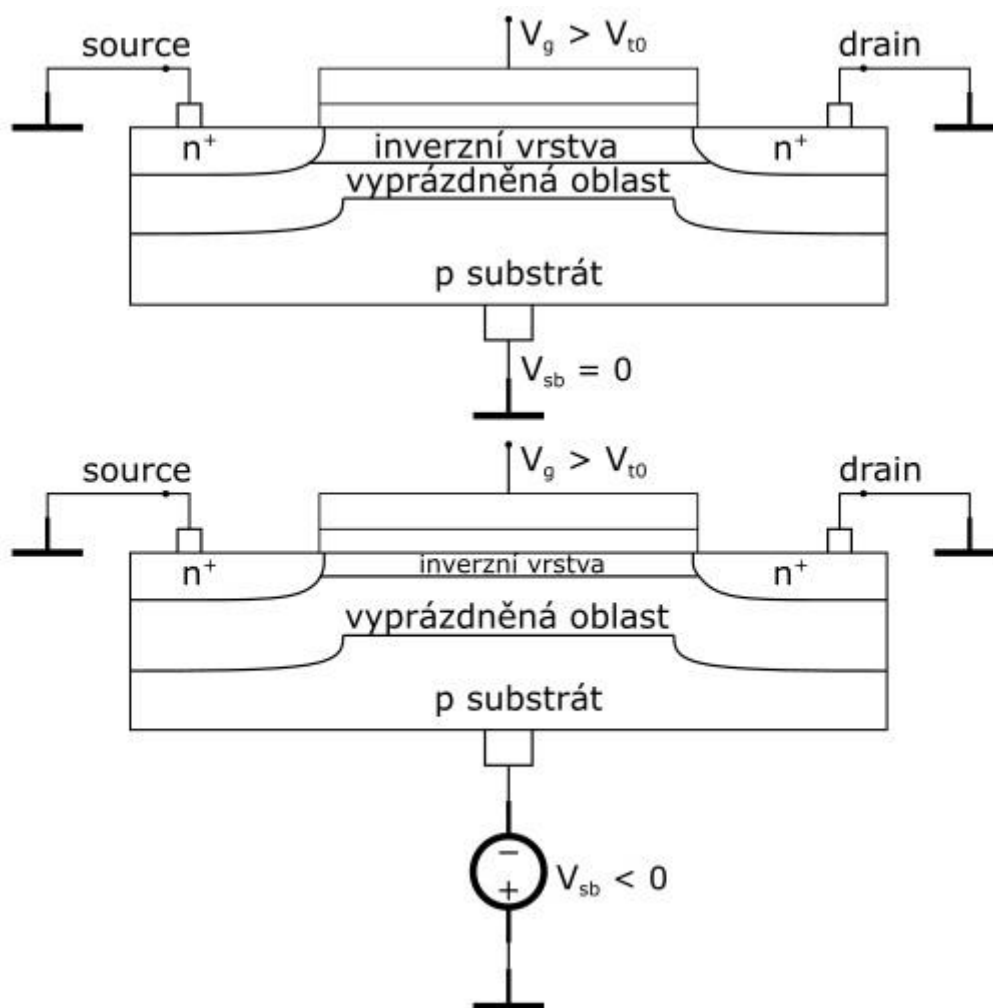
Prahové napětí je závislé na tloušťce hradlového izolátoru. Tato technika, technika vysokého prahového napětí, využívá tranzistory s vysokým prahovým napětím vytvořeným právě větší vrstvou hradlového oxidu. Vyšší prahové napětí odpovídá nižšímu podprahovému proudu. Použití nachází v aplikacích, kde nám záleží na nízkém odebíraném výkonu, bohužel za cenu rychlosti.

3 Technika VTCMOS

Proměnné prahové napětí u CMOS tranzistorů (VTCMOS) je technika polarizace substrátu. K dosažení různých prahových napětí se používá obvod pro kontrolu substrátového napětí k ovlivňování substrátu. Při vysoké aktivitě není použité téměř žádné napětí pro kontrolu substrátu. Zatímco během záložního režimu je použita zpětná polarizace substrátu ke zvýšení prahového napětí a tím zmenšení zbytkového proudu. Navíc můžeme v aktivním běhu použít dopřednou polarizaci substrátu ke zvýšení rychlosti obvodů. Technika využívající obě tyto techniky se nazývá obousměrné ovlivňování substrátu. Abychom mohli provádět ovlivňování substrátu, musíme mít přivedeny vodiče ke každému tranzistoru ještě jednou, což zvětšuje celkovou velikost čipu. Podle nejnovějších dat je bohužel efektivita zpětné polarizace substrátu stále menší s menší technologií výroby.[1-3]

3.1 Principy použití techniky

Technika zpětného ovlivňování substrátu ke zvýšení prahového napětí MOSFET tranzistorů spočívá v přivedení záporného napětí na PN přechod source-substrát. Změna v rozdělení náboje ve vyprázdněné oblasti a inverzní vrstvě MOSFET tranzistorů s nulovým ovlivňováním a zpětným ovlivňováním substrátu je znázorněna na (*Obr. 18*).



Obr. č. 18 Rozdíl v rozložení náboje mezi klasickým tranzistorem (horní část obrázku) a tranzistorem s ovlivněným substrátem

MOSFET tranzistory tvoří kondenzátory tvořeny kladným nábojem hradla, hradlovým oxidem, pohyblivým nábojem inverzní vrstvy a ionty vyprázdněné oblasti. Kladný náboj hradla je vyvažován sumou nábojů inverzní vrstvy a ionickým nábojem ve vyprázdněné oblasti. Pokud je použita technika zpětného ovlivňování substrátu, šířka vyprázdněné oblasti pod hradlem vzroste, jak ukazuje (Obr. 18). Zvětšení vyprázdněné oblasti koresponduje se zvýšením ionického náboje v polovodiči MOS kondenzátoru. K udržení vyváženého náboje musí počet elektronů v inverzní vrstvě náboje klesnout. K dosažení stejného náboje po použití techniky zpětného ovlivňování substrátu v inverzní vrstvě musíme přivést vyšší napětí na hradlo. Proto technika zpětného ovlivňování substrátu zvyšuje prahové napětí MOSFET tranzistorů.

Technika zpětného ovlivňování substrátu je používána během nečinnosti nebo zátěžových testů za zvýšeného napětí a teploty za účelem zvýšení prahového napětí a snížení podprahového zbytkového proudu. Případně můžeme techniku zpětného ovlivňování substrátu použít na části integrovaného obvodu, které nejsou plně rychlostně využity, ke snížení jejich aktivního zbytkového proudu bez dalšího omezení rychlosti. Použitím techniky zpětného ovlivňování substrátu můžeme dosáhnout až desetitisícinásobného zmenšení podprahového proudu. Ačkoli technika zpětného ovlivňování substrátu zvyšuje prahové napětí, čímž snižuje podprahový proud, zvyšuje také proud závěrně polarizovanými PN přechody na rozhraních source-substrát a drain-substrát. Proto je dobré najít nejlepší řešení velikosti napětí připojeného na substrát k nalezení minimální spotřeby pro danou výrobní technologii.

Změnu prahového napětí tranzistoru můžeme znázornit rovnicí.

$$V_T = V_{T0} + \gamma(\sqrt{|-2\varphi_F + V_{SB}|} - \sqrt{|2\varphi_F|}) \quad (3.)$$

Kde:

$$\gamma = \frac{\sqrt{2qN_A\epsilon_{Si}}}{C_{ox}} \quad (4.)$$

V závislosti na změně prahového napětí se mění i zpoždění podle rovnice:

$$t_d = \frac{C_L V_{DD}}{(V_{DD} - V_T)^\alpha} \quad (5.)$$

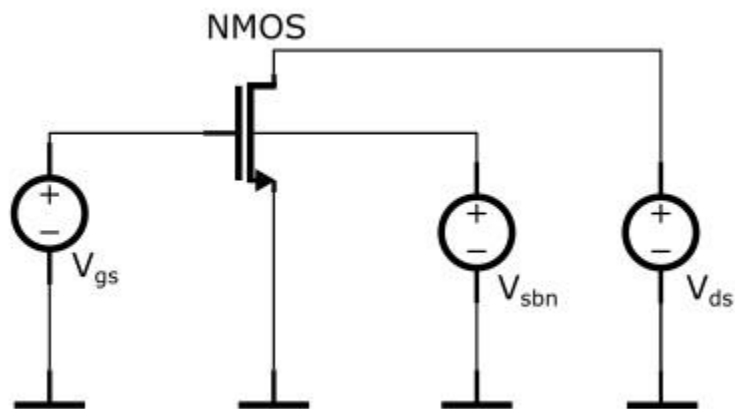
3.2 Podrobný popis výhod a nevýhod techniky

Mezi nesporné výhody této metody patří snížení podprahového proudu v době neaktivity systému, nebo jeho běhu na částečný výkon, jelikož zvyšuje zpoždění buněk. Dále se tato technika nechá použít v podobě adaptivní zpětné vazby k potlačení změn přepínací rychlosti a spotřeby, způsobenými změnou teploty, napájecího napětí nebo výrobních parametrů.

Efektivita metody snižování podprahového proudu se snižuje s každou další výrobní technologií. To je způsobeno nižším efektem substrátu. Jak se zmenšuje délka kanálu, stále více se uplatňuje efekt krátkého kanálu. Nejen substrátová elektroda, ale i řídicí elektroda ztrácí kontrolu nad rozložením náboje s rostoucím efektem krátkého kanálu. Dalším nepříznivým vlivem pro tuto techniku je snižování koncentrace příměsí v kanálu, to za účelem snížení prahového napětí při nulovém ovlivnění substrátu. Dále má na velikost změny prahového napětí vliv i velikost napájecího napětí a různorodost parametrů tranzistorů. Jednou z hlavních nevýhod je také zvětšení plochy čipů, jelikož musíme k substrátu tranzistorů přivádět ještě další vodič.

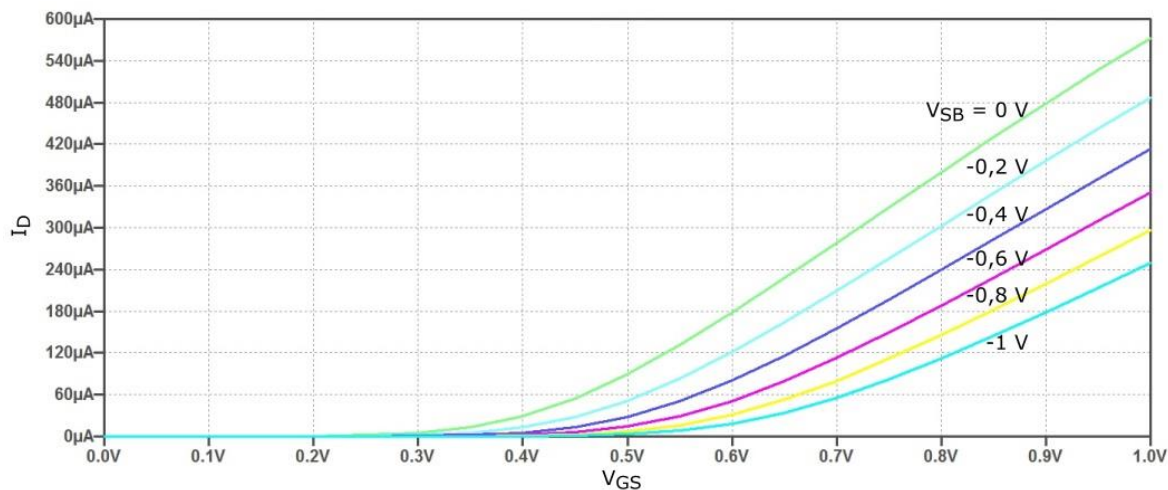
3.3 Charakteristiky I_d vs V_{gs}

Tato podkapitola obsahuje schéma zapojení NMOS a PMOS tranzistorů s možností ovlivňování substrátu a simulaci odebraného proudu z napájecího zdroje v závislosti na napětí připojeného na substrát (V_{sb}). Proud, který dokážeme získat při určitém napájecím napětí, určuje rychlost výsledného logického členu. Tento člen z takovýchto tranzistorů složíme.

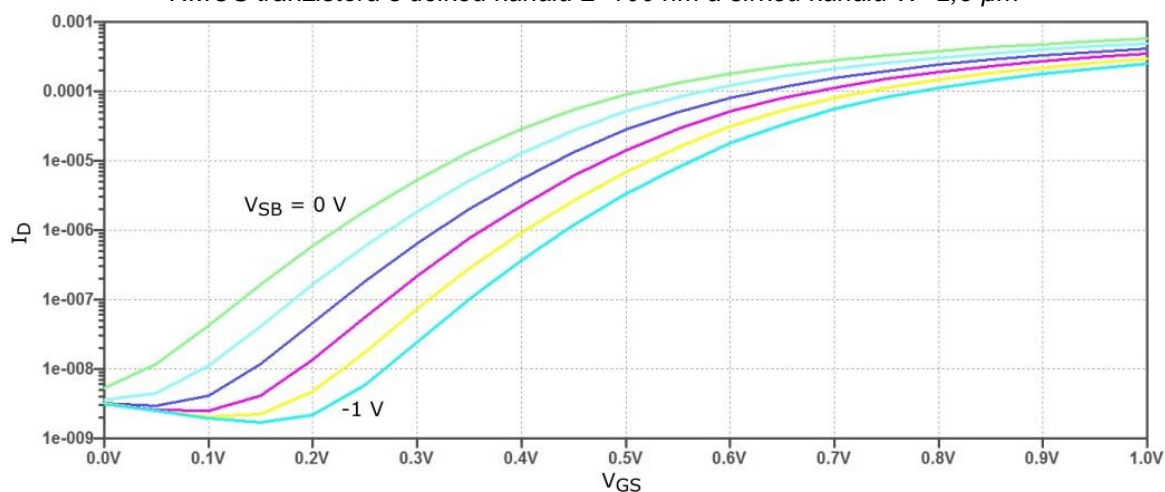


Obr. č. 19 Zapojení NMOS tranzistoru pro získání charakteristik

Zapojení pro kontrolu substrátového napětí se liší pouze o zdroj připojený na substrát, pomocí kterého lze účinně řídit průchod proudu hradlem. Klasický tranzistor NMOS by měl substrát spojený se zemí.



Obr. č. 20 Závislost průchodu proudu na napětí na řídicí elektrodě pro různá substrátová napětí NMOS tranzistoru s délkou kanálu $L=100$ nm a šířkou kanálu $W=2,5$ μm



Obr. č. 21 Logaritmická závislost průchodu proudu na napětí na řídicí elektrodě pro různá substrátová napětí NMOS tranzistoru s délkou kanálu $L=100$ nm a šířkou kanálu $W=2,5$ μm

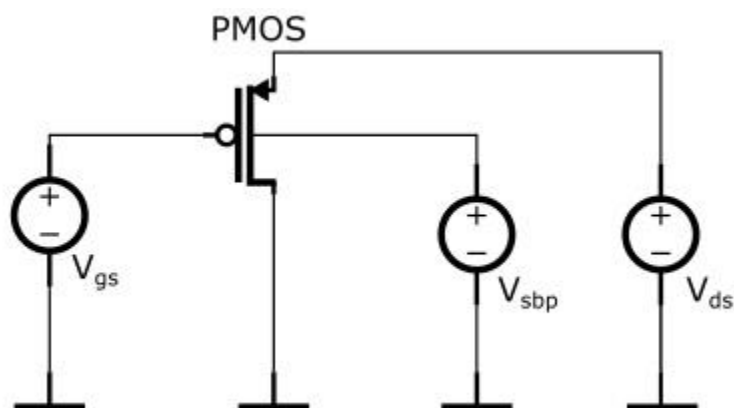
Z grafu na Obr. 20 a 21 můžeme vidět zmenšující se proud odebíraný ze zdroje napájecího napětí (V_{ds}) s rostoucím napětím připojeným na substrát (V_{sbn}). Pro technologii NMOS je substrát spojený se sourcem, proto se zvyšující napětí počítá od nuly směrem dolů. Zelená křivka je tedy pro $V_{sbn} = 0$ V, tedy statický NMOS tranzistor. Další křivky jsou pro $V_{sbn} = -0,2$ V * k, kde $k = 1, 2, \dots, 5$.

$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} \frac{C_{sth}}{C_{ox}} (V_{th})^2 e^{\frac{V_G - V_T}{nV_{th}}} \left(1 - e^{\frac{-V_{DS}}{V_{th}}} \right) \quad (6.)$$

Rovnice 6. ukazuje závislost proudu na všech okolních jevech. Nás nejvíce zajímá závislost na prahovém napětí, které můžeme měnit pomocí techniky VTCMOS. Výsledkem zderivování rovnice 6. v logaritmickém tvaru podle V_G získáme rovnici 7.,

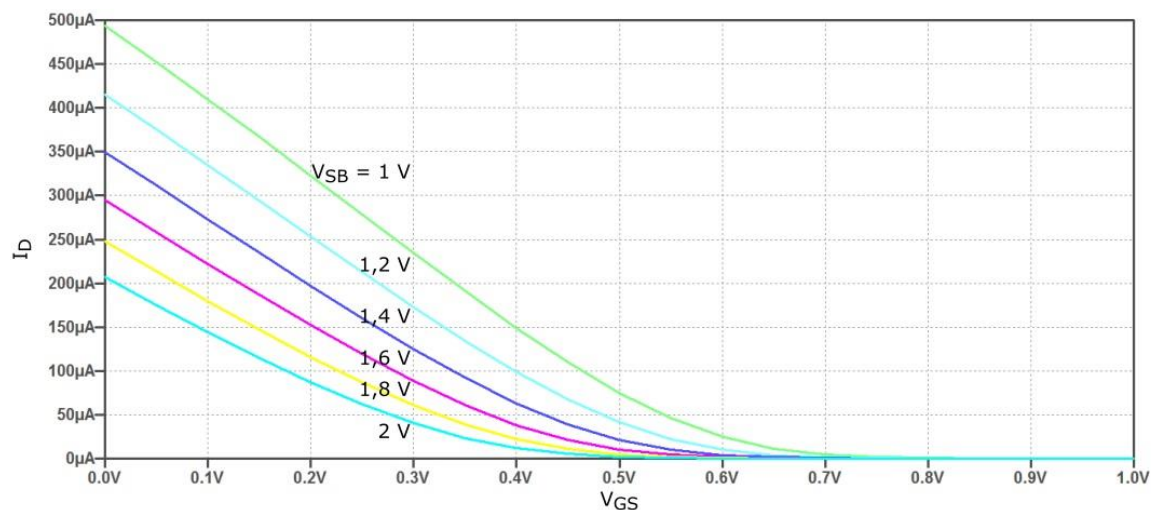
$$S_t = \left(\frac{d(\log_{10} I_d)}{dV_G} \right) \quad (7.)$$

Sklon proudu pod prahovým napětím indikuje jak efektivně je schopno napětí na hradle řídit procházející proud pod úrovní prahového napětí. Se zmenšujícími se rozměry a napájecím napětím za účelem zvýšení výkonu, efektivity a spolehlivosti, se ukazuje tento sklon jako výrazné omezení v možnostech zmenšování napájecího napětí. Pro ideální tranzistor ($t_{ox} \rightarrow 0$) je při pokojové teplotě $S_t = 60$ mV na dekádu. Typické hodnoty sklonu CMOS tranzistorů se pohybují mezi 80-120 mV na dekádu či horší. Snížení této hodnoty je nejdůležitější. Zlepšení sklonu přichází s menší tloušťkou hradlového izolátoru nebo snížením dotování kanálu (zvýšení maximální vyprázdňené oblasti). Sklon se dále mění se změnou teploty a napětí připojeného na substrát.

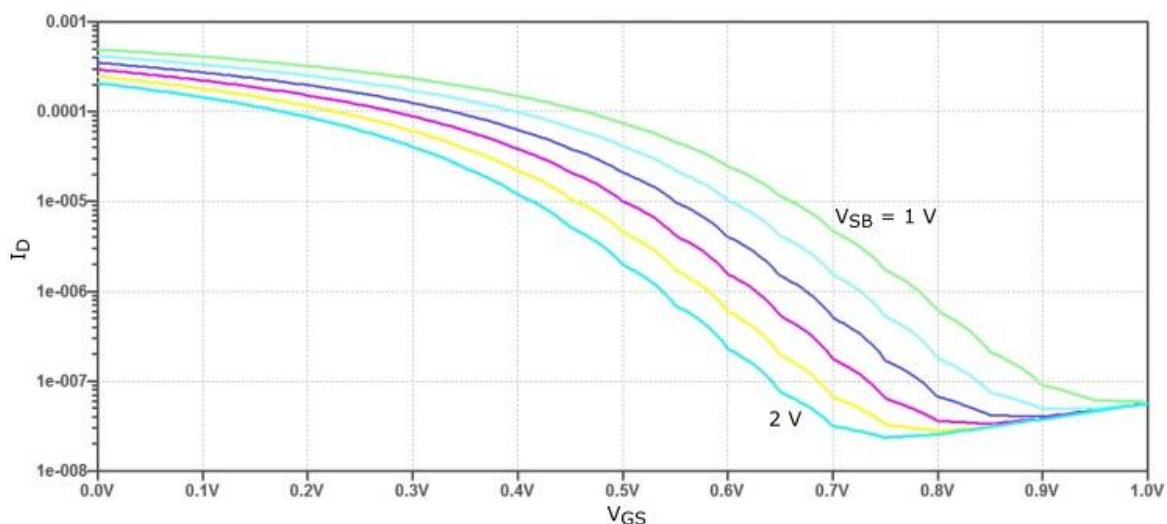


Obr. č. 22 Schéma zapojení PMOS tranzistoru pro získání charakteristik

Zapojení pro kontrolu substrátového napětí se liší pouze o zdroj připojený na substrát, pomocí kterého lze účinně řídit průchod proudu hradlem. Klasický tranzistor PMOS by měl substrát spojený se zdrojem napětí V_{ds} .



Obr. č. 23 Grafy závislosti průchodu proudu I_D na napětí V_{GS} s různými hodnotami V_{SB} PMOS tranzistoru s délkou kanálu $L=100$ nm a šířkou kanálu $W=5$ μm



Obr. č. 24 Grafy logaritmických závislostí průchodu proudu I_D na napětí V_{GS} s různými hodnotami V_{SB} PMOS tranzistoru s délkou kanálu $L=100$ nm a šířkou kanálu $W=5$ μm

Z grafů na Obr. 23 a 24 můžeme vidět zmenšující se proud odebíraný ze zdroje napájecího napětí (V_{DS}) s rostoucím napětím připojeným na substrát (V_{SB}). Pro technologii PMOS je substrát spojený s drainem, proto se zvyšující napětí počítá V_{DS} směrem nahoru. Zelená křivka je tedy pro $V_{SB} = 1$ V, tedy statický PMOS tranzistor. Další křivky jsou pro $V_{SB} = 1 + 0,2 \text{ V} \cdot k$, kde $k = 1, 2, \dots, 5$.

4 GDK

4.1 Seznámení s GDK

Generic design kitt (GDK) je odlehčená verze proces design kittu (PDK) poskytnutá společností MGC pro studentské účely univerzit. Obecně PDK je soubor knihoven obsahující modely, pravidla maximální a minimální šířky a délky kanálu. Definiuje minimální mezery mezi propojovacími vodiči a polygony součástek. Modely zahrnují popis tranzistorů, rezistorů a kapacit dané technologie. Součástí GDK jsou také takzvané standardní buňky (std cells), kde jsou popsány logické elementy na schématické a fyzické abstrakci. Součástí jsou i zjednodušené abstrakce jako je například popis jazykem VHDL, kde jsou definované zpoždění a kapacity jednotlivých elementů. Tyto soubory se hodí pro simulování na vyšší abstrakční úrovni a následná syntéza digitálního obvodu, nebo jeho částí. PDK prostřednictvím modelů definuje i takzvané mantinely dané rozptylem technologie. Jedná se o TT, SS, SF, FS FF proces.

4.2 Verze GDK na univerzitě obsahuje

- **GDKgates** - Složka GDKgates obsahuje všechny potřebné standardní buňky k vytvoření digitálních integrovaných obvodů. Obsahuje nejen jejich symbolické propojení ale také vnitřní zapojení z tranzistorů včetně jejich layoutu. Příklady buněk jsou ty již námi vybrané (NOT, NAND, NOR) a dalšími jsou součty součinů (AOI_{xx}, kde xx značí počet vstupních proměnných) a součiny součtů (OAI_{xx}).

Tab. 1 Náhled na několik typů buněk

NOT	A ₋
NOR2	(A+B) ₋
NAND2	(AB) ₋
NAND3	(ABC) ₋
AOI221	(AB+CD+E) ₋
AOI31	(ABC+D) ₋
OAI221	((A+B)(C+D)E) ₋
OAI31	((A+B+C)D) ₋

- **Device_lib** – Knihovna obsahující několik typů součástek, které bychom mohli potřebovat při návrhu. Jsou v ní schématické značky diod, bipolárních a unipolárních tranzistorů, ideální i reálné indukty a kapacitory a rezistory tvořené z unipolárních tranzistorů s kanálem P i N.
- **Generic_lib** – V této knihovně nalezneme značky pro zem, napájení nebo jménem propojitelná označení konců vodičů. Dále obsahuje značky dokumentace nebo potisková pole.
- **Mgc_ic_macrolib** – Obsahuje makro buňky, které tvoří složitější funkce jako je sumace signálů, AM modulace, derivace či integrace.
- **Mgc_ic_verilog** – Obsahuje popis jednoduchých součástí obvodů v jazyce VHDL.
- **Sources_lib** – Knihovna obsahující zdroje, jejichž příkladem jsou napětím řízené zdroje napětí a proudu nebo proudem řízené zdroje proudu a napětí. Ke zdrojům je připojena dokumentace o schéma zapojení a jejich symbol.
- **Gereric13** – Věnuje se součástem vytvořeným 130 nm technologií. Složka obsahuje pravidla pro kontrolu návrhu DRC LVS a PEX, modely součástek typu spice, specifikace součástek ohraničující meze jejich minimální a maximální šířky a délky kanálu pro tranzistory nebo tranzistory, které jsou vytvořeny jako rezistory a další rozmezí pro další součástky. Dále obsahuje procesní pravidla pro výrobu a symboly součástek.

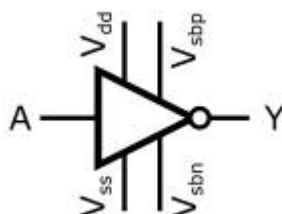
5 Návrh základních buněk knihovny GDK použitím techniky VTSMOS

5.1 Návrh vybraných buněk

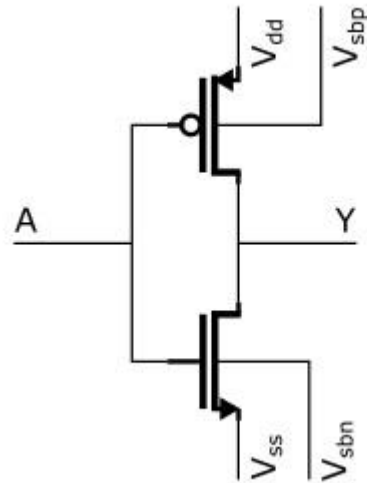
Každá buňka v knihovně GDKgates obsahuje vývody pro vstupy, výstupy a napájecí piny. K vytvoření možnosti řízení „ V_T “ bylo potřeba přidat i vývody pouzdra daných buněk. K tomu byl vytvořen obvod, který byl složen z klasického zapojení, kde substrát N-sítě a P-sítě byl propojen a vyveden jako další napájecí pin. Takto vytvořené buňky jsme posléze zapojili do testovacího obvodu, kde byl vstupní signál generován obnovovačem signálu (BUFF). Pokud bychom napájeli vstup z ideálního zdroje napětí, mohlo by dojít ke zkreslení výstupních charakteristik, jelikož ideální zdroj může dodávat nekonečný proud. Výstup byl vždy zatížen čtyřmi klasickými invertory, které zajišťují zatížení pro získání zpoždění. Pro stanovení doby zpoždění součástkou vezmeme průchod signálu referenční úrovní na vstupu a výstupu buňky. Měření proudů i zpoždění bylo prováděno při všech možných kombinacích na vstupu, abychom mohli najít tu nejhorší variantu, která bude nejlépe vypovídat o možnostech obvodu. Pro zjednodušení schématu nebyla nakreslena napájení všech logických členů. Ve skutečnosti napájeny musely být a byly.

5.1.1 Invertor

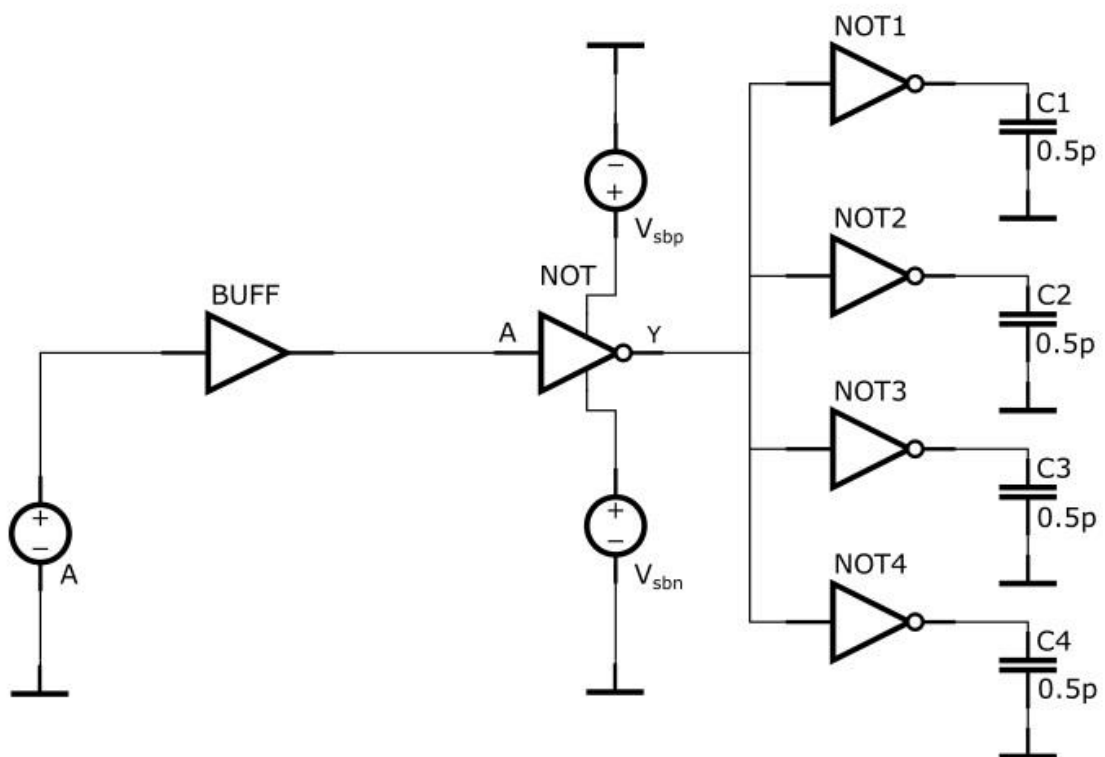
Při návrhu jsem v LTspice byl vytvořen nový obvod, který má vyveden vstup A, výstup Y, napájení V_{DD} a zem V_{SS} , spolu se substrátovými elektrodami V_{sbp} a V_{sbn} , pomocí kterých lze ovládat napětí přivedené na substrát, k řízení rychlosti/spotřeby dle momentálního požadavku. Obr. č. 25 a 26 zobrazují symbol a vnitřní zapojení tranzistorů invertoru. Obr. č. 27 zobrazuje schéma zapojení invertoru do testovacího obvodu.



Obr. č. 25 Symbol invertoru, který může využívat techniku ovlivňování substrátu



Obr. č. 26 Vnitřní zapojení logické negace



Obr. č. 27 Zapojení invertoru pro měření charakteristik zpoždění a proudů

Tab. 2 Pravdivostní tabulka invertoru

NOT	
A	Y
0	1
1	0

Tab. 3 Tabulka naměřených hodnot zpoždění pro standardní buňku static CMOS a buňku VTCMOS

NOT	Statický CMOS	VTCMOS
t_{pdd} [ps]	158,9	332,7
t_{pdu} [ps]	193,3	425,0

Z tabulky 3 můžeme vidět nárůst zpoždění, který je způsoben zvětšením prahového napětí. Standardní buňka static CMOS má $V_{sbp}=V_{DD}=1$ V a $V_{sbn}=V_{SS}=0$ V. Buňka upravená technikou VTCMOS má $V_{sbp}=2$ V a $V_{sbn}=-1$ V. Při větším prahovém napětí se tranzistory otevírají až při vyšším napětí a nejsou schopny dodávat tak veliký proud pro přebíjení kapacity zátěže. Zpoždění ovlivňuje maximální spínací rychlost buňky, proto je dobré používat tuto techniku jen při době nečinnosti, nebo v době, kdy systém neběží na plný výkon.

Tab. 4 Tabulka naměřených hodnot statických proudů statický CMOS a VT MOS, pro buňku NOT. Vstup je definován logickou nulou $A = 0$ V.

NOT	Statický CMOS	VTCMOS
I_D [nA]	93,03	90,96
I_G [nA]	-93,27	-93,38
I_S [nA]	2,07	$0,47 * 10^{-3}$
I_{SBP} [nA]	2,30	2,43
I_{SBN} [nA]	$1,00 * 10^{-3}$	$3,02 * 10^{-3}$

Když je na vstupu invertoru přivedena logická nula, PMOS tranzistor je sepnutý a NMOS rozepnutý. Z tabulky 4 můžeme vidět, že proud odebíraný ze zdroje poklesl o $I_D(\text{statický CMOS}) - I_D(\text{VTCMOS}) = 2,07$ nA. $I_S(\text{VTCMOS})$ byl pomocí techniky VTCMOS zmenšen na pouhých 0,47 pA tedy až 4000x. Zároveň můžeme pozorovat nepatrný nárůst proudů ze zdrojů pro substrát. Tento proud je proud závěrně polarizovanými diodami. Ten by měl být v ideálním případě konstantní až do průrazného napětí. Nárůst o 132 pA je v porovnání s poklesem podprahového proudu zanedbatelný.

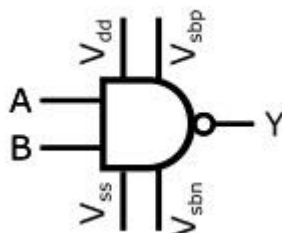
Tab. 5 Tabulka naměřených hodnot statických proudů statický CMOS a VT MOS, pro buňku NOT. Vstup $A = V_{DD}$.

NOT	Statický CMOS	VTCMOS
$I_D [nA]$	3,89	$1,36 \cdot 10^{-3}$
$I_G [nA]$	72,5	71,45
$I_S [nA]$	76,08	71,06
$I_{SBP} [nA]$	$1,00 \cdot 10^{-3}$	$3,00 \cdot 10^{-3}$
$I_{SBN} [nA]$	0,36	0,39

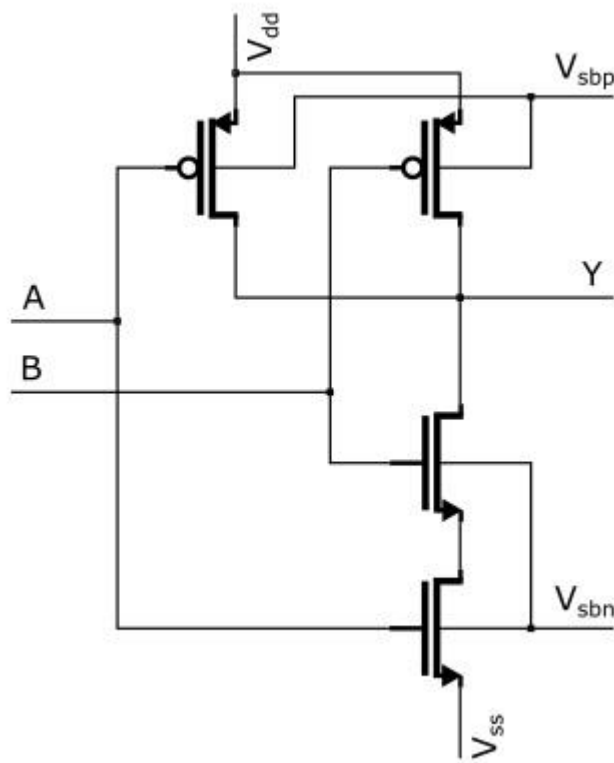
Naopak když je na vstupu invertoru logická jednička, PMOS je zavřený a NMOS naopak otevřený. Z tabulky 5 můžeme odečíst, jak významný pokles podprahového proudu je při tomto stavu. Standardní buňka odebírá ze zdroje 3,89 nA a buňka upravená jen 1,36 pA. Další výrazný pokles lze zaznamenat u proudu tunelujícího skrz hradla. Tento tunelující proud poklesl o 1,05 nA. Nárůst proudu závěrně polarizovanými diodami je ještě menší, než v případě logické nuly na vstupu.

5.1.2 Negovaný logický součin

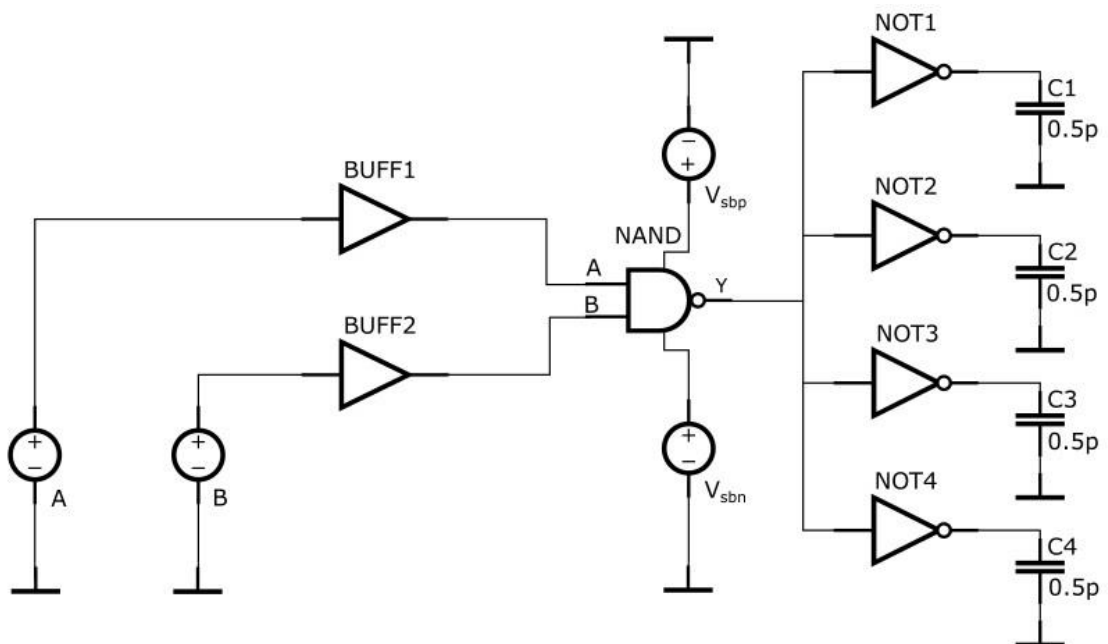
Při návrhu v LTspice byl vytvořen nový obvod, který má vyvedeny vstupy A a B, výstup Y, napájení Vdd a zem Vss, spolu se substrátovými elektrodami Vsbp a Vsbn, pomocí kterých lze řídit V_T k ladění rychlosti/spotřeby dle momentální požadavku. Obr. č. 28 a 29 zobrazují symbol a vnitřní zapojení tranzistorů negovaného logického součinu s možností použití techniky VTCMOS. Obr. č. 30 zobrazuje schéma zapojení NANDu do testovacího obvodu.



Obr. č. 28 Symbol negovaného logického součinu (NAND), který využívá techniku VTCMOS



Obr. č. 29 Vnitřní zapojení negovaného logického součinu



Obr. č. 30 Zapojení NANDu pro měření charakteristik zpoždění a proudů

Tab. 6 Pravdivostní tabulka negovaného log. součinu

NAND		
A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

Tab. 7 Tabulka naměřených hodnot zpoždění pro statickou CMOS buňku a buňku VTCMOS

NAND	Static CMOS	VTCMOS
t_{pdd} [ps] A0->1, B0->1	298,5	693,8
t_{pdu} [ps] A1->0, B1->0	124,2	259,8
t_{pdd} [ps] A0->1, B=1	268,6	615,4
t_{pdu} [ps] A1->0, B=1	202,5	441,1
t_{pdd} [ps] A=1, B0->1	280,1	644,2
t_{pdu} [ps] A=1, B1->0	213,7	464,3

Jako v předchozím případě můžeme i zde s pomocí tab. 7 ukázat, jak roste zpoždění logického členu, pokud mu budeme ovlivňovat substrát. Zvýšení zpoždění logického členu znamená, snížení jeho maximální pracovní frekvence. Maximální frekvenci logického členu lze určit z nejhorších hodnot. K získání přesnějšího rozdílu mezi maximálními frekvencemi si změříme pomocí kurzorů doby doběhů signálu standardní a upravené buňky. Statická CMOS buňka má dobu doběhu $t_f = 0,528$ ns, což odpovídá 622 MHz a buňce VTCMOS stoupla doba doběhu při změně obou vstupů na $t_f = 1,2$ ns, z čehož můžeme vypočítat maximální frekvenci 291 MHz. Maximální frekvence je dána vztahem:

$$f_{MAX} = \frac{0,35}{t_r \text{ nebo } t_f}$$

Tento vztah respektuje i dobu, kterou bude potřebovat případný další člen na zpracování signálu. Výběr doby náběhu nebo doběhu závisí na jejich velikosti, vždy vybíráme větší, aby nedošlo k chybě časování signálů.

Tab. 8 Tabulka naměřených hodnot statických proudů statické CMOS a VTCMOS buněk NAND, pro vstupy A = 0 V, B = 0 V

NAND	Statický CMOS	VTCMOS
I_D [nA]	179,48	178,76
I_{GA} [nA]	-90,11	-90,23
I_{GB} [nA]	-93,27	-93,38
I_S [nA]	0,69	$1,15 \cdot 10^{-3}$
I_{SBP} [nA]	4,60	4,85
I_{SBN} [nA]	$1,06 \cdot 10^{-3}$	$5,03 \cdot 10^{-3}$

Tab. 9 Tabulka naměřených hodnot statických proudů statické CMOS a VTCMOS buněk NAND, pro vstupy $A = 0\text{ V}$, $B = V_{DD}$

NAND	Statický CMOS	VTCMOS
I_D [nA]	90,70	88,26
I_{GA} [nA]	-91,19	-90,84
I_{GB} [nA]	$17,38 \cdot 10^{-3}$	0,16
I_S [nA]	1,82	$0,21 \cdot 10^{-3}$
I_{SBP} [nA]	2,30	2,43
I_{SBN} [nA]	$2,60 \cdot 10^{-3}$	$6,73 \cdot 10^{-3}$

Tab. 10 Tabulka naměřených hodnot statických proudů statické CMOS a VTCMOS buněk NAND, pro vstupy $A = V_{DD}$, $B = 0\text{ V}$

NAND	Statický CMOS	VTCMOS
I_D [nA]	93,04	90,96
I_{GA} [nA]	16,64	15,32
I_{GB} [nA]	-93,27	-93,38
I_S [nA]	18,13	14,93
I_{SBP} [nA]	2,30	2,43
I_{SBN} [nA]	0,36	0,39

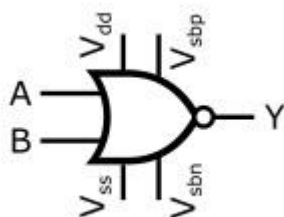
Tab. 11 Tabulka naměřených hodnot statických proudů statické CMOS a VTCMOS buněk NAND, pro vstupy $A = V_{DD}$, $B = V_{DD}$

NAND $A=1$, $B=1$	Statický CMOS	VTCMOS
I_D [nA]	7,77	$2,72 \cdot 10^{-3}$
I_{GA} [nA]	72,53	71,41
I_{GB} [nA]	72,52	71,40
I_S [nA]	152,10	142,04
I_{SBP} [nA]	$2,00 \cdot 10^{-3}$	$6,20 \cdot 10^{-3}$
I_{SBN} [nA]	0,71	0,77

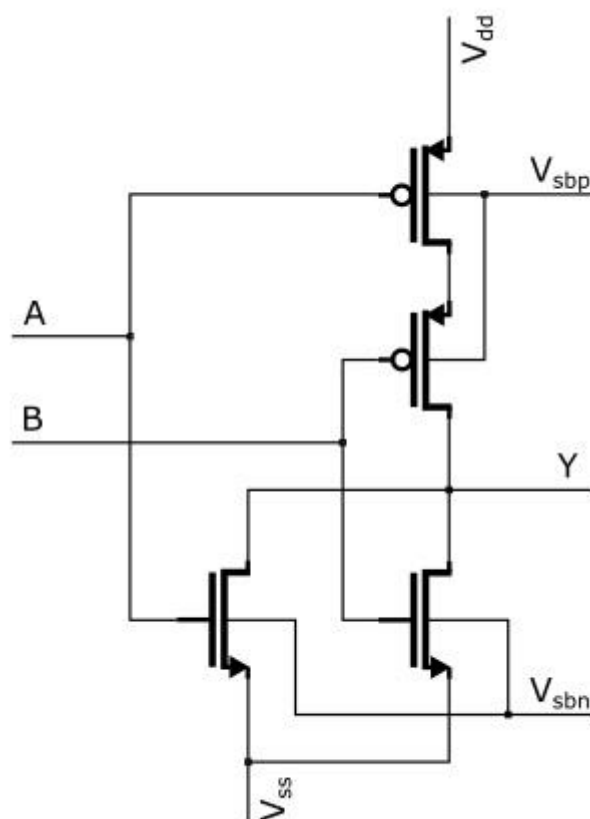
Z tabulek 8-11 je vidět, že záleží na zapojení tranzistorů nad/vedle sebe. Mohli bychom se mýlit, že nezáleží na tom, jestli je na vstupu $A = 0$ a na $B = 1$ nebo $A = 1$ a $B = 0$. Pro případ první z tabulky 8 byl podprahový proud zmenšen z 1,82 nA na 0,21 pA. V druhém případě z tabulky 9 je podprahový proud pro statickou CMOS buňku 10x větší a jeho změna po použití techniky ovlivňování substrátu je o 3,2 nA na $I_{SUB} = 14,93$ nA. Tabulka 7 ukazuje případ, kdy je na vstupu $A = 0$ a na $B = 0$. U tohoto měření jsou tranzistory, které mají být zavřené, a tedy jimi uniká podprahový proud zapojeny do série. Díky tomu není podprahový proud statické CMOS buňky nijak veliký, pouhých 0,69 nA. Takto malý proud se ještě povedlo zmenšit na 1,15 pA. V tabulce 10 můžeme vidět případ, kdy jsou tranzistory, kterými protéká podprahový proud v paralelním zapojení. To způsobuje, že podprahový proud je 7,77 nA, ale může být snížen díky technice VTCMOS na 2,72 pA.

5.1.3 Negovaný logický součet

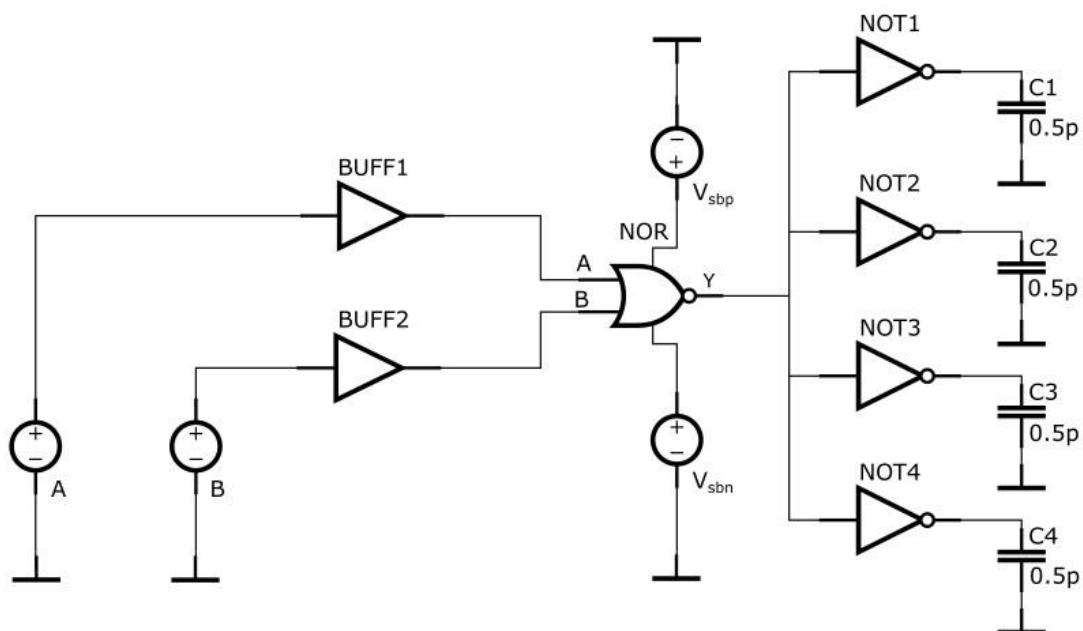
Při návrhu byl v LTspice vytvořen nový obvod, který má vyvedený vstup A, výstup Y, napájení V_{DD} a zem V_{SS} , spolu se substrátovými elektrodami V_{sbp} a V_{sbn} , pomocí kterých lze ovládat substrátové napětí, k řízení rychlosti/spotřeby dle momentálního požadavku. Obrázky č. 31-33 ukazují, jak vypadá symbol negovaného logického součtu s vyvedenými elektrodami pro řízení napětí na substrátu, jeho vnitřní zapojení a zapojení do testovacího obvodu.



Obr. č. 31 Symbol negovaného logického součtu, který může využívat techniku ovlivňování substrátu



Obr. č. 32 Vnitřní zapojení negovaného logického součtu



Obr. č. 33 Zapojení NORu pro měření charakteristik zpoždění a proudů

Tab. 12 Pravdivostní tabulka negovaného log. součinu

NOR		
A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

Tab. 13 Tabulka naměřených hodnot zpoždění pro standardní buňku statický CMOS a buňka VTCMOS

NOR	standardní	upravený
t_{pdd} [ps] A 0->1, B 0->1	106,3	210,4
t_{pdu} [ps] A 1->0, B 1->0	375,7	909,1
t_{pdd} [ps] A=0, B 0->1	168,4	346,5
t_{pdu} [ps] A=0, B 1->0	344,7	848,0
t_{pdd} [ps] A 0->1, B=0	186,2	379,7
t_{pdu} [ps] A 1->0, B=0	374,7	889,5

V tabulce 13 jsou sepsány hodnoty zpoždění, kterých dosahuje negovaný logický součin při všech platných změnách vstupních signálů. Největší zpoždění je při změně na obou vstupech z logické jedničky do logické nuly. Toto zpoždění charakterizuje celkovou rychlost buňky.

Tab. 14 Tabulka naměřených hodnot statických proudů statické CMOS a VTCMOS buňky pro logické nuly na vstupech ($A = 0\text{ V}$, $B = 0\text{ V}$)

NOR	standardní	upravený
I_D [nA]	186,03	181,83
I_{GA} [nA]	-93,25	-93,36
I_{GB} [nA]	-93,23	-93,31
I_S [nA]	4,14	$0,95 \cdot 10^{-3}$
I_{SBP} [nA]	4,60	4,85
I_{SBN} [nA]	$2,00 \cdot 10^{-3}$	$6,04 \cdot 10^{-3}$

Při logických nulách na vstupech by měly být NMOS tranzistory zavřené a neměl by jimi procházet žádný proud. Jak můžeme vidět v tabulce 14, uzavřenými tranzistory prochází proud o velikosti $I_S = 4,14\text{ nA}$. Pomocí techniky ovlivňování substrátu můžeme tento proud snížit na $0,95\text{ pA}$. Toto snížení lze provést pouze za cenu zvýšení proudů uzavřenými PN přechody.

Tab. 15 Tabulka naměřených hodnot statických proudů statické CMOS a VTCMOS buňky pro různé hodnoty na vstupech ($A = 0\text{ V}$, $B = V_{DD}$)

NOR $A=0$, $B=1$	standardní	upravený
I_D [nA]	91,69	87,81
I_{GA} [nA]	-90,11	-90,23
I_{GB} [nA]	72,54	71,45
I_S [nA]	76,07	71,06
I_{SBP} [nA]	2,30	2,43
I_{SBN} [nA]	0,36	0,39

Z tabulky 15 je zřejmé, že součástkou prochází proud jak v horní části, tak spodní (I_D a I_S jsou značně velké). Proud jdoucí ze zdroje je nejspíše odváděn skrz hradlový oxid prvního PMOS tranzistoru, a proto zde nebude tolik znatelné snížení podprahového proudu. Pokles proudu odebíraného ze zdroje je o $3,88\text{ nA}$.

Tab. 16 Tabulka naměřených hodnot statických proudů statické CMOS a VTCMOS buňky pro různé hodnoty na vstupech ($A = V_{DD}$, $B = 0\text{ V}$)

NOR	Statický CMOS	VTCMOS
I_D [nA]	3,54	$1,05 \cdot 10^{-3}$
I_{GA} [nA]	34,90	24,95
I_{GB} [nA]	-0,64	-2,01
I_S [nA]	37,45	22,57
I_{SBP} [nA]	$2,57 \cdot 10^{-3}$	$8,20 \cdot 10^{-3}$
I_{SBN} [nA]	0,36	0,39

V případě údajů z tabulky 16 je možné odečíst změnu podprahového proudu o $3,54\text{ nA}$. Zároveň zde můžeme upozorovat nejnižší tekoucí proudy.

Tab. 17 Tabulka naměřených hodnot statických proudů statické CMOS a VTCMOS buňky pro logické jedničky na vstupech ($A = V_{DD}$, $B = V_{DD}$)

NOR	Statický CMOS	VTCMOS
I_D [nA]	1,60	$0,96 \cdot 10^{-3}$
I_{GA} [nA]	16,43	15,32
I_{GB} [nA]	72,57	71,45
I_S [nA]	89,89	86,00
I_{SBP} [nA]	$1,05 \cdot 10^{-3}$	$6,20 \cdot 10^{-3}$
I_{SBN} [nA]	0,72	0,76

V měření z tabulky 17 je možno vidět, že tranzistory, které mají být uzavřeny, jsou v sériovém zapojení, jelikož proud I_D (static CMOS) je 1,6 nA. Po aplikování zvýšeného substrátového napětí můžeme pozorovat snížení tohoto proudu na 0,96 pA. Snížení lze vidět i u proudů tunelujících. Tento proud závisí více na vstupním signálu, než na aplikování substrátového napětí, kdy pro logickou nulu na vstupu tunelující proud roste a pro logickou jedničku klesá.

Závěr

Dle výsledků měření můžeme vidět, že podprahový proud je znatelně menší díky technice VTCMOS. Simulované tranzistory jsou vytvořeny 50 nm technologií, která dle *obr. č. 10* nemá již tak veliké procentuální zastoupení podprahového proudu. Pokud by byly vybrány tranzistory vytvořené 130 nebo 100 nm technologií, byla by účinnost techniky VTCMOS vyšší a daleko znatelnější. Společně s poklesem podprahového proudu si ale můžeme všimnout, že úměrně tomu narůstá i zpoždění daného logického členu. Největší úspory dosahuje technika při aplikování na zavřené tranzistory, které jsou v paralelním zapojení. Ideální by bylo, kdyby klesla spotřeba buněk ve statickém režimu na nulu a zároveň zpoždění zůstalo stejné. Bohužel při návrhu elektrických obvodů musíme obětovat něco za něco. Dále mohou být vytvořeny i další buňky, na které posléze aplikujeme techniku VTCMOS. Pro možnost vytvoření reálného obvodu pomocí techniky VTCMOS by bylo třeba ještě vytvořit layout.

Seznam literatury

- [1] KIAT-SENG, Yeo, KAUSHIK, Roy. *Low-voltage, low-power VLSI Subsystems*. New York: McGraw-Hill, 2005. 282 s. ISBN 0-07-143786-X
- [2] MACII, Enrico. *Ultra low-power electronics and design*. Boston: Kluwer Academic Publisher, 2004. 273 s. ISBN 1-4020-8075-1
- [3] KURSUN, Volkan. *Supply and threshold voltage scaling techniques in CMOS circuits*. Rochester: University of Rochester, 2004. 330 s.
- [4] DOMAN, David. *Engineering the CMOS Library: Enhancing Digital Design Kits for Competitive Silicon*. New Jersey: John Wiley & Sons, Inc, 2004. 342 s.
- [5] High_Bandwidth_Memory. [online]. Poslední změna 1.6.2017. [Cit. 1.6.2017]. Dostupné z: https://cs.wikipedia.org/wiki/High_Bandwidth_Memory
- [6] Technology Opportunity: Nanostructure-Based Vacuum Channel Transistor. [online]. Poslední změna 25.8.2015 [Cit. 1.6.2017]. Dostupné z: <https://www.nasa.gov/ames-partnerships/technology/technology-opportunity-nanostructure-based-vacuum-channel-transistor>
- [7] Smallest. Transistor. Ever.. [online]. Poslední změna 6.10.2016. [Cit. 1.6.2017]. Dostupné z: <http://newscenter.lbl.gov/2016/10/06/smallest-transistor-1-nm-gate/>
- [8] Cesta ke spinovému tranzistoru. [online]. Poslední změna 10.6.2012. [Cit. 1.6.2017]. Dostupné z: <http://physics.mff.cuni.cz/kchfo/oe/soubory/110/sdelovaci-technika-6-5-8-2012.pdf>
- [9] Modely tranzistorů BSIM [online]. Poslední změna 30.11.2016. [Cit. 1.6.2017]. http://cmosedu.com/cmos1/cmosedu_models.txt
- [10] The Tunneling Transistor. [online]. Poslední změna 30.11.2013. [Cit. 1.6.2017]. Dostupné z: <http://spectrum.ieee.org/semiconductors/devices/the-tunneling-transistor>
- [11] Intel's Revolutionary 22 nm Transistor Technology. [online]. Poslední změna 10.3.2011. [Cit. 1.6.2017]. Dostupné z: http://download.intel.com/newsroom/kits/22nm/pdfs/22nm-Details_Presentation.pdf
- [12] The High-k Solution. [online]. Poslední změna 1.10.2007. [Cit. 1.6.2017]. Dostupné z: <http://spectrum.ieee.org/semiconductors/design/the-highk-solution>
- [13] Osvěží nová generace 3D tranzistorů Mooreův zákon?. [online]. Poslední změna 30.11.2016. [Cit. 1.6.2017]. Dostupné z: <http://www.techmagazin.cz/45985>
- [14] Nečekané potíže při výrobě příliš malých čipů. [online]. Poslední změna 17.11.2012. [Cit. 1.6.2017]. Dostupné z: <http://vtm.e15.cz/necekane-potize-pri-vyrobe-prilis-malych-cipu>
- [15] Leakage and Low-Power Design [online]. Poslední změna 30.11.2016. [Cit. 1.6.2017]. <http://courses.ece.ubc.ca/579/579.lect6.leakagepower.08.pdf>