



FAKULTA ELEKTROTECHNICKÁ

**KATEDRA ELEKTROMECHANIKY
A VÝKONOVÉ ELEKTRONIKY**

BAKALÁŘSKÁ PRÁCE

**Analýza polovodičových prvků Si MOSFET a GaN se
základní topologií budících obvodů**

Autor práce: Alexandr Justin
Vedoucí práce: Ing. Jan Štěpánek

2019

ZÁPADOČESKÁ UNIVERZITA V PLZNI
Fakulta elektrotechnická
Akademický rok: 2018/2019

ZADÁNÍ BAKALÁŘSKÉ PRÁCE

(PROJEKTU, UMĚLECKÉHO DÍLA, UMĚLECKÉHO VÝKONU)

Jméno a příjmení: **Alexandr JUSTIN**
Osobní číslo: **E17B0054K**
Studijní program: **B2644 Aplikovaná elektrotechnika**
Studijní obor: **Aplikovaná elektrotechnika**
Název tématu: **Analýza polovodičových prvků Si MOSFET a GaN se základní topologií budících obvodů.**
Zadávající katedra: **Katedra elektromechaniky a výkonové elektroniky**

Z á s a d y p r o v y p r a c o v á n í :

Práce bude popisovat výkonové prvky na bázi Si MOSFET a GaN, trendy ve vývoji polovodičových součástek. Dále se bude zabývat porovnáním polovodičových prvků na bázi Si MOSFET a GaN mezi sebou jejich výhody a nevýhody. V poslední části se práce bude zabývat volbou vhodných budících obvodů pro vybrané prvky. Dále pak bude obsahovat základní blokové schéma budících obvodů.

1. Analyzujte dostupné polovodiče součástky na bázi GaN v napěťovém rozsahu 48V až 650V.
2. Analyzujte dostupné polovodiče součástky na bázi Si MOSFET v napěťovém rozsahu 48V až 650V.
3. Porovnejte polovodiče na bázi Si MOSFET a GaN dle Vašeho výběru a popište jejich možné použití v praxi.
4. Vyberte k Vámi zvoleným polovodičovým prvkům vhodné budící obvody, tak aby dosahovala spínací frekvence 100kHz (Si MOSFET) - 1MHz (GaN). Navrhněte blokové schéma pro budoucí realizaci budících obvodů.

Rozsah grafických prací: podle doporučení vedoucího

Rozsah kvalifikační práce: 30 - 40 stran

Forma zpracování bakalářské práce: tištěná/elektronická


Seznam odborné literatury:

1. [https://gansystems.com./](https://gansystems.com/)
2. [http://www.powerguru.org./](http://www.powerguru.org/)


Vedoucí bakalářské práce: Ing. Jan Štěpánek
Regionální inovační centrum elektrotechniky

Datum zadání bakalářské práce: 5. října 2018

Termín odevzdání bakalářské práce: 13. června 2019


Prof. Ing. Zdeněk Peroutka, Ph.D.
děkan




Prof. Ing. Václav Kůs, CSc.
vedoucí katedry

V Plzni dne 5. října 2018

Abstrakt

Tato bakalářská práce je zaměřena na částečný návrh vhodných budících obvodů pro rychlé spínání výkonových tranzistorů GaN HEMT nebo Si MOSFET pro napětí 100 V až 650 V a frekvence až 1MHz. Nejprve je provedena důkladná rešerše technologií výkonových GaN tranzistorů, jež reflektuje linii vývoje GaN tranzistorů. Stejným způsobem je provedena důkladná rešerše technologií výkonových Si MOSFET tranzistorů, jež reflektuje aktuální trendy a technologie. V návaznosti na to jsou porovnány dostupné výkonové GaN HEMT tranzistory a nalezeny ty které by mohly být řízeny na frekvencích PWM okolo 1 MHz, pro 100 až 650 V blokovací napětí a proud drainu minimálně 45 A. Následuje porovnání dostupných Si MOSFET tranzistorů pro blokovací napětí 100 až 650 V a maximum proudu drainu mezi 45 až 250 A, a nalezení tranzistorů které je možné spínat frekvencí PWM 100kHz, což je blízko limitu křemíku. S využitím poznatků z praxe i aktuálních trendů je poté určeno možné použití všech porovnávaných tranzistorů. V poslední části se práce zabývá zvolením vhodných budících obvodů tak, tak aby dosahovala spínací frekvence 100kHz (Si MOSFET) - 1MHz (GaN HEMT). Návrh budících obvodů zahrnuje výběr a dimenzování galvanicky izolovaného driveru, galvanicky izolovaného DC zdroje připojeného k driveru a obvodu pro generování mrtvých časů. Budící obvody mají být pro půl můstek, proto jsou navrženy zvlášť 2 budící obvody. Tyto dva obvody jsou připojeny k jednomu generátoru mrtvých časů. Završením práce pak je návrh blokového schématu pro budoucí realizaci těchto budících obvodů. Realizace již není součástí této práce. V závěru je vyhodnocena schopnost budících obvodů spínat dané tranzistory na požadovaných frekvencích.

Klíčová slova

Izolovaný driver, záporné napětí, budící obvody, blokové schéma, Křemík, Galium-nitrid, Si, GaN, výkonové tranzistory, spínací frekvence, PWM, pulsně šířková modulace, MOSFET, HEMT, FET

Abstract

This bachelor thesis is focused on the partial design of suitable driver circuits for fast switching of GaN HEMT or Si MOSFET power transistors for voltages from 100 V to 650 V and frequencies up to 1MHz. First, a thorough exploration of the technology of GaN transistors in the given frequency range is carried out, which reflects the development line of GaN transistors. Then in the same way a thorough exploration of the current Si MOSFET transistor technology is carried out, which reflects current technology and trends. As following available GaN HEMT transistors are selected so, that they are suitable to be driven at PWM frequencies about 1 MHz, for a 100 to 650 V blocking voltage and a drain current maximum of at least 45 A. After that follows selection of available Si MOSFET transistors for a 100 to 650 V blocking voltage and a drain current maximum from 45 A to 250 A so, that they are suitable to be driven at 100 kHz PWM frequency, which is close to silicon limit. Using practical knowledge and current trends, the possible use of all the compared transistors is then determined. In the last part the thesis is focused on the selection of suitable driving circuits, so that they reach a switching frequency of 100 kHz (Si MOSFET) to 1MHz (GaN HEMT). Driver circuit design includes selection and dimensioning of galvanically insulated driver, galvanically isolated DC source connected to driver and dead time generation circuit. Driving circuits are supposed to be half-bridge, so two driver circuits are designed. These two circuits are connected to one dead time generator. The conclusion of the work is the design of a block diagram for future realization of this driver circuitry. Implementation is no longer part of this work. In conclusion, the ability of driving circuits to switch the given transistors at the desired frequencies is evaluated.

Key words

Insulated driver, negative voltage, driver circuitry, block diagram, Silicon, Gallium-nitride, Si, GaN, power transistor, switching frequency, PWM, pulse width modulation, MOSFET, HEMT, FET

Prohlášení

Prohlašuji, že jsem tuto bakalářskou práci vypracoval samostatně, s použitím odborné literatury a pramenů uvedených v seznamu, který je součástí této bakalářské práce.

Dále prohlašuji, že veškerý software, použitý při řešení této bakalářské práce, je legální.

.....

podpis

V Plzni dne 13.6.2019

Alexandr Justin

Poděkování

Tímto bych rád poděkoval vedoucímu bakalářské práce Ing. Janu Štěpánkovi za cenné rady poskytnuté při zpracovávání bakalářské práce.

Obsah

OBSAH	A
ÚVOD	C
SEZNAM SYMBOLŮ A ZKRATEK	E
SLOVNÍK POJMŮ	H
1 ANALÝZA DOSTUPNÝCH GAN HEMT	1
1.1 HISTORIE GAN TRANZISTORŮ.....	1
1.1.1 <i>Vhodný substrát pro GaN tranzistory</i>	1
1.1.2 <i>AlGaIn/GaN heterostruktura</i>	2
1.2 PRINCIP HEMT.....	4
1.3 DOSTUPNÉ GAN HEMT PRO 100 AŽ 650 V A 45 A AŽ MAX. A.....	7
2 ANALÝZA DOSTUPNÝCH SI MOSFET PRO VYSOKÉ FREKVENCE	9
2.1 MOSFET JAKO ZÁSTUPCI RYCHLÝCH SI SPÍNAČŮ.....	9
2.2 PRINCIP A TYPY SI MOSFET.....	9
2.3 AKTUÁLNÍ TECHNOLOGIE SI MOSFET PRO VYSOKÉ FREKVENCE.....	12
2.3.1 <i>Trench gate MOSFET</i>	12
2.3.2 <i>Superjunction MOSFET</i>	13
2.4 DOSTUPNÉ SI MOSFET PRO 100 V AŽ 650 V A 45 A AŽ 250 A.....	14
3 POROVNÁNÍ VYSOKORYCHLOSTNÍCH SI MOSFET A GAN HEMT MEZI SEBOU	16
3.1 ZAŘAZENÍ SI MOSFET A GAN HEMT TECHNOLOGIÍ.....	16
3.2 SI VS. GAN – POROVNÁNÍ MATERIÁLŮ.....	16
3.3 PARAMETRY TRANZISTORŮ GAN HEMT VHODNÉ K POROVNÁNÍ.....	17
3.3.1 <i>Parazitní kapacity FET tranzistorů</i>	18
3.3.2 <i>Náboje tranzistoru a průběh spínání</i>	19
3.4 POROVNÁNÍ TRANZISTORŮ.....	20
3.4.1 <i>100-150V GaN HEMT</i>	21
3.4.2 <i>600-650V GaN HEMT</i>	21
3.4.3 <i>100V Si MOSFET</i>	23
3.4.4 <i>600V Si MOSFET</i>	24
3.5 MOŽNÉ POUŽITÍ TRANZISTORŮ.....	26
4 NÁVRH VHODNÝCH BUDÍCÍCH OBVODŮ	28
4.1 VÝZNAM DRIVERU A JEHO ČÁSTI.....	28
4.2 POŽADAVKY NA NAVRHOVANÝ DRIVER.....	29
4.3 DIMENZOVÁNÍ A VÝBĚR DRIVERU.....	30
4.3.1 <i>Bezpečnostní normy a ochrana proti nežádoucím stavům</i>	30
4.3.2 <i>Důležité požadavky na galvanicky oddělený driver</i>	31
4.3.3 <i>Rychlost spínání a dopravní zpoždění driveru</i>	31
4.3.4 <i>Blkové schéma vybraného driveru</i>	32
4.3.5 <i>Obvod rezistivity hradla R_G</i>	33
4.4 ZDROJ NAPÁJECÍHO NAPĚTÍ BUDIČE.....	34
4.4.1 <i>Galvanické oddělení zdroje</i>	34
4.4.2 <i>Proudové dimenzování budícího zdroje</i>	35
4.4.3 <i>Hladiny budícího napětí a výběr budícího zdroje napájení</i>	36
4.5 OBVOD PRO ZAJIŠTĚNÍ MRTVÝCH ČASŮ.....	37
4.5.1 <i>Optimální mrtvý čas</i>	38
4.5.2 <i>Výpočet mrtvých časů pro půlmůstky s 2 stejnými tranzistory</i>	39

4.6	KOMPLETNÍ BLOKOVÉ SCHÉMA	40
	ZÁVĚR	Z
	SEZNAM LITERATURY A INFORMAČNÍCH ZDROJŮ	I
	GAN HEMT TECHNOLOGIE	I
	MOSFET TECHNOLOGIE	II
	TECHNOLOGIE VMOS UMOS, TH MOSFET:	II
	SUPERPŘECHOD	II
	NEZAŘADITELNÉ	CHYBA! ZÁLOŽKA NENÍ DEFINOVÁNA.
	DĚLENÍ TRANZISTORŮ	CHYBA! ZÁLOŽKA NENÍ DEFINOVÁNA.
	POUŽITÍ TRANZISTORŮ	III
	VLASTNOSTI MATERIÁLŮ	III
	PARAMETRY TRANZISTORŮ PRO JEJICH POROVNÁNÍ S OHLEDEM NA BUZENÍ	III
	MILLERŮV EFEKT	III
	PARAMETRY	CHYBA! ZÁLOŽKA NENÍ DEFINOVÁNA.
	BUDÍCÍ OBVODY & BUZENÍ TRANZISTORŮ	III
	KATALOGOVÉ LISTY	VI

Úvod

Vybral jsem si bakalářskou práci na téma *Analýza Si MOSFET a GaN se základní topologií budících obvodů*, protože výkonová elektronika, elektronické prvky, analogová a číslicová elektronika jsou oblastmi, které mě profesně zajímají, co se týče budoucího rozvoje. Nejspíše bych rád tímto nebo podobným směrem směřoval má další studia. Cílem práce je ukázat aktuální trendy a technologii výkonových tranzistorů Si MOSFET a GaN HEMT s ohledem na nároky na jejich budící obvody. Hlavní cíl práce je návrh budících obvodů, a to na minimálně 1 MHz při spínání GaN HEMT tranzistorů a 100kHz při spínání Si MOSFET tranzistorů. Tyto budící obvody by měly být v poslední části práce navrženy ve formě blokového schématu, což je prvním krokem reálného návrhu budících obvodů. Dalším krokem by byl návrh desky plošného spoje.

Práce je rozdělena do čtyř částí:

První a druhá kapitola jsou velmi podobné a zabývají se důkladně trendy ve vývoji a aktuální technologií v praxi polovodičových tranzistorů vybraných typů: GaN HEMT a Si MOSFET, poté navazují výčtem dostupných prvků pro následující porovnání.

První kapitola je orientována na GaN tranzistory, které svými rozměry a maximálními frekvencí součástek jsou nejlepší možností z materiálů na trhu. Toho je dosaženo jak vlastnostmi GaN, tak technologií tranzistorů s heterostrukturou resp. HEMT. Kritéria pro výběr dostupných GaN HEMT jsou 100 až 600 V blokovací napětí, maximální proud drainu nejméně 45 A a možnost spínat tranzistory PWM signálem o frekvenci 1MHz.

Druhá kapitola se zabývá aktuálními technologiemi Si MOSFET tranzistorů a trendy ve vývoji, jako jsou superjunction a trench struktury. Kapitola je zakončena výčtem aktuálně dostupných prvků Si MOSFET pro blokovací napětí 100–650 V, maximální proud drainu v rozmezí 45–250 A a možnost spínání PWM signálem o 100kHz frekvenci.

Třetí kapitola se zabývá porovnáním GaN HEMT a Si MOSFET prvků, určením jejich možné spínací frekvence a porovnáním ostatních parametrů. GaN HEMT mezi sebou ani Si MOSFET mezi sebou by se neměly příliš lišit porovnávanými veličinami nebo vlastnostmi.

Napříč technologiemi se od sebe ale liší hodnotami těchto parametrů Si MOSFET od GaN HEMT. Práce by měla ukázat rozdíly v limitech vyráběných GaN HEMT a Si MOSFET. Proto je důležité jak porovnání reálných příkladů dvou technologií, tak předpoklady, jak by se tyto technologie měly lišit. Kapitola je zakončena uvedením možného použití tranzistorů v praxi.

První část **čtvrté kapitoly** je nejprve úvod do částí budících obvodů, jejich problematiky. Dále ve čtvrté kapitole následuje návrh jednotlivých částí budících obvodů a přidružených obvodů, požadavky na ně, konkrétně na budící obvody pro 100kHz PWM pro Si MOSFET a 1MHz PWM pro GaN HEMT. Kapitola je rozdělena na návrh jednotlivých částí budících obvodů. Nakonec je zkompletováno blokové schéma budících obvodů schopných funkce pro GaN HEMT i pro Si MOSFET.

V závěru následuje už jen zhodnocení použitelnosti obvodu v praxi.

Seznam symbolů a zkratek

2DEG.....	2-dimenzionální elektronový plyn (nebo též mrak)
AC	alternating current, střídavý proud
AlGaN.....	sloučenina galium-nitridu s hliníkem
APFC.....	Active Power Factor Compensation
B.....	substrát, elektroda tranzistoru
BJT	bipolar junction transistor
BLDC.....	Brushless DC – typ motoru
C_{DS}	kapacita D-S
C_{GD}	kapacita G-D = C_{Rss}
C_{GS}	kapacita G-S
C_{iss}	vstupní kapacita tranzistoru
CMOS.....	Complementary MOSFET
CMTI.....	Common Mode Transient Immunity, odolnost proti přechodným dějům
C_{oss}	výstupní kapacita tranzistoru
C_{Rss}	zpětnovazební kapacita tranzistoru (Millerova kapacita) = C_{GD}
D.....	drain, elektroda tranzistoru
DC.....	direct current, stejnosměrný proud
DPS	deska plošného spoje
EPC.....	výrobce tranzistorů - Efficient Power Conversion Corporation
eV.....	elektronvolt – jednotka energie užívaná v částicové fyzice
f_{max_PWM}	maximální možná frekvence spínání tranzistoru pro PWM
G.....	gate, elektroda tranzistoru
GaN.....	galium-nitrid
HEMT.....	High Electron Mobility Transistor
HFET.....	Heterojunction resp. Heterostructure Field Effect Transistor = HEMT
HS.....	High Side – vysoká strana půl můstku
I_{Dmax}	maximální propustný proud tranzistoru, udává se pro různé podmínky
IGBT.....	Insulated Gate Bipolar Transistor
IGBT.....	Insulated Gate Bipolar Transistor
IGFET	Insulated Gate Field Effect Transistor
INF	zkratka použitá pro tranzistor od výrobce Infineon v aktuální podkapitole, který je zobrazeno vždy v tabulce v kapitole
IXYS1.....	zkratka použitá pro jeden z tranzistorů od výrobce IXYS v aktuální

podkapitole, který je zobrazeno vždy v tabulce v kapitole

IXYS2..... zkratka použitá pro druhý z tranzistorů od výrobce IXYS v aktuální podkapitole, který je zobrazeno vždy v tabulce v kapitole

JFET..... Junction Field Effect Transistor

KOH hydroxid draselný

LDMOSFET..... Laterally Diffused MOSFET

LS Low Side – nízká strana pólůmůstku

MISFET Metal Insulated Semiconductor Field Effect Transistor

MODFET..... Field Effect Transistor (Tranzistor řízený elektrickým polem)

MODFET..... Modulation Doped Field Effect Transistor

MOSFET..... Metal Oxide Semiconductor Field Effect Transistor, někdy označován jako *IGFET* nebo *MISFET*

NA Not Available, česky: nedostupné

ONS zkratka použitá pro tranzistor od výrobce ON semiconductor v aktuální podkapitole, který je zobrazeno vždy v tabulce v kapitole

PSP..... periodická soustava prvků

PWM..... Pulse-width modulation, pulsně-šířková modulace

Q_G..... náboj potřebný k přebití *C_{iss}* o hodnotu napětí dle katalogových listů

Q_{RR} náboj zpětného zotavení, parametr parazitních diod tranzistorů

R_{DS(on)}..... odpor tranzistoru v cestě D-S

RF..... radio frekvenční spektrum, 20kHz až 300 GHz

R_G externí odpor připojený k G elektrodě

S source, elektroda tranzistoru

SiC..... karbid křemíku

SJ-MOSFET..... Superjunction MOSFET, MOSFET se speciálním D-S přechodem - superpřechodem

SMPS..... Switch Mode Power Supply

STT zkratka použitá pro tranzistor od výrobce ST v aktuální podkapitole, který je zobrazeno vždy v tabulce v kapitole

t_{d(off)} čas zpoždění vypnutí tranzistoru

t_{d(on)}..... čas zpoždění zapnutí tranzistoru

t_f..... čas doběhu, čas vypnutí (*fall* = vypnutí tranzistoru)

TGMOSFET..... Trench-gate MOSFET

TIT..... zkratka použitá pro tranzistor od výrobce TI v aktuální podkapitole,

který je zobrazeno vždy v tabulce v kapitole

t_r čas náběhu, čas zapnutí (rise = zapnutí tranzistoru)

TSH zkratka použitá pro tranzistor od výrobce Toshiba v aktuální podkapitole, který je zobrazeno vždy v tabulce v kapitole

UMOSFET zkráceně UMOS, to stejné jako TGMOSFET

UVLO Undervoltage Lockout, podpěťový ochranný vypínač

V_{DS} napětí přiložené k D-S elektrodám tranzistoru

V_{DSS} Průrazné napětí V_{DS} tranzistoru

$V_{GS(th)}$ prahové spínací napětí tranzistoru

VMOSFET MOSFET s drážkovou gate elektrodou ve tvaru V

WBG Wide Band Gap (Široký zakázaný pás)

Slovník pojmů

anizotropický znamená závislost dané veličiny na volbě směru

buffer vrstva mezi substrátem a vodivým kanálem heterostruktury

difuze přesun elektronů vlivem rozdílné elektronové hustoty

d-mode depletion mode, označení pro normally-on tranzistor

drain, D elektroda tranzistoru, do které vtéká řízený elektrický proud tranzistoru

drift přesun elektronů vlivem působení elektrického pole

e-mode enhancement mode, označení pro normally-on tranzistor

energetický stav aktuální energetická hladina na které se vyskytuje elektronu

epitaxe je proces, při němž bezprostředně na krystalické mřížce substrátu roste tenká krystalická vrstva jiného polovodičového materiálu.

Fermiho hladina imaginární energetická hladina na které se nejpravděpodobněji vyskytuje náhodný elektron

gate, G řídicí elektroda – používáno především u unipolárních tranzistorů

heterostruktura struktura vrstev s rozdílným zakázaným pásem naskládaných na sobě v tranzistoru, která vytváří 2DEG vodivý kanál mezi D-S

kaskoda druh zapojení dvou tranzistorů viz kapitola 1.2

lab-on-chip plno měřících přístrojů integrovaných do čipu

millerovo plato z anglického Miller plateau, časový interval během nabíjení G, kdy je V_G téměř konstantní

n-GaN GaN tranzistor s kanálem z polovodiče typu N

n-kanál kanál tranzistoru z polovodiče typu N

NMOS MOSFET tranzistor s kanálem z polovodiče typu N

normally-off označení tranzistoru, který bez přiloženého napětí je zavřený (off)

normally-on označení tranzistoru, který bez přiloženého napětí je

otevřený (on)

off-board..... to co není na „palubě“ (angl. board) auta, např. nabíjecí síť

p-GaN GaN tranzistor s kanálem z polovodiče typu P

pinch-off efekt způsobující uzavření kanálu vlivem jeho deformace v elektrickém poli, efekt známý zejména z JFET tranzistorů.

p-kanál kanál tranzistoru z polovodiče typu P

PMOS MOSFET tranzistor s kanálem z polovodiče typu N

saturace stav nasycení elektrického pole, stav kdy zvýšení intenzity elektrického pole již jen zanedbatelně zvyšuje rychlost elektronů

Saturační rychlost elektronů Rychlost elektronů ve stavu saturace

shoot-through zkratování zdroje, který spínají tranzistory v půl můstku

source, S elektroda tranzistoru, ze které vytéká řízený elektrický proud tranzistoru

substrát, B..... (angl. Body) polovodičová destička, základ pro polovodičovou součástku

wurtzit..... druh krystalické struktury

Zakázaný pás pás energetických hladin polovodiče, kde se elektrony nevyskytují

1 Analýza dostupných GaN HEMT

1.1 Historie GaN tranzistorů

V průběhu posledních třiceti let se technologický vývoj v oblasti polovodičových součástek soustředil hlavně na zvýšení efektivity a snížení výrobních nákladů křemíkových tranzistorů řízených elektrickým polem (MOSFET), které v sedmdesátých letech nahradily bipolární tranzistory. V současnosti však vývoj Si-MOSFET dosáhl teoretické hranice, a tak se elektrotechnický průmysl začal soustředit na jiné typy polovodičových součástek složených z nitridu galia (GaN) nebo karbidu křemíku (SiC) [5].

První high electron mobility tranzistory (HEMT) nové generace polovodičových součástek na bázi GaN se začaly objevovat kolem roku 2004, přičemž na trh je přinesla japonská firma Eudyna Corporation. Struktura byla navržena na základě jevu popsáném vědeckými skupinami pod vedením T. Himura a MA Khana, přičemž byl pozorován jev neobvykle vysoké pohyblivosti elektronů blízko mezifáze AlGa_N/Ga_N heterostruktury a tato oblast elektronů byla nazvána jako dvojdimenzionální elektronový mrak (2DEG) [5].

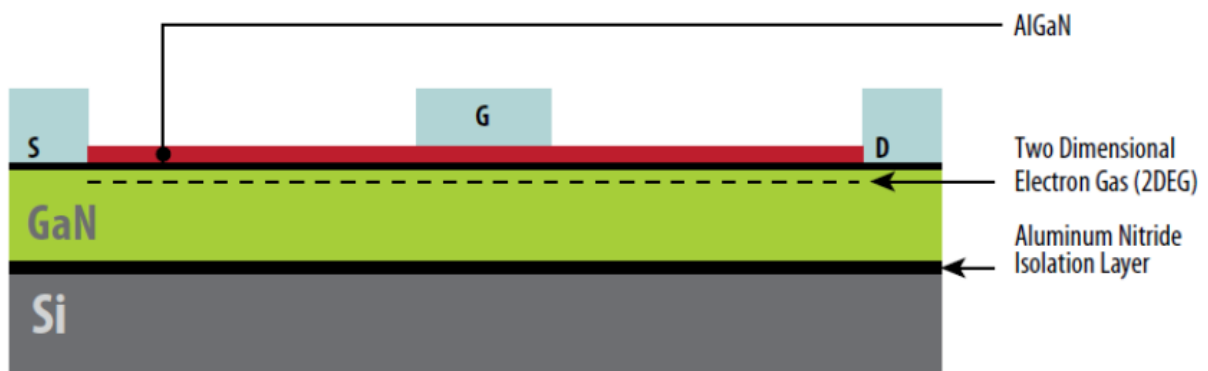
V červnu 2009 přinesla firma Efficient Power Conversion Corporation (EPC) na trh první zdokonalení původních GaN tranzistorů v podobě eGaN[®] tranzistorů řízených elektrickým polem (FET), které měly nahradit Si-MOSFET tranzistory. Základní požadavky trhu na nové typy polovodičových součástek jsou vysoká výkonnost, spolehlivost a ovladatelnost (rychlost spínání), nízké náklady na výrobu, nízká hmotnost, objem a cena součástek [5][3].

1.1.1 Vhodný substrát pro GaN tranzistory

AlGa_N/Ga_N heterostruktura bývala původně vrstvená na korundový substrát (Al₂O₃), který byl však časem zaměněn za jiné materiály. Nejlepší materiál pro základní substrát by byl samotný GaN (nebo AlN), který by eliminoval nutnost AlN mezivrstvy. Ta je prostředníkem při propojení krystalových fází GaN a Si. Pokud by se fáze dost dobře nepropojily, docházelo by k nepřípustnému namáhání součástky vlivem tepla, vlhka i elektrického proudu a narušování krystalové mřížky GaN popřípadě AlGa_N na Si (i Si mřížky). GaN by také poskytoval dobrou kontrolu polarizace heterostruktury, avšak výroba GaN ve větších vrstvách je nákladná, a proto zatím nedostupná. Řešením pro lepší cenovou

dostupnost se zdá být monolitický obvod s výkonovým spínacím GaN prvkem a řídicími obvody na jedné platformě substrátu GaN, což by značně (až 5x) zrychlilo efektivní spínání součástky oproti spínání externími Si MOSFET obvody. Dokonce by to i mohlo snížit celkovou cenu GaN tranzistoru s budičem [1].

Zatím nejčastěji používané materiály substrátu jsou karbid křemíku (SiC) a křemík (Si; na obr. 1.1). SiC oproti Al_2O_3 způsobuje menší deformaci GaN mřížky a vyšší tepelnou konduktivitu, což mu dodává výhodu při výkonových a vysokoteplotních aplikacích. Podobně jako korundový substrát, i SiC je drahý a dostupný jen ve vrstvách s malou plochou. Na druhé straně, Si je levným materiálem s dobrou tepelnou konduktivitou, ovšem, má vysokou tepelnou roztažnost a velký vliv na deformaci krystalové mřížky GaN, v důsledku čehož dochází k praskání vrstev vzhledem k tomu, že epitaxní růst heterostruktur se provádí při teplotách okolo $1000\text{ }^\circ\text{C}$ [1].

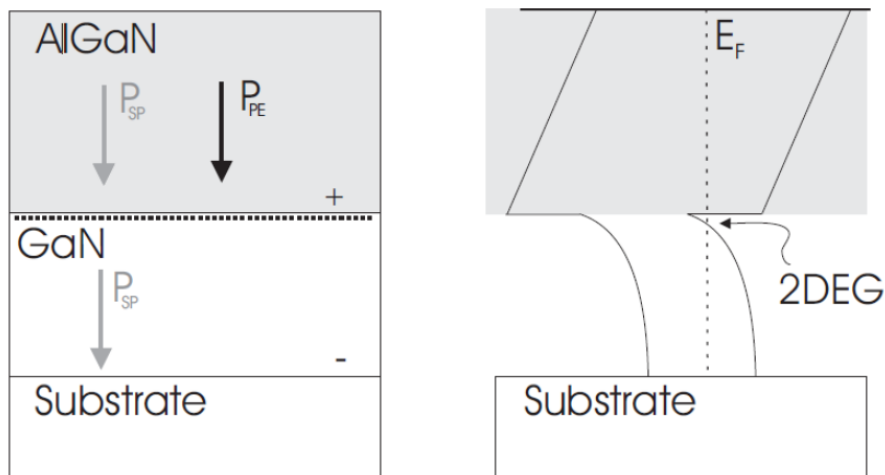


Obr. 1.1 Typická struktura AlGaN/GaN HFET na Si substrátu se třemi metalickými kontakty: S - source, D - drain, G - gate. [5]

1.1.2 AlGaN/GaN heterostruktura

Pro nitridové polovodiče ze skupiny III je typická hexagonální struktura wurtzitu. V GaN struktuře se nachází široký zakázaný pás elektronů a spolu s dobrými elektrickými vlastnostmi to poskytuje GaN tranzistorům atraktivnost při použití v elektronických zařízeních [1].

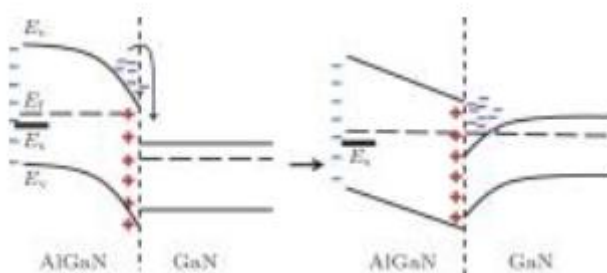
Heterostruktura GaN tranzistorů je tvořena dvěma polovodiči s rozdílnou hodnotou energie zakázaného pásma, permitivitou a elektronovou afinitou. Při kontaktu polovodiče se širokým zakázaným pásmem s polovodičem s úzkým zakázaným pásmem nastane



Obr. 1.2 Polarizace heterostrukury AlGaN/GaN vlevo a energetický pásový model znázorňující fermiho hladinu E_F a oblast zakázaného pásu po vytvoření 2DEG vpravo [1]

diskontinuita mezi vodivými a valenčními vrstvami obou polovodičů, což v blízkosti jejich kontaktu vytvoří trojúhelníkovou kvantovou díru a na tomto spoji se vytvoří 2DEG, elektronový plyn podobný svou vodivostí elektrickému oblouku (plazmatu). Pokud je polovodič se širokým zakázaným pásmem polarizován, dochází k odtržení elektronů z donorových atomů a ty se shromažďují na rozhraní AlGaN/GaN v podobě 2DEG ve snaze vyrovnat náboj viz obr. 1.2 [1].

Energetický zakázaný pás samostatně stojícího GaN polovodiče je souběžný s Fermiho hladinou viz obr. 1.3 vlevo, ale spojením s AlGaN dojde k přesunu elektronů z AlGaN do povrchu GaN viz obr. 1.3 vpravo. To je způsobeno větší hustotou volných elektronů AlGaN, díky tomu, že obsahuje kov – hliník, v důsledku čeho má vyšší Fermiho hladinu.



Obr. 1.3 Změna energetických hladin při spojení AlGaN s GaN [6]

Po spojení materiálů ale dochází ke dvěma majoritním jevům, které způsobují ustálený cyklický přesun elektronů:

1) Difuze elektronů z AlGaN do GaN, která způsobuje naklonění vodivostního pásu AlGaN směrem ke GaN a zanechání kladných donorových nábojů na povrchu AlGaN ze strany GaN. Některé z elektronů unášené difuzním proudem dojdou dále do GaN.

2) Drift elektronů z GaN do AlGaN: Elektrony z GaN jsou přitahovány kladným nábojem na povrchu AlGaN (drift elektronů) a vytrhávány z donorových atomů GaN, některé z elektronů jsou odváděny až do AlGaN, ale následně jsou difuzním mechanismem vráceny zpět. Driftem vytržené elektrony po sobě zanechávají kladné náboje donorů v GaN, čímž je vodivostní pás na *obr. 1.3 vpravo* výš než obvykle.

Oba tyto mechanismy probíhají zároveň a unášejí elektrony opačnými směry. Jako výsledek přebytku elektronů se vodivostní pás v GaN, u povrchu styčné plochy AlGaN a GaN, posune pod Fermiho hladinu a nahne zakázaný pás (zároveň s vodivostním pásem) a to až pod Fermiho hladinu, kde je tak vytvořen 2 rozměrný elektronový plyn (2DEG). Elektrony se drží v 2DEG mechanismy driftu a difuze, protože jejich přirozeností je nabytí co nejnižších energetických stavů [6].

1.2 princip HEMT

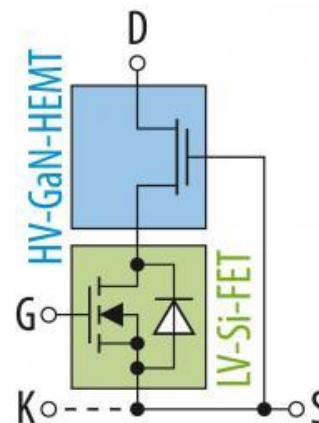
Jak je možné vidět na *obr. 1.1* (struktura), elektrody S a D procházejí AlGaN vrstvou a tvoří ohmický kontakt s 2DEG, čímž se mezi těmito dvěma elektrodami vytvoří obvod, dokud se elektrony nevyčerpají a následně polovodivý krystal může blokovat elektrický proud. Tok elektronů skrz kanál tvořen vrstvou 2DEG tak je kontrolován G elektrodou připojenou na povrch AlGaN vrstvy. Proud mezi S a D elektrodami je ovlivněn nábojem AlGaN/GaN heterostruktury, který se mění v závislosti na napětí aplikovaném na G kontakt. [1][5].

Napětím přiloženým na G lze náboj přičerpat, nebo odčerpat. V závislosti na napětí aplikovaném na G za účelem sepnutí se rozlišují dva typy GaN tranzistorů:

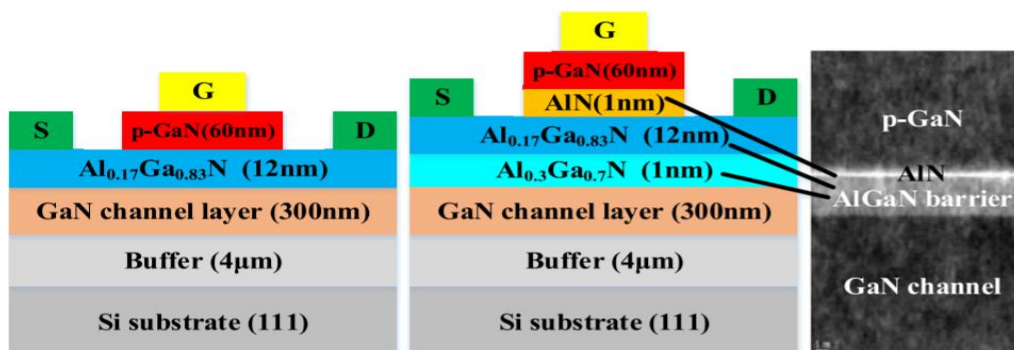
- **depletion mode (d-mode)** - Tento tranzistor je standardně v zapnutém stavu a vede elektrony. Při aplikaci záporného napětí na elektrodu G, relativně k D a S elektrodám, se tranzistor přepne do vypnutého stavu v důsledku vyčerpání elektronů z 2DEG. Kvůli tomu, že k vypnutí d-mode typu dochází až při aplikaci záporného napětí na G, je tato součástka

samostatně nevyužitelná pro výkonové aplikace. Často se proto d-mode GaN HEMT spojují s nízko-napěťovým MOSFET tranzistorem do kaskody, čímž se dosáhne za standardních podmínek vypnutý stav GaN tranzistoru a toto spojení přináší výhody obou typů tranzistorů, GaN, i MOSFET [5][2].

- **enhancement mode (e-mode)** - E-mode součástka je standardně ve vypnutém stavu a k zapnutí dochází až při aplikování pozitivního napětí na G kontakt. Toho se většinou dosahuje tím, že gate je připojen k AlGaN vrstvě přes p-GaN polovodič viz *obr. 1.5*. Existuje způsob vytvoření e-mode GaN HEMT tranzistoru starší než samotný HEMT tranzistor, byl totiž používán i u jiných typů tranzistorů. Tento způsob je zapojení do kaskody. Jde o spojení vysokonapěťového HEMT d-mode tranzistoru v sériovém spojení s nízkonapěťovým e-mode MOSFET tranzistorem viz *obr. 1.4*. MOSFET zajišťuje, že výsledné spojení je e-mode a d-mode HEMT tranzistor zajišťuje vysoké blokovací průrazné napětí Původní výhody kaskody pro



Obr. 1.5 Kaskoda složená z N-kanálového d-mode GaN HEMT a e-mode N-kanálového Si MOSFET tranzistoru [71]

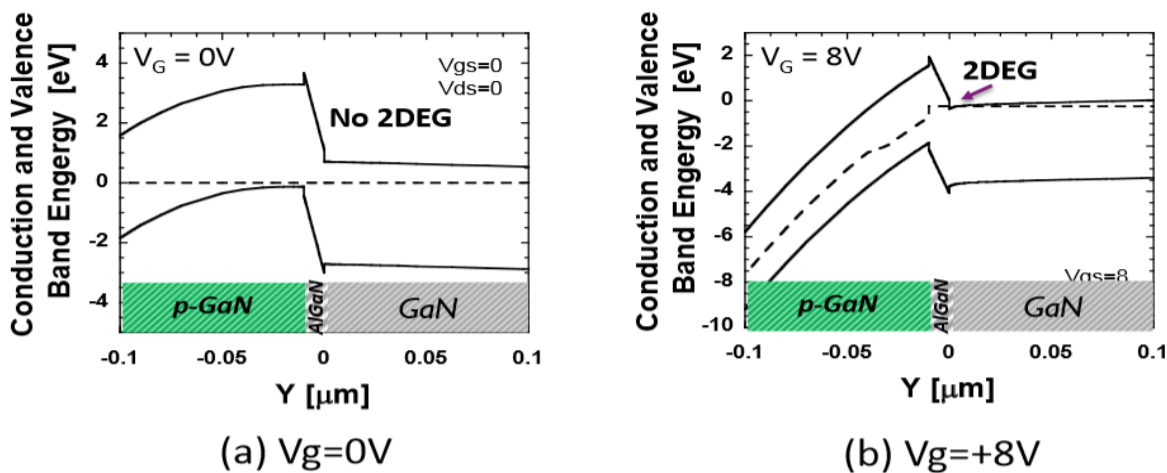


Obr. 1.4 Průřezy dvou příkladů struktury enhancement mode GaN a mikroskopický snímek průřezu strukturou [7]

jiné zesilovače jsou potlačení zpětnovazební Millerovy kapacity a možnost většího napěťového zesílení, než má samotný tranzistor na vstupu kaskody. Pro spínací účely GaN HEMT má kaskoda význam jen jako úprava d-mode tranzistoru do e-mode podoby. Jiné výhody jsou pomalejším MOSFET tranzistorem negovány. Například výhoda nízké zpětnovazební kapacity kaskody je malá oproti výhodě prakticky nulového náboje zpětného zotavení samotného GaN HEMT. Parazitnímu sepnutí GaN HEMT přes zpětnovazební kapacitu lze zamezit méně strmými spínacími hranami u samotného GaN HEMT, ale kvůli zotavení parazitní diody Si MOSFET tranzistoru v kaskodě by spínací hrany musely být ještě méně strmé. Proto je toto zapojení spíše nevýhodné, protože spojení tranzistorů je

pomalejší než samotný HEMT tranzistor. Existují ještě p-kanálové HEMT tranzistory, které jsou přirozeně e-mode, ale mají nízké průrazné napětí a proto se přestaly používat ve výkonové elektronice [7][2][30][71].

Na rozdíl od P-kanálového, P-gate (P-GaN vrstva pod G elektrodou) viz *obr. 1.5* funguje na základě použití kladného potenciálu p-dotovaného GaN polovodiče na G elektrodě a ne ve vrstvě 2DEG kanálu. Kdyby byl 2DEG kanál bez P-gate, tak by se po připojení kladného napětí mezi D a S elektrodami a vlivem následné změny potenciálu mezi D a S elektrodami, vytvořil v 2DEG elektrický proud viz *obr. 1.3*. Přidáním P-GaN vrstvy pod G jsou však elektrony odčerpány z 2DEG a přitahovány k P-GaN vrstvě, která má kladný náboj vlivem P-dotování viz pásový diagram na *obr. 1.6 a*). Díry vzniklé po elektronech vytváří zdánlivý přesun (hýbou se elektrony, ne kladný náboj) kladného náboje od P-GaN u gate směrem k 2DEG. Jako důsledek toho jsou elektrony z 2DEG spotřebovány na vyrovnání náboje pod G elektrodou. Pak energie 2DEG n-kanálu bez připojeného napětí již je větší než energie Fermiho hladiny, proto i po připojení napětí na výstup není kanál tranzistoru vodivý [1][7][30][10].



Obř. 1.6 Simulované stavy pásového diagramu pod G elektrodou napřič vrstvami až k substrátu pro GaN HEMT s p-GaN vrstvou na G elektrodě a) s nulovým napětím na G a b) změna energetických hladin tranzistoru po připojení kladného napětí $U_G = +8V$ [10].

Proud ve směru D-S, se po přidání P-GaN vrstvy dá vyvolat pouze kladným napětím na G viz *obr. 1.6 b*). To sníží energii vodivostního pásu v GaN tak, že klesne pod Fermiho hladinu a zprůchodní 2DEG kanál pod G. Na *obr. 1.6 b*) byla posunuta Fermiho hladina o hodnotu přibližně 8 eV vlivem připojeného napětí 8 V, ve vakuu by to bylo přesně 8 eV. Kladné napětí na G v tomto případě odsává elektrony především z P-GaN a AlGaIn, ale i z GaN vrstvy. Energie přibližně 8 eV je dodána elektronům u G a tím je způsobeno, že

elektrony u G potřebují v průměru o přibližně 8 eV nižší energii, aby došlo k jejich excitaci. To je v podstatě to samé jako posun Fermiho hladiny o -8eV [1][7][30][11].

1.3 Dostupné GaN HEMT pro 100 až 650 V a 45 A až max. A

GaN součástky jsou na trh dodávány několika firmami, např. Transphorm, EPC, Panasonic, Infineon, GaN Systems, Visic Technologies, Dialog semiconductor, Navitas, Avogy, MicroGaN, Velox semiconductor, Fujitsu, TI, MACOM, NXP, Wolfspeed (Cree) a další, přičemž každý výrobce přináší odlišnou kombinaci designu a výrobního procesu. Díky potřebě vysoce výkonných tranzistorů v automobilovém průmyslu, několik nadnárodních společností jako Google, BMW nebo Delta Electronics v současnosti investuje do vývoje GaN polovodičových součástek [3].

Dostupné GaN tranzistory v určeném rozsahu napětí a proudů jsou dimenzovány na napětí ve dvou relativně porovnatelných rozmezech, proto bude porovnání rozděleno do dvou částí. Jedno rozmezí dle blokovacího napětí je 600 až 650 V (tab. 1.I) a druhé je 100 až 150 V (tab. 1.II). Analýza provedena dle katalogových listů [66][67][68][69][70][71].

V *tab. 1.I* jsou hodnoty jako časy, kapacity a náboje uvedené pro zdroj napětí 400 V připojeném k výstupu tranzistoru a v *tab 1.II* jsou uvedené pro zdroj napětí na výstupu 70 V. V *tab 1.II* nejsou parametry $t_{d(on)}$, $t_{d(off)}$, t_r , t_f , a I_{Gpuls} , protože nejsou výrobci udávány pro tyto tranzistory. Časy, kapacity a náboje byly podle katalogových listů všech tranzistorů měřeny při 1 MHz, proto lze očekávat, že budou schopny fungovat na této frekvenci jako PWM spínače. U všech tranzistorů jsou uvedeny proudy při 25°C a pokud to výrobce uváděl, tak i při 100°C. Pokud hodnota nebyla v datových listech, pole je označeno jako NA (Not Available). Tranzistory ve srovnatelných napěťových hladinách lze tedy bez problémů porovnat [66][67][68][69][70][71].

Pro dopočty proudů při jiných teplotách byl použit vzorec vycházející z ekvivalentu Ohmova zákona pro tepelné obvody v kombinaci se vzorcem výpočtu Jouleových ztrát:

$$I_D(T_c) = \sqrt{\frac{T_c - T_j}{R_{TH(j-c)}(T_j) \times R_{DS(on)}}} \quad (1.7)$$

Tab. 1.I Porovnání dostupných GaN tranzistorů pro 600V – 650V a 45A nebo více,

katalogové listy: [68][69][70][71].

Název	PGA26E07BA	IGT60R070D1	GS66516B	TP65H035WS
Výrobce	Panasonic	Infineon	GaN Systems	Transphorm
Struktura	N, e-mode	N, e-mode	N, e-mode	Kaskoda
V_{DSS} [V]	600	600	650	650
V_{GS} [V]	-10V / NA	-10V / 7V	-10V / 7V	-20V / 20V
$V_{GS(th)}$ [V]	1,2(25°C)	1,2(25°C)	1,3(25°C)	4(25°C)
I_{Dmax} [] kontinuální	26 (25 °C) NA (100 °C)	31 (25 °C) 20 (100 °C)	60 (25 °C) 47 (100 °C)	46,5 (25 °C) 29,5 (100 °C)
$R_{DS(on)}$ [mΩ]	110 (150 °C)	100 (150 °C)	65 (150 °C)	72 (150 °C)
R_G [Ω]	0,6	0,78	0,34	NA
Q_G [nC]	5 (400 V)	5,8 (400 V)	12,1 (400 V)	24 (400 V)
Q_{rr} [nC]	0	0	0	178
C_{iss} [pF]	405	380	405	1500
C_{oss} [pF]	71	72	71	190
C_{Rss} [pF]	0,4	0,3	0,4	10
$t_{d(on)}$ [ns]	3,7	15	4,6	69
$t_{d(off)}$ [ns]	5,5	15	14,9	98,5
t_r [ns]	5,6	9	12,4	13,5
t_f [ns]	2,4	13	22	11,5

Tab. 1.II Porovnání dostupných GaN tranzistorů pro 100 a 150V v rozsahu 45A až max. proud, katalogové listy: [66][67].

Název	EPC2033	GS61008T
Výrobce	EPC	GaN Systems
Struktura	N, e-mode	N, e-mode
V_{DSS} [V]	150	100
V_{GS} [V]	-4V / 6V	-10V / 7V
$V_{GS(th)}$ [V]	1,4 (25 °C)	1,3 (25 °C)
I_{Dmax} [] kontinuální	48 (25 °C) NA (100 °C)	90 (25 °C) 65 (100 °C)
$R_{DS(on)}$ [mΩ]	5 (25°C) 9,4 (150°C)	9 (25°C) 24,5 (150°C)
R_G [Ω]	0,5	0,64
Q_G [nC]	12	12
Q_{rr} [nC]	0	0
C_{iss} [pF]	1160	590
C_{oss} [pF]	550 (z grafu)	250(z grafu)
C_{Rss} [pF]	6	8

2 Analýza dostupných Si MOSFET pro vysoké frekvence

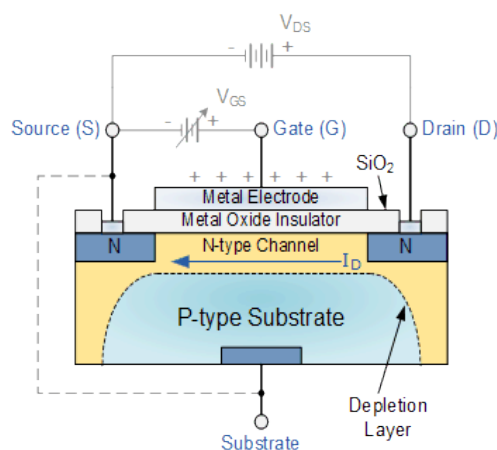
2.1 MOSFET jako zástupci rychlých Si spínačů

V praxi používané výkonové Si tranzistory mimo RF spektrum jsou jen MOSFET a IGBT. Oba typy jsou řízeny napětím, to ve výsledku znamená, že proud teče do hradla pouze při přepínání (nabíjení / vybíjení vstupní kapacity). Výsledkem je snížení spotřeby řídicí elektrody, větší zesílení a vyšší efektivita [29][46].

Tranzistor MOSFET má oproti IGBT výhodu, že u něj nenastává jev „doznívání proudu“, takže jej lze spínat rychleji a s menšími spínacími ztrátami než IGBT. Lze to i navzdory tomu, že MOSFET mají interní antiparalelní diodu, která zpomaluje spínání (viz kapitola 3.2.5 *Náboj zpětného zotavení*), ale je vhodné použít tzv. měkké spínání nebo též spínání při nulovém napětí V_{DS} . Další vlastností MOSFET tranzistorů je, že mají kladný teplotní koeficient, čímž se v nich omezí proud, pokud se zahřejí. To je vhodné pro paralelní řazení součástek. Díky této vlastnosti a pokročilé technologii výroby lze jednoduše odpor kanálu snižovat na požadovanou hodnotu [29][46].

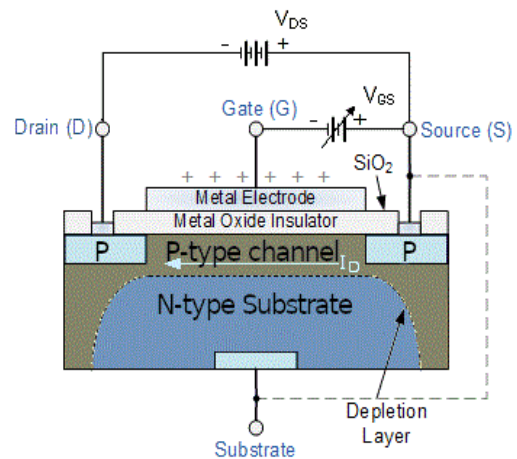
2.2 Princip a typy Si MOSFET

Na obr. 2.1 je vyobrazena základní struktura N-kanálového MOSFET (Metal Oxide Semiconductor FET) jinak také NMOS tranzistoru. Elektrody S a D jsou kovové kontakty připojené do epitaxi vytvořených vrstev typu N a elektroda G je izolována pomocí oxidu kovu. Základ N-kanálového MOSFET je polovodič typu P. Pokud je připojeno kladné napětí V_{GS} ve směru od G k substrátu, jsou elektrony přitahovány ke G elektrodě. Takto nahromaděné elektrony změny typu polovodiče pod kontaktem G z P na N a vytvoří vodivý kanál typu-N (e-mode). Je důležité, aby tyto vrstvy a kanál měly stejný typ polovodivosti. Jedině tak je mezi D a S po připojení kladného napětí na G vytvořen jeden souvislý polovodič typu N, který může vést elektrony viz vyznačený směr I_D [14][15].



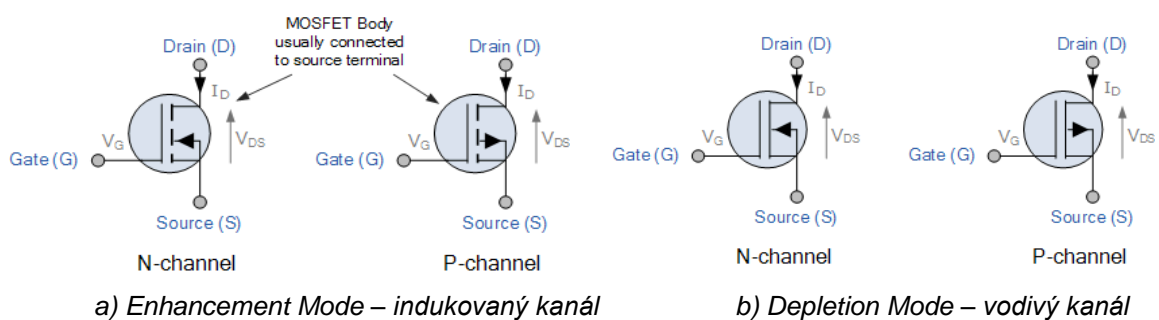
Obr. 2.1 Průřez N-kanálovým MOSFET s horizontální (nebo též laterální) strukturou [15]

PMOS (MOSFET s kanálem typu P) viz obr. 2.2 je tranzistor, který má všechny typy dotací polovodičů opačné než NMOS. U PMOS teče proud od S k D. Vzhledem k tomu, že minoritními nosiči v polovodiči typu N jsou díry, je potřeba přiložit na G záporné napětí V_{GS} , které přitáhne kladný náboj děr ze substrátu a otevře kanál (e-mode). U obou typů MOSFET je základní substrát připojen k S. Díky tomu lze využít jednu z antiparalelních diod MOSFET struktury jako zpětnou [14][15].

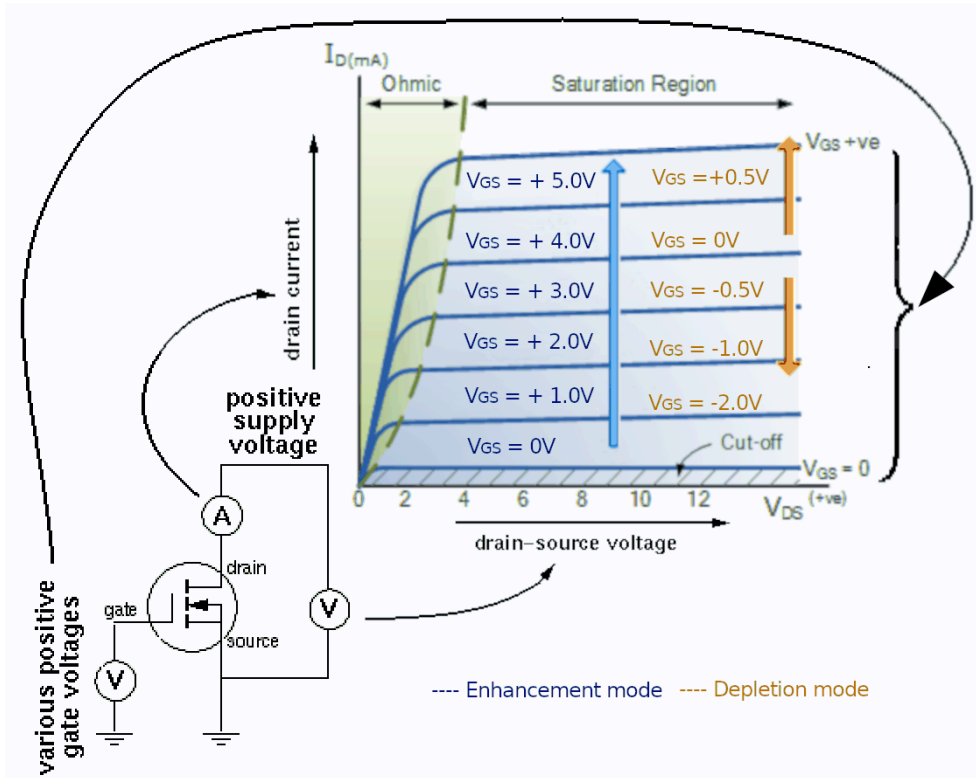


Obr. 2.2 Průřez P-kanálovým MOSFET s horizontální (nebo též laterální) strukturou, přetvořeno z obr. 2.1 v Gimp - autor

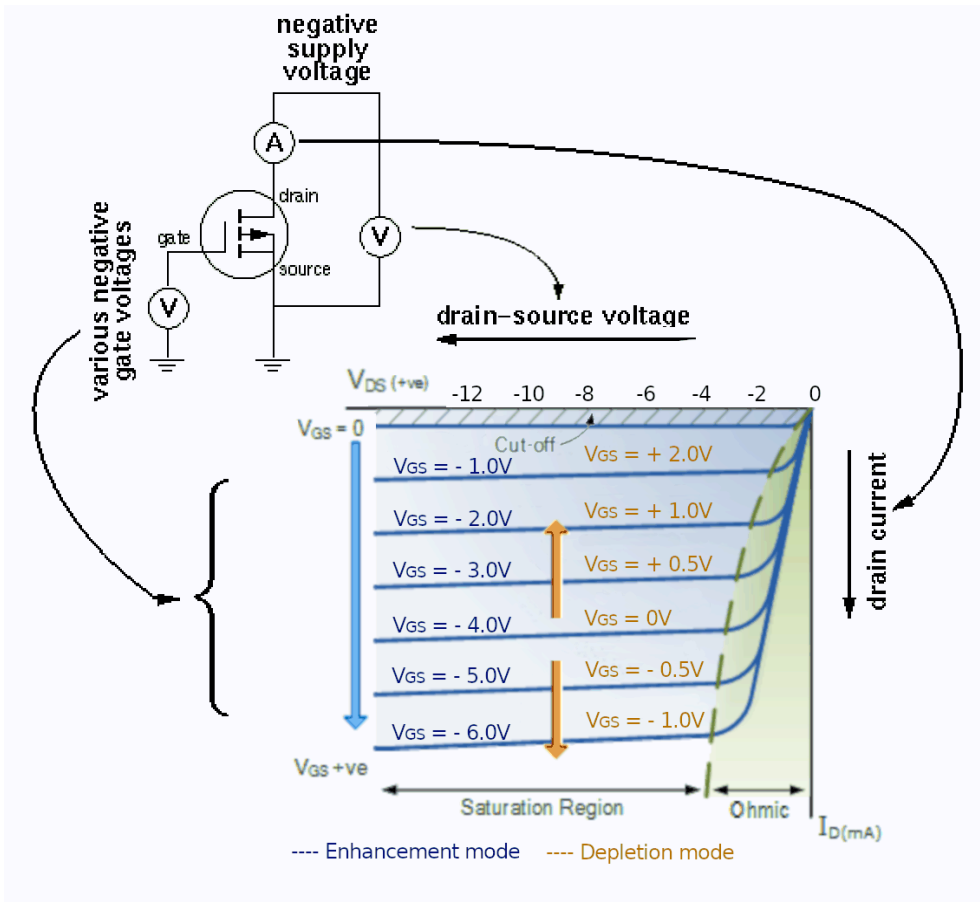
MOSFET tranzistory se vyrábějí ve čtyřech konfiguracích vodivosti bez připojeného napětí viz obr. 2.3. Jak u P, tak u N typu MOSFET se dá vytvořit e-mode (s indukovaným kanálem), jehož princip byl popsán výše v této kapitole, nebo d-mode (s vodivým kanálem), stejně tak jako u GaN HEMT tranzistorů. Z výstupních charakteristik na obr. 2.4 a 2.5 je vidět rozdíl v chování tranzistorů e-mode a d-mode pro PMOS i NMOS. Aby d-mode NMOS nevodil, je potřeba z kanálu odčerpat elektrony připojením záporného napětí na G. U D-mode PMOS je, přesně naopak než u NMOS, kladným napětím V_{GS} způsobeno zaplavení kanálu elektrony a přesun děr na druhou stranu do substrátu [14][15].



Obr. 2.3 Schématické značky MOSFET tranzistorů podle výchozího stavu sepnutí [15]



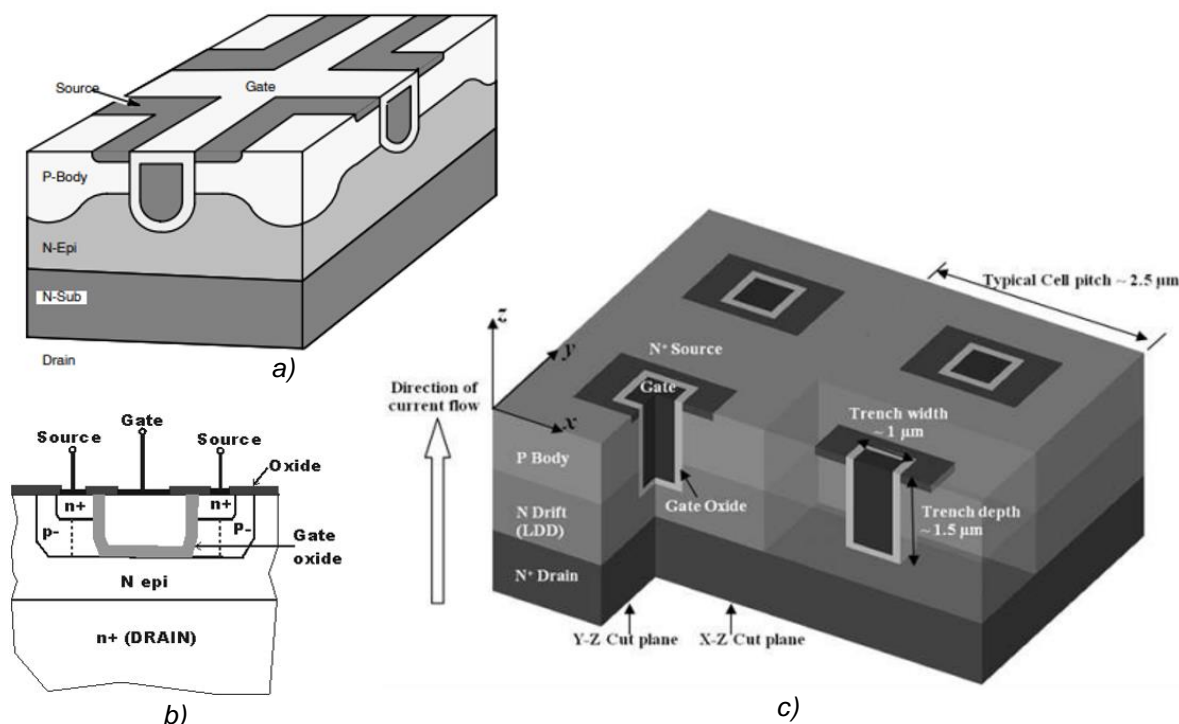
Obr. 2.4 Charakteristiky a typické zapojení (se společným emitorem) pro N-kanálový MOSFET [15][30].



Obr. 2.5 Charakteristiky a typické zapojení (se společným emitorem) pro P-kanálový MOSFET [15][17].

2.3 Aktuální technologie Si MOSFET pro vysoké frekvence

2.3.1 Trench gate MOSFET



Obr. 2.6 TrenchMOS struktura; a) 3d model jednoho typu struktury [38], b) průřez [41], c) 3d model druhého typu struktury [40]

Stejně jako pro frekvence v RF spektru jsou používány LDMOSFET (Laterally Diffused MOSFET) a VMOSFET (V drážka pro G u MOSFET), tak Trench-gate MOSFET (TG MOSFET), též zvané UMOSFET (UMOS) jsou používány pro frekvence od cca 100 kHz do 5 MHz. Všechny zmíněné architektury MOSFET jsou používány ve výkonové elektronice [18][22].

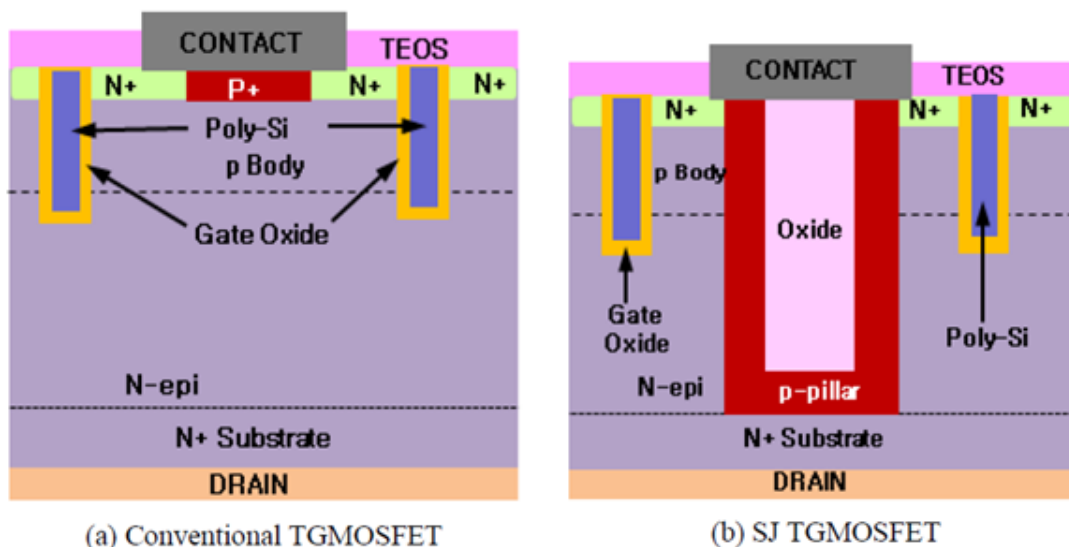
TG MOSFET, je vertikální architektura MOSFET, která z mnoha možností výkonových MOSFET architektur poskytuje nejnižší $R_{DS(on)}$ [19].

G elektroda TG MOSFET je tvořena drážkou, která je pokryta izolační vrstvou oxidu následovaným již samotnou kovovou elektrodou. Drážka je nejprve vyfrézována a poté pokovena. Krom frézování lze drážku vytvořit i anizotropickým leptáním pomocí koncentrovaného KOH [18].

Pro dobrou říditelnost spínání a z důvodu požadavku vysokých proudových hustot, jsou vytvářeny TGMOSFET jako spojení mnoha TGMOSFET vedle sebe do plochy. Jedna strana plochy je pak D a druhá S, ve které jsou vytvořeny desítky až stovky drážek G [19].

Princip TG MOSFET spočívá ve větší hloubce G. Proto je G blíže k D elektrodě a to napomáhá sepnutí tranzistoru při menším napětí G. Trench gate také pomáhá oddálit úplné uzavření kanálu k vyšším V_{GS} . K tomuto uzavření dochází vlivem deformace kanálu v elektrickém poli – pinch-off efektu. Odstraněním pinch-off efektu lze rapidně zvýšit hustotu nosičů náboje v kanálu a tak snížit odpor $R_{DS(on)}$, což je výhodné jak z hlediska ceny, tak výkonu [37][22].

2.3.2 Superjunction MOSFET



Obr. 2.6: Architektura a) konvenčního TGMOSFET a b) SJ TG MOSFET [75]

Princip SJ MOSFET (viz architektura na obr. 2.6) je založen na kompenzaci nábojů. Region driftu elektronů D-S má vytvořených mnoho P mezi-sloupců, které vyrovnávají přebytečný náboj v okolních N sloupcích, pokud je přiloženo záporné napětí V_{DS} . Tím je zajištěno rovnoměrné rozložení elektrického pole. Jako výsledek může epitaxní N vrstva být tenčí a více dopovaná, jelikož kombinovaná struktura poskytuje mnohem větší odolnost vůči průrazu záporným napětím V_{DS} . Čip tak může být až 2,5x menší při stejném maximálním V_{DS} .

Při porovnání pro stejné blokovací průrazné napětí V_{DS} a stejnou velikost desky základního substrátu poskytuje SJ MOSFET technologie oproti planárním MOSFET a

TGMOSFET nižší $R_{DS(on)}$ a menší kapacity (proto i náboje). $R_{DS(on)}$ je nižší díky silné dotaci N epitaxní vrstvy. Kapacity jsou nižší díky tenčí epitaxní vrstvě. Například, v pouzdře TO-220 je nejnižší dosažitelný $R_{DS(on)}$ 275 m Ω u planárního MOSFET, zatímco MOSFET se superpřechodem ve stejném pouzdře je možné vyrobit s $R_{DS(on)}$ 50 m Ω [27][23][24].

2.4 Dostupné Si MOSFET pro 100 V až 650 V a 45 A až 250 A

Všechna kritéria pro výběr tranzistorů do porovnání z dostupných tranzistorů na trhu jsou stejná jako v kapitole 1.4 *Analýza dostupných GaN HEMT pro 100 až 650 V a 45 A až max.* Také jsou analyzovány ve dvou hladinách blokovacího napětí, stejně jako GaN tranzistory: 600 až 650 V a 100 až 150 V.

650 V tranzistory pro více než 45 A $I_D(25^\circ\text{C})$ jsou bez problémů dostupné, nad 100A je již k dispozici přibližně 50 tranzistorů, proto byly vybrány 650 V tranzistory s vyššími možnými proudy I_D . V *tab. 2.1* jsou uvedené vybrané 650 V tranzistory, přičemž kapacity a náboje byly odečteny z grafů pro 400V, ale výrobci byly měřeny při různých frekvencích [73][74][75][76][77].

Tab. 2.1 Porovnání dostupných Si tranzistorů pro 650 V a 100 A až 250 A [73][74][75][76][77]

Název	IXTK102N65X2		IXFN170N65X2		TK100L60W		IPW60R017C7		STY145N65M5	
Výrobce	IXYS		IXYS		Toshiba		Infineon		ST	
Struktura	N, e-mode		N, e-mode		N, e-mode		N, e-mode		N, e-mode	
V_{DS} [V]	650		650		650		650		650	
V_{GS} [V]	-30V / 30V		-30V / 30V		-30V / 30V		-30V / 30V		-25V / 25V	
$V_{GS(th)}$ [V]	3 - 5		3,5 - 5		2,7 - 3,7		3 - 4		3-5	
I_{Dmax} [A] kontinuální	102 (Tc=25 °C)		170 (Tc=25 °C)		100 (Ta=25 °C)		109 (Tc=25 °C)		138 (Tc=25 °C)	
	67 (Tc=100 °C)		113 (Tc=100 °C)		NA (100 °C)		69 (Tc=100 °C)		87 (Tc=100 °C)	
$R_{DS(on)}$ [m Ω]	66 (100°C)		37,7 (100°C)		26 (100°C)		24,5 (100 °C)		20,5 (100 °C)	
R_G [Ω]	0,7 (25°C)		0,56 (25°C)		1,8 (25°C)		0,45 (25°C)		0,7 (25°C)	
Q_G [nC]	152		434		360		240		414	
Q_{rr} [μ C]	11,7		3,1		9		18		24,5	
C_{iss} [pF]	10500	1MHz, V_{DS} = 25V	26000	1MHz, V_{DS} = 25V	15000	100KHz, V_{DS} = 400V	9890	250KHz, V_{DS} = 400V	18500	1MHz, V_{DS} = 400V
C_{oss} [pF]	250		600		300		200		340	
C_{Rss} [pF]	6		18		50		42		9,5	
$t_{d(on)}$ [ns]	37		60		230		30		255	
$t_{d(off)}$ [ns]	67		133		690		106		NA	
t_r [ns]	28		15		130		25		11	
t_f [ns]	11		6		125		4		NA	

S výjimkou dvou tranzistorů na 650V byly parazitní kapacity podle katalogových listů měřeny při frekvenci výstupního napětí 1 MHz. I zbylé dva tranzistory lze ale s ostatními porovnat, protože kapacity nejsou příliš závislé závislé na frekvenci výstupního napětí tranzistoru [73][74][75][76][77][12][35].

Tab. 2.II Porovnání dostupných Si MOSFET pro 100 V v rozsahu 45 A až 250 A [78][79][80][81][82]

Název	TSM160N10		CSD19532KTT		IAUT150N10S5N035		STH315N10F7		FDBL86066-F085	
Výrobce	Taiwan semi-conductor		Texas Instruments		Infineon		ST		ON Semi-conductor	
Struktura	N, e-mode		N, e-mode		N, e-mode		N, e-mode		N, e-mode	
V _{DSS} [V]	100		100		100		100		100	
V _{GS} [V]	-20V / 20V		-20V / 20V		-20V / 20V		-20V / 20V		-20V / 20V	
V _{GS(th)} [V]	1,4 (25 °C)		2,6 (25 °C)		3 (25 °C)		3,5 (25 °C)		2,9 (25 °C)	
I _{Dmax} [A] kontinuální	160 (25 °C)		136 (25 °C)		150 (25 °C)		180 (25 °C)		185 (25 °C)	
	114 (100 °C)		98 (100 °C)		95 (100 °C)		120 (100 °C)		132 (100 °C)	
R _{DS (on)} [mΩ]	4,5 (25°C)		5,3 (25°C)		3,5 (25°C)		2,1 (25°C)		3,3 (25°C)	
	7,2 (100°C)		8,4 (100°C)		4,3 (100°C)		3,1 (100°C)		5 (100°C)	
R _G [Ω]	0,5		1,3		NA		NA		0,5	
Q _G [nC]	154		44		67		180		47	
Q _{rr} [nC]	160		326		120		200		84	
C _{iss} [pF]	9150	1MHz, V_DS= 50V	3890	1MHz, V_DS= 50V	4700	1MHz, V_DS= 50V	12600	1MHz, V_DS= 50V	3240	1MHz, V_DS= 50V
C _{oss} [pF]	670		674		720		2100		1950	
C _{Rss} [pF]	260		14		32		60		26	
t _{d(on)} [ns]	25		9		12		62		18	
t _{d(off)} [ns]	85		14		23		148		36	
t _r [ns]	40		3		7		108		9	
t _f [ns]	45		2		26		40		13	

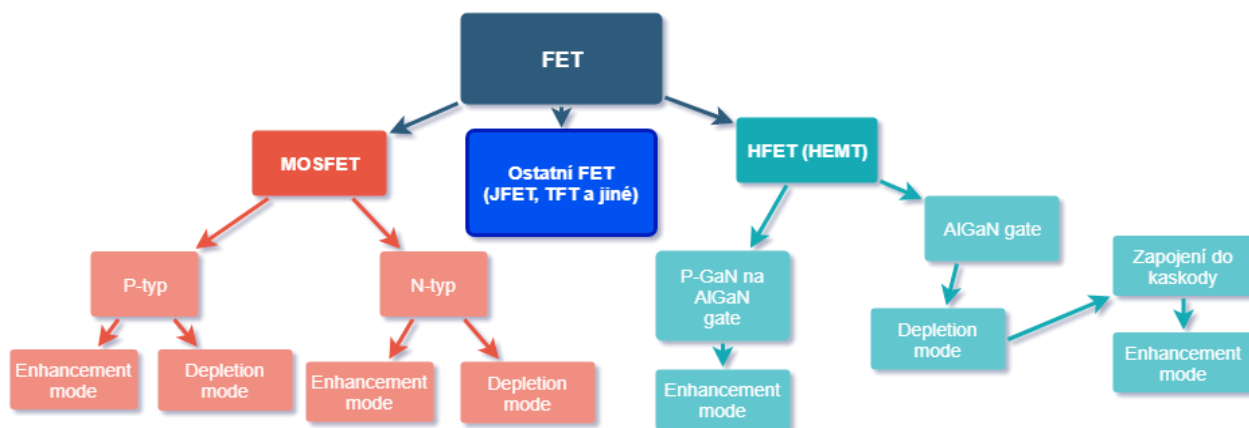
Kapacity 100 V tranzistorů viz tab 2.II byly odečteny z grafů pro 50 V a výrobci měřeny pro 1 MHz u všech tranzistorů [78][79][80][81][82].

Pokud to bylo možné, jsou uvedena proudová zatížení tranzistorů pro teploty pouzdra 100° C, ale Toshiba udává maximální proudové zatížení při teplotě neproudivého okolního vzduchu 25°C. Hodnoty R_{DS (on)} jsou odečtené z grafů v datových listech pro konkrétní teplotu 100 °C, stejně tak kapacity jsou odečteny z grafů pro konkrétní napětí, aby se daly porovnávat. Pokud hodnota nebyla v datových listech, pole je označeno jako NA (Not Available) [73][74][75][76][77][78][79][80][81][82].

3 Porovnání vysokorychlostních Si MOSFET a GaN HEMT mezi sebou

3.1 Typový strom technologií Si MOSFET a GaN HEMT

Na obr. 3.1 lze přehledně vidět typové dělení MOSFET i HEMT, a také že oba druhy tranzistorů jsou principiálně FET. Kaskoda vychází z d-mode GaN tranzistoru, proto je na obr. 3.1 zobrazena šipkou jako odbočka od depletion mode tranzistoru s AlGaIn gate.



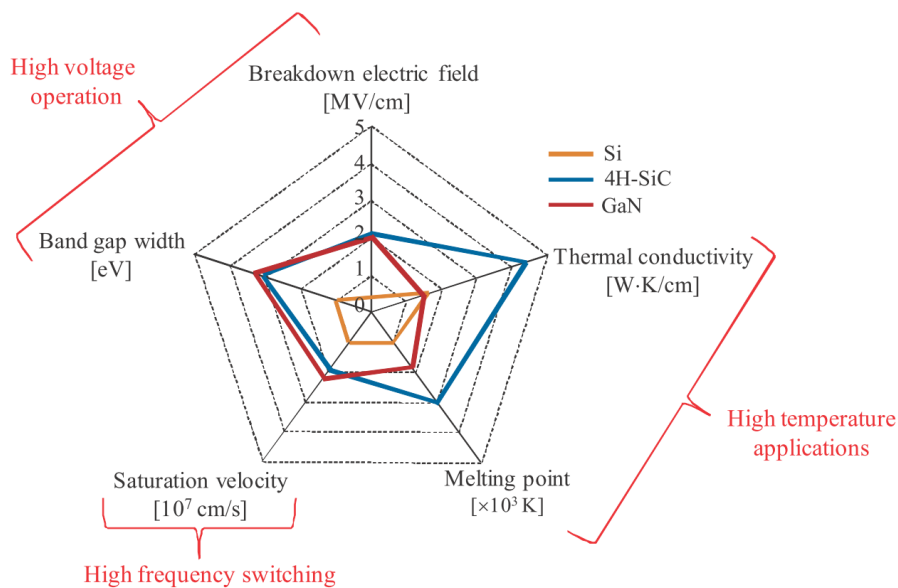
Obr. 3.1 Typový strom FET tranzistorů, typy MOSFET a HEMT tranzistorů Vytvořil autor v draw.io. [5][7][10].

3.2 Si vs. GaN – porovnání materiálů

GaN tranzistory jsou asi 3x menší než ty z Si při stejném výkonu, nebo dosahují větší rychlosti spínání a větší zatížitelnosti při stejné velikosti jako Si tranzistory. Je to díky mnoha vlastnostem, z nichž nejvýznamější je široký zakázaný pás polovodiče (Wide-bandgap – WBG). Z vlastností materiálů viz obr. 3.3 lze usoudit jak a proč se od sebe Si a GaN tranzistory liší [25][26]:

- **větší saturační rychlost elektronů v GaN** – menší rezistivita materiálu (menší součástky), menší náboj Q_G a rychlejší spínání (GaN má ze známých materiálů na trhu nejvyšší saturační rychlost elektronů.) [25][26]:
- **vysoká průrazná intenzita elektrického pole a větší WBG u GaN** – vyšší V_{DS} , menší součástky oproti Si (pro dosažení stejného maximálního průrazného napětí nejsou potřeba tak velké vzdálenosti) [25][26]:
- **horší tepelná vodivost GaN** – horší chlazení [25][26]:

- **vyšší bod tání GaN** – vyšší pracovní teploty čipu, větší křehkost (horší výroba a cena [25][26]:



Obr. 3.2 Porovnání vlastností GaN, SiC a Si materiálů [45]

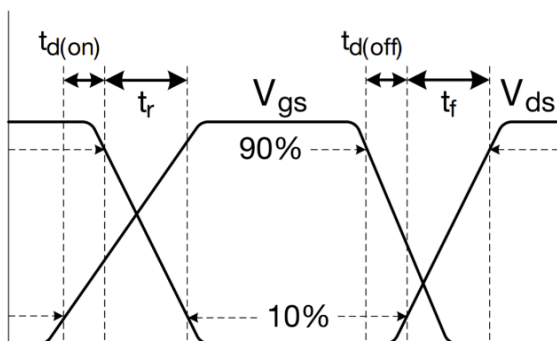
3.3 Parametry tranzistorů GaN HEMT vhodné k porovnání

Hodnoty z katalogových listů jsou limitní a nejlepší dosažitelné hodnoty pro navržené použití tranzistoru. Např. je běžné, že každý výrobce uvádí spínací časy pro jiné podmínky s ohledem na použití tranzistoru [8][9][28][56].

Důležité katalogové parametry tranzistorů [8][9][28][57][30]:

- **Maximální napětí D-S V_{DSmax}** – destruktivní průrazné napětí V_{DS}
- **Krajní dovolené hodnoty napětí G-S V_{GS}** – maximální a minimální V_{GS} jsou jedněmi z parametrů ovlivňujících maximální možnou rychlost sepnutí. Platí že větší napětí rychleji přečerpá náboj (a vede k rychlejšímu sepnutí). *Optimální V_{GS} Si MOSFET bývá do $\pm 15V$, přičemž maximální bývají $\pm 20V$. Optimální V_{GS} GaN HEMT bývá -4 až $+6V$ a maximální bývají -10 až $+7V$.*
- **Maximální proud D-S I_{Dmax}** – je udáváno několik hodnot **maximálního** proudu tranzistorem: **kontinuální** proud I_{Dmax} , **pulsní** proud I_{DPmax} je udáván pro různé šířky pulsu a **ne vždy jde o opakovatelný proud**. I_{Dmax} je vždy udáván pro konkrétní teplotu pouzdra T_C , někdy i teplotu okolí T_A nebo teplotu přechodu T_j .

- **Rezistivita ve vodivém stavu $R_{DS(on)}$** – má vliv pouze na ztráty ve vodivém stavu. Ve vodivém stavu se minimalizuje přiložením co největšího V_{GS} . U GaN tranzistorů se mění méně s teplotou, než u Si tranzistorů. Typický teplotní koeficient $R_{DS(on)}$ je 2.0 pro GaN, zatímco 2.4 pro Si MOSFET tranzistory. To znamená, že ztráty v tranzistoru budou menší při stejné pracovní teplotě.
- **Prahové napětí G-S $V_{GS(th)}$** – Je napětí potřebné k sepnutí tranzistoru, tak aby jím tekla proud $I_{DS} = 300 \text{ mA}$, tranzistor je jen částečně zapnutý a má vysoký $R_{DS(on)}$, což vede k tepelným ztrátám, proto je snahou návrhářů budit tranzistor alespoň o 1.5 až 2 V vyšším napětím [48][31][32][33].
- **Náboj zpětného zotavení Q_{rr}** - je parametrem parazitních zpětných diod u Si MOSFET tranzistorů. Určuje velikost doby t_{rr} , za kterou dioda po změně polarity anodového napětí obnoví svou izolační schopnost a nabije závěrnou kapacitu Q_{rr} (přestane vést proud). U HEMT jsou metalické kontakty S a D přivedeny přímo ke kanálu. Na styku kovových elektrod s kanálem vznikají Schottkyho diody se zanedbatelným nábojem zpětného zotavení Q_{rr} . [30][29].
- **Spínací časy náběhu (rise) t_r a doběhu (fall) t_f** – udávají časy změn napětí:



Obr. 3.3 Způsob udávání spínacích časů a jejich zpoždění na příkladu idealizovaných charakteristik normally-off tranzistoru [9]

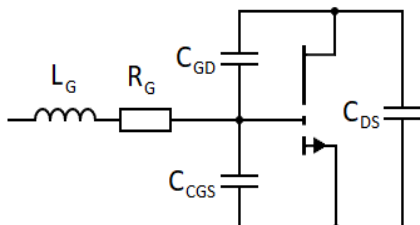
t_r - změna V_{DS} od 90 % k 10 % a opačně t_f - změna V_{DS} od 10 % k 90 %. Dle anglického „rise“ a „fall“ souhlasí, že jde o časy náběhu a doběhu, ale ve smyslu sepnutí a vypnutí tranzistoru. Časy většinou jsou uváděny pro R zátěž, proto jsou porovnatelné mezi tranzistory od různých výrobců na stejných napěťových hladinách [9][12].

Další důležité parametry jsou popsány v následujících podkapitolách.

3.3.1 Parazitní kapacity FET tranzistorů

Stěžejní z dynamických parametrů tranzistorů FET jsou společně s náboji také kapacity, ale jsou silně závislé na V_{DS} a to znemožňuje jednoduché výpočty. Definované jsou následovně [12][48]:

- C_{oss} (Výstupní kapacita) hraje úlohu při uvažování výkonových ztrát a rezonanční frekvence spínaného obvodu. Je součtem C_{GD} s C_{DS} [12].
- C_{GD} (zpětnovazební kapacita, angl. transfer-capacitance nebo též Millerova kapacita) způsobuje tzv. Millerův efekt. Millerův efekt zdánlivě zvyšuje vstupní kapacitu (při zapojení se společným source je vstup gate-source) na gate násobkem, který se rovná zesílení A tranzistorového stupně, tedy: $C_{inGD} = A * C_{GD}$, kde C_{inGD} je C_{GD} velikost která se zdánlivě jeví na D-S. V náhradním obvodu podle Millerova teorému je C_{inGD} připojená mezi D-S a odpojená skutečná C_{GD} . Vstup se ale chová stejně. C_{GD} působí jako dolní propust a omezuje tak maximální frekvenci tranzistoru. [12][35][36].



Obr. 3.4 Parazitní parametry pro spínání tranzistorů FET (Na obr. HEMT) [11][9]

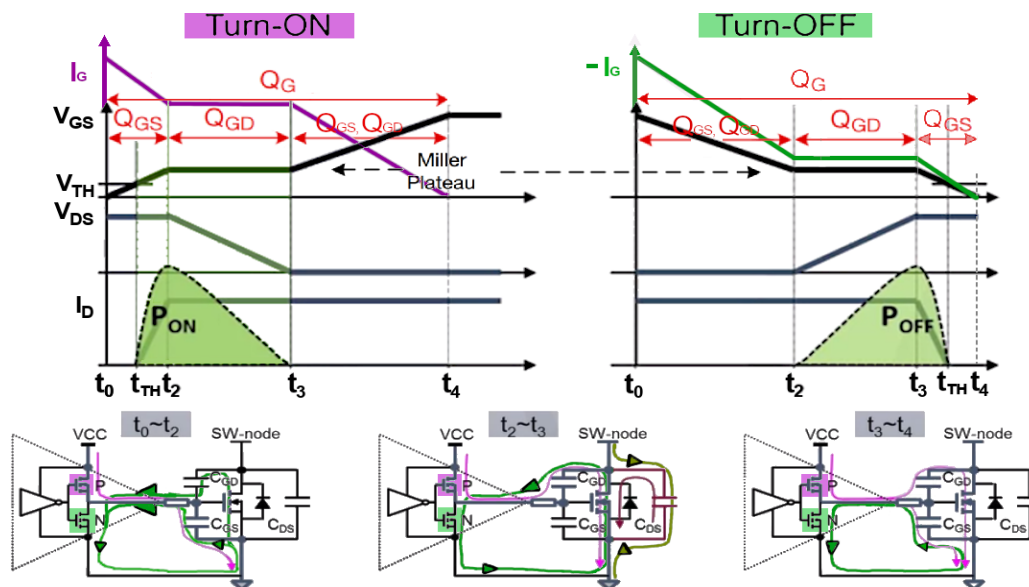
- C_{iss} (Vstupní kapacita) - V případě vybití C_{iss} je tranzistor uveden do blokovacího stavu., Millerův jev způsobuje $C_{iss} = C_{DS} + A * C_{GD}$ [12][35][36].

3.3.2 Náboje tranzistoru a průběh spínání

Velikost náboje Q_G je nejspolehlivějším způsobem, jak určit spínací rychlost tranzistoru. Q_G Je složen z nábojů vstupních kapacit tranzistoru Q_{GS} a Q_{GD} (stejně značení jako kapacity) viz obr 3.6. V katalogových listech udávaný náboj Q_G je vždy náboj nutný k přebití vstupních kapacit tranzistoru při přechodu mezi vypnutým $V_{GS(off)}$ a zapnutým $V_{GS(on)}$ stavem [12][76][9].

Pro vysvětlení nabíjení kapacit gate tranzistoru je potřeba se podívat na obr. 3.6., na kterém je zobrazen detailnější linearizovaný průběh veličin na tranzistoru při rychlém sepnutí. Vyznačené náboje odpovídají nabíjeným kapacitám při zanedbání malých proudů, které nabíjejí ostatní kapacity. Nejprve se nabíjí C_{GS} a od $V_{GS(th)}$ - t_{TH} až t_2 začne narůstat proud I_{DS} , další se nabíjí C_{GD} a C_{DS} (tato kapacita není pro driver důležitá, proto je nevyznačena). Pak následuje už jen dobíjení kapacit gate C_{GD} a C_{GS} na hodnotu přiloženého napětí [9][28]. První fáze, t_0 až t_2 se mění jen V_{GS} a V_{DS} je konstantní, stejně jako na něm závislé kapacity C_{GD} a C_{DS} . Mění se proto jen napětí V_{GS} . Ve druhé části fáze spínání t_{TH} až t_2 začne narůstat proud I_{DS} , protože V_{GS} dosáhlo hodnoty V_{TH} . V čase t_2 až t_3 narostl proud I_{DS} na maximum a proto dochází k vybití kapacity C_{GD} . Napětí V_{GS} má v této časové oblasti

hodnotu tzv. Millerova plata (Miller Plateau). Sklon Millerova plata je méně výrazný pokud je tranzistor spínán rychleji. t_3 až t_4 už je otevřen tranzistor a nabita C_{GD} . Proudem I_G se nabíjí zejména C_{GS} . Při vypnutí tranzistoru se kapacity vybíjejí ve stejném pořadí, ale výstupní proud I_{DS} se vždy mění mezi V_{GP} a $V_{G(TH)}$ [9][13][56][57].



Obr. 3.5 Průběhy veličin při nabíjení kapacit gate během spínání tranzistoru (vlevo) a vybíjení kapacit během vypínání tranzistoru (vpravo), platí pro odporovou zátěž. [9][10][56][57]

Při vypínání MOSFET, stoupá-li V_{DS} příliš rychle (tzv. „dv/dt problem“), způsobí to i přechodný nárůst napětí V_{GS} . Tento nárůst může potenciálně vyvolat nechtěné sepnutí MOSFET tranzistoru a je způsoben Millerovým jevem. Tranzistor by měl být volen tak, aby náboj Q_G byl co nejmenší za účelem zabránění parazitního sepnutí tranzistoru přes C_{GD} (v případě sepnutých 2 tranzistorů půlmůstku jde o shoot-through).. Jiným požadavkem pro zamezení tohoto parazitního sepnutí je, aby poměr Q_{GD}/Q_{GS} byl menší než 1 nebo Pro tranzistory s nízkým $V_{(GS)th}$ dokonce nižší než 0,8. Další podmínka říká, že za účelem snížení náchylnosti k parazitnímu sepnutí tranzistoru, C_{GS}/C_{GD} poměr musí být co nejvyšší a to >15 (v nejhorším případě i nižší ale maximálně = 10) [9][13][33][34][65].

3.4 Porovnání tranzistorů

Pro všechny tranzistory, kde jsou udávány spínací časy, je dopočtena odhadovaná spínací frekvence pro budoucí PWM modulaci f_{max_PWM} dle vzorce:

$$f_{max_PWM} \approx \frac{1}{50(t_{d(off)}+t_f+t_{d(on)}+t_r)} \quad (3.3)$$

3.4.1 100-150V GaN HEMT

EPC má vyšší napěťové dimenzování, proto i trochu jiné použití. V_{GS} je možné rychleji vypnout díky $-10V$ zápornému minimu V_{DS} .

Tab. 3.I Napětí porovnávaných GaN tranzistorů pro 100 a 150 V [66][67].

Zkratka	EPC(EPC2033)	GS(GS61008T)
Výrobce	EPC	GaN Systems
V_{DSS} [V]	150	100
V_{GS} [V]	-4V / 6V	-10V / 7V
$V_{GS(th)}$ [V]	1,4 (25 °C)	1,3 (25 °C)

EPC je větší součástka a má lepší teplotní odolnost než GS - lépe řešené chlazení, to se dá usoudit protože vydrží větší I_D při větším napětí.

Tab. 3.II Proud a odpor v zapnutém stavu porovnávaných GaN tranzistorů pro 100 a 150 V [66][67].

Zkratka	EPC(EPC2033)	GS(GS61008T)
I_D [A] kontinuální	108,7 ($T_c=100^\circ C$)	65 ($T_c=100^\circ C$)
	48 ($T_c=148,75^\circ C$)	28,8 ($T_c=142^\circ C$)
$R_{DS(on)}$ [mΩ]	5 ($T_j=25^\circ C$)	9 ($T_j=25^\circ C$)
	9,4 ($T_j=150^\circ C$)	17,5 ($T_j=150^\circ C$)

Z napětí V_{GS} EPC lze říct, že EPC je úspornější, to dokazuje tab. 3.IV i tab. 3.VI. Časy sepnutí nejsou dostupné pro 100 V GaN porovnávané tranzistory. Co v tomto případě pomůže posoudit rychlost sepnutí jsou kapacity tranzistorů, které se přibližně dvojnásobně liší v celém rozsahu závislosti na V_{DS} podle [66][67]. GS tedy má horší chlazení a je menší, ale díky své menší velikosti má menší kapacity a rychlejší spínání.

Tab. 3.III Kapacity, náboje a odpor gate porovnávaných GaN tranzistorů pro 100 a 150 V [66][67].

Zkratka	EPC(EPC2033)		GS(GS61008T)	
R_G [Ω]	0,5		1,5	
Q_G [nC]	12	$V_{GS} = z 0 \text{ do } 5 \text{ V,}$ $V_{DS} = 120 \text{ V,}$ $I_D = 25 \text{ A,}$ $f=1\text{MHz}$	12	$V_{GS} = z 0 \text{ do } 6 \text{ V,}$ $V_{DS} = 50 \text{ V,}$ $I_D = 90 \text{ A,}$ $f=1\text{MHz}$
Q_{rr} [nC]	0		0	
C_{iss} [pF]	1160		590	
C_{oss} [pF]	550 (z grafu)		250(z grafu)	
C_{Rss} [pF]	6		8	

3.4.2 600-650V GaN HEMT

Z hlediska napětí jsou všechny tranzistory dimenzovány na provoz při 400V blokovacím napětí, přičemž ty s $V_{DSS} = 650 \text{ V}$ jsou odolnější vůči napěťovým špičkám. Pro tranzistory budou použity zkratky platné vždy v dané podkapitole, není-li popsáno jinak.

Kaskoda TPH má výhodu pro některé aplikace ve vyšším $V_{GS(th)}$, a hraničních V_{GS} kterými se vyrovná Si MOSFET tranzistorům. Je tak odolnější proti nechtěnému sepnutí a lze ji spínat větším napětím, což může být výhoda při buzení stejným zdrojem jako MOSFET.

Tab. 3.IV Napětí porovnávaných GaN tranzistorů pro 600 a 650 V [68][69][70][71].

Zkratka	PNS	INF	GS	TPH
Označení	PGA26E07BA	IGT60R070D1	GS66516B	TP65H035WS
Výrobce	Panasonic	Infineon	GaN Systems	Transphorm
Struktura	N, e-mode	N, e-mode	N, e-mode	Kaskoda
V_{DSS} [V]	600	600	650	650
V_{GS} [V]	-10V / NA	-10V / 7V	-10V / 7V	-20V / 20V
$V_{GS(th)}$ [V]	1,2(25°C)	1,2(25°C)	1,3(25°C)	4(25°C)

V Tab. 3.II je vidět jasná závislost, čím větší proudová zatížitelnost I_{Dmax} , tím menší $R_{DS(on)}$, to znamená podobný ztrátový výkon v podobných pouzdrech, ale rozdílné maximální I_D . Podle katalogových listů mají porovnávané tranzistory srovnatelně velká pouzdra, tj. obdélníkový půdorys o hraně 9 až 11 mm.

Tab. 3.V Proud a odpor v zapnutém stavu porovnávaných GaN tranzistorů pro 600 a 650 V [68][69][70][71].

Zkratka	PNS (PGA26E07BA)	INF(IGT60R070D1)	GS(GS66516B)	TPH(TP65H035WS)
Struktura	N, e-mode	N, e-mode	N, e-mode	Kaskoda, e-mode
I_{Dmax} [A]	26 (Tc=25 °C)	31 (Tc=25 °C)	60 (Tc=25 °C)	46,5 (Tc=25 °C)
kontinuální	18 (Tc=100 °C)	20 (Tc=100 °C)	47 (Tc=100 °C)	29,5 (Tc=100 °C)
$R_{DS(on)}$ [mΩ]	110 (150 °C)	100 (150 °C)	65 (150 °C)	72 (150 °C)

Z tab. 3.III vychází jako nejrychlejší PNS, kaskoda TPH je jasně nejpomalejší. To lze vidět jak z rozdílu v nábojích, tak ve spínacích časech, tak v kapacitách. Dále tedy budou porovnávány PNS, INF a GS. Všechny mají srovnatelně velké kapacity a podobně vysoké náboje. Při **porovnání GS a INF** se na první pohled zdá, že poskytují srovnatelnou rychlost sepnutí podle součtu spínacích časů i se zpožděním ($I - 52$ ns, $GS - 53,9$ ns). Při bližším zkoumání je ale vidět, že GS umožňuje spínat dvojnásobný proud a může mít menší R_G . GS dosahuje z trojice N e-mode největšího I_D . Jeho rychlost spínání je tedy větší co se týče strmosti nárůstu proudu. Při **porovnání PNS a INF** jsou všechny parametry velmi podobné, co však způsobuje rychlejší spínání PNS je, že má menší $R_{G(ext)}$ a proto se dá jeho gate napájet vyšším proudem k dosažení rychlejšího sepnutí.

Tab. 3.VI Kapacity, náboje, odpor gate a spínací časy porovnávaných GaN tranzistorů pro 600 a 650 V [68][69][70][71].

Zkratka	PNS (PGA26E07BA)	INF(IGT60R070D1)	GS(GS66516B)	TPH(TP65H035WS)
Výrobce	Panasonic	Infineon	GaN Systems	Transphorm
R_G [Ω]	0,6	0,78	0,34	NA
Q_G [nC]	5 ($V_{GS}=3V$)	5,8 ($V_{GS}=3V$)	12,1 ($V_{GS}=6V$)	24 ($V_{GS}=10V$)
Q_{rr} [nC]	0	0	0	178
C_{iss} [pF]	405	380	520	1500
C_{oss} [pF]	71	72	130	190
C_{Rss} [pF]	0,4	0,3	4	10
$t_{d(on)}$ [ns]	3,7	15	4,6	69
$t_{d(off)}$ [ns]	5,5	15	14,9	98,5
t_r [ns]	5,6	9	12,4	13,5
t_f [ns]	2,4	13	22	11,5
f_{max_PWM} [kHz]	1162	384	372	104

3.4.3 100V Si MOSFET

Napětí 20 V se stalo normou V_{GS} u 100V = V_{DSS} tranzistorů, stejně jako 30V u 600V Si MOSFET. Malé $V_{GS(th)}$ je pro spínání nevýhodné, kvůli nutné opatrnosti v návrhu budících obvodů. V případě této práce však je potřeba stejné opatrnosti jako u návrhu budících obvodů GaN tranzistorů. Nejde tedy o proto o velkou komplikaci.

Tab. 3.VII Napětí porovnávaných Si tranzistorů pro 100 V [73][74][75][76][77]

Zkratka (Název)	TS (TSM160N10)	TI (CSD19532KTT)	INF (IAUT150N10S5N035)	ST (STH315N10F7)	ONS (FDBL86066)
Výrobce	Taiwan semi-conductor	Texas Instruments	Infineon	ST	ON Semi-conductor
Struktura	N, e-mode	N, e-mode	N, e-mode	N, e-mode	N, e-mode
V_{DSS} [V]	100	100	100	100	100
V_{GS} [V]	-20V / 20V	-20V / 20V	-20V / 20V	-20V / 20V	-20V / 20V
$V_{GS(th)}$ [V]	1,4 (25 °C)	2,6 (25 °C)	3 (25 °C)	3,5 (25 °C)	2,9 (25 °C)

Maximální proudy I_D dostupné u 100 V Si tranzistorů jsou větší než u 650 V Si tranzistorů, mají totiž zdatně menší $R_{DS(on)}$. To je způsobeno menšími nutnými izolačními vzdálenostmi D-S v blokovacím stavu u 100 V tranzistorů.

Tab. 3.VIII Proud a odpor v zapnutém stavu porovnávaných Si tranzistorů pro 100 V [73][74][75][76][77]

Zkratka	TS	TI	I	ST	ONS
I_{Dmax} []	160 (25 °C)	136 (25 °C)	150 (25 °C)	180 (25 °C)	185 (25 °C)
kontinuální	114 (100 °C)	98 (100 °C)	95 (100 °C)	120 (100 °C)	132 (100 °C)
$R_{DS(on)}$ [m Ω]	4,5 (25°C)	5,3 (25°C)	3,5 (25°C)	2,1 (25°C)	3,3 (25°C)
	7,2 (100°C)	8,4 (100°C)	4,3 (100°C)	3,1 (100°C)	5 (100°C)

ONS je rychle spínajícím tranzistorem vzhledem k maximálnímu proudu oproti ST se kterým mají velmi blízké I_{Dmax} . Rychlost je vykoupena vyšším $R_{DS(on)}$. Nejrychlejší tranzistor je TI podle náboje Q_G , TI ale má nejmenší I_{Dmax} a také nejvyšší $R_{DS(on)}$.

Tab. 3.IX Kapacity, náboje, odpor gate a spínací časy porovnávaných Si tranzistorů pro 100 V [73][74][75][76][77]

Výrobce	TS		TI		I		ST		ONS	
R_G [Ω]	0,5		1,3		NA		NA		0,5	
Q_G [nC]	154		44		67		180		47	
Q_{rr} [nC]	160		326		120		200		84	
C_{iss} [pF]	9150	1MHz, $V_{DS}=50V$	3890	1MHz, $V_{DS}=50V$	4700	1MHz, $V_{DS}=50V$	12600	1MHz, $V_{DS}=50V$	3240	1MHz, $V_{DS}=50V$
C_{oss} [pF]	670		674		720		2100		1950	
C_{Rss} [pF]	260		14		32		60		26	
$t_{d(on)}$ [ns]	25	$V_{DS}=30V$, $I_D=NA$, $R_{Gext}=3,3\Omega$	9	$I_D=90A$, $R_{Gext}=0\Omega$	12	$I_D=50A$, $R_{Gext}=3,5\Omega$	62	$I_D=90A$, $R_{Gext}=4,7\Omega$	18	$I_D=80A$, $R_{Gext}=6\Omega$
$t_{d(off)}$ [ns]	85		14		23		148		36	
t_r [ns]	40		3		7		108		9	
t_f [ns]	45		2		26		40		13	
f_{max_PWM} [kHz]	103		714		294		56		263	

3.4.4 600V Si MOSFET

Z hlediska napětí jsou tranzistory dimenzovány na 400 V, stejně jako GaN HEMT pro 600 – 650 V. V_{GS} tranzistorů jsou odolnější proti nechtěnému sepnutí.

Tab. 3.X Napětí porovnávaných Si tranzistorů pro 650 V [73][74][75][76][77]

Název	IXTK102N65X2	IXFN170N65X2	TK100L60W	IPW60R017C7	STY145N65M5
Výrobce(Zkratka)	IXYS(IXYS1)	IXYS(IXYS2)	Toshiba (TSH)	Infineon (INF)	ST
Struktura	N, e-mode	N, e-mode	N, e-mode	N, e-mode	N, e-mode
V_{DSS} [V]	650	650	650	650	650
V_{GS} [V]	-30V / 30V	-30V / 30V	-30V / 30V	-30V / 30V	-25V / 25V
$V_{GS(th)}$ [V]	3 - 5	3,5 - 5	2,7 - 3,7	3 - 4	3-5

Tranzistor od Toshiba má udaný maximální proud 100 A při teplotě okolí $T_A = 25$ C. dopočítal jsem podle vzorce 3.8 I_D pro teplotu pouzdra $T_C = 100^\circ$ C a příliš se neliší. U tohoto tranzistoru se neuvažuje velký chladič, má také větší půdorys pouzdra oproti ostatním porovnávaným, tj. 20×26 a ostatní mají $16 \times 20 \pm 1$ mm. Všechny tranzistory mají srovnatelné $R_{DS(on)}$ až na 1. IXYS tranzistor. Větší $R_{DS(on)}$ u IXYS napovídá že tato nevýhoda bude vyvážena větší rychlostí spínání, zpravidla to tak bývá. Obecně by mělo platit pravidlo větší proudová zatížitelnost snižuje maximální rychlost sepnutí.

Tab. 3.XI Proud a odpor v zapnutém stavu porovnávaných Si tranzistorů pro 650 V [73][74][75][76][77]

Název	IXTK102N65X2	IXFN170N65X2	TK100L60W	IPW60R017C7	STY145N65M5
Výrobce (Zkratka)	IXYS(IXYS1)	IXYS(IXYS2)	Toshiba (TSH)	Infineon (INF)	ST
I_{Dmax} [A] kontinuální	102 (Tc=25 °C) 67 (Tc=100 °C)	170 (Tc=25 °C) 113 (Tc=100 °C)	100 (Ta=25 °C) 92,7 (Tc=100 °C)	109 (Tc=25 °C) 69 (Tc=100 °C)	138 (Tc=25 °C) 87 (Tc=100 °C)
$R_{DS(on)}$ [mΩ]	100,5 (Tj=125°C)	37,7 (Tj=150°C)	37 (Tj=150°C)	38 (Tj=150°C)	33 (Tj=150°C)

Předchozí tvrzení je potvrzené při pohledu na Q_G 1. IXYS tranzistoru. U ostatních platí pravidlo, že větší proudová zatížitelnost I_{Dmax} je vykoupena větším nábojem Q_G . Kapacity byly měřeny pro různé podmínky podle předpokládaného použití a proto nejsou příliš porovnatelné.

Tab. 3.XII Kapacity, náboje, odpor gate a spínací časy porovnávaných Si tranzistorů pro 650 V [73][74][75][76][77].

Název	IXTK102N65X2	IXFN170N65X2	TK100L60W	IPW60R017C7	STY145N65M5
Výrobce (Zkratka)	IXYS(IXYS1)	IXYS(IXYS2)	Toshiba (TSH)	Infineon (INF)	ST
R_G [Ω]	0,7 (25°C)	0,56 (25°C)	1,8 (25°C)	0,45 (25°C)	0,7 (25°C)
Q_G [nC]	152	434	360	240	414
Q_{rr} [μC]	11,7	3,1	9	18	24,5
C_{iss} [pF]	10500	26000	15000	9890	18500
C_{oss} [pF]	250	600	300	200	340
C_{Rss} [pF]	6	18	50	42	9,5
$t_{d(on)}$ [ns]	37	60	230	30	255
$t_{d(off)}$ [ns]	67	133	690	106	NA
t_r [ns]	28	15	130	25	11
t_f [ns]	11	6	125	4	NA
f_{max_PWM} [kHz]	140	93	17	121	NA (~37)

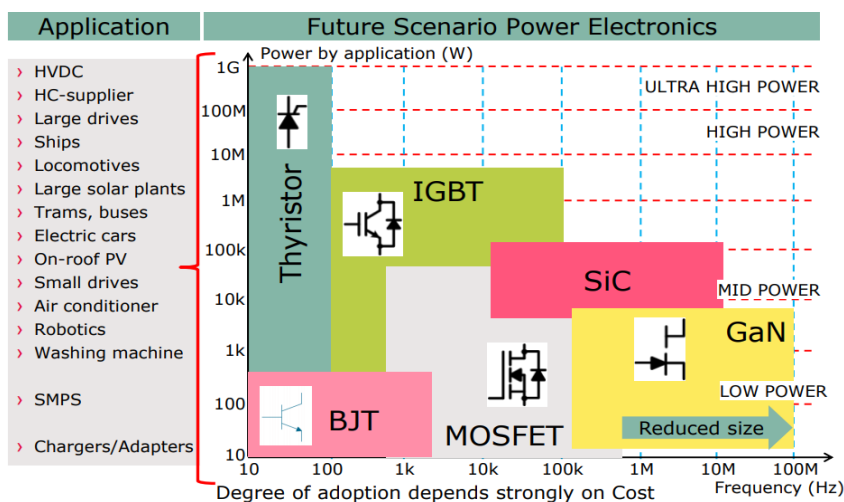
IXYS1 A INF jsou nejrychleji spínající tranzistory, mají nejkratší spínací časy, nejmenší náboj hradla i nejmenší kapacity. Tyto tranzistory ale také spínají nejmenší I_D . To že kapacity INF byly měřeny při jiném V_{DS} než kapacity IXYS1 je celkem jedno, kapacity jsou velmi podobné i při pohledu do katalogového listu na závislost Kapacit na V_{DS} . Zejména C_{iss} je téměř konstantní, ostatní závislosti kopírují téměř shodné nekonstantní křivky.

Pro tranzistory dimenzované na vyšší proudy, jsou i kapacity a náboje vyšší. Celkem logicky pokud je potřeba snížit odpor, vzniknou širší vodivé cesty a zvětší se kapacity mezi nimi. TSH má velmi omezenou rychlost spínání externím rezistorem R_{Gext} . To svědčí o jeho

limitech proudu I_G . INF je srovnatelně rychlý jako IXYS2 a ST tranzistor má limitní rychlost nejspíš dvojnásobnou oproti TSH tranzistoru, protože jeho $R_{G\ ext}$ je cca poloviční.

3.5 Možné použití tranzistorů

Na obr. 3.2 je vidět graf závislosti přenášeného výkonu tranzistorem na jeho frekvenci. Jde o kvalitní předpověď využití tranzistorů z r. 2016, nyní bude ověřeno jak moc se naplňuje. Graf je vypracován pro všechny tři aktuálně používané výkonové materiály – Si, SiC a GaN (Si tranzistory jsou všechny oblasti vlevo od SiC a GaN). Vlevo na obr 3.2 je vidět možné použití tranzistorů [38].



Obr. 3.6 Závislost výkonové kapacity vyráběných spínacích prvků z materiálů SiC, Si a GaN na jejich spínací frekvenci. (Vytvořeno Infineon v r. 2016) [33]

Jak bylo nastíněno v kapitole 3.2 Si vs. GaN – porovnání materiálů na rozdíl od tradičních křemíkových polovodičových součástek, **GaN HEMT** tranzistory jsou schopné provozu při vyšších teplotách a frekvenci než Si MOSFET. Díky využití polovodičů na bázi GaN je možné zvýšit celkovou účinnost výkonových měničů pomocí vhodné topologie a vyšší spínací frekvence. Tím lze i zmenšit hmotnost a velikost měničů. Spínáním při vysoké frekvenci je totiž možné zmenšit podíl deformačního výkonu v celkovém výkonu a tak zmenšit přidružené transformátory měničů. Díky všem těmto vlastnostem našly využití i v automobilovém průmyslu, ale celkově spíše menších pohonech (větším napětím a výkonům dominuje SiC MOSFET), DC-DC galvanických měničích, střídačích a v aktivních obvodech pro kompenzaci účinnosti (APFC – Active power factor compensation), mikrostrídačích pro fotovoltaické panely, spínaných zdrojích (SMPS- Switch Mode Power Supply) – ty jsou i v nabíječkách. GaN HEMT se hodí na střední oblast výkonů a napětí: do 10kW a 1kV. GaN měniče spínají běžně výkony okolo 1 kW. Nízká hodnota elektrického šumu v kombinaci

s možností spínacích frekvencí blízko 1 GHz GaN tranzistory předurčila i k použití pro radiotelekomunikace Vývoj GaN tranzistorů ještě není u konce a trh má v současnosti několik požadavků na to kam by se tranzistory GaN měly technologicky posunout [3][37][38][41]:

- Spínání vyššího napětí a vyšších proudů tam kde se nyní používá SiC, konkrétně pro nabíjení elektrických aut z lokálních resp. „off-board“ CCS-Combo2 (Evropský typ) nabíjecích sítí – ty jsou schopny dodávat až 200 A při 850 V. Tento typ nabíjecích sítí je od r. 2017 akceptován všemi evropskými výrobci automobilů [3][38][39].
- nová pouzdra se znatelně větším tepelným odvodem [3][4]
- nízká indukčnost vývodů z pouzdra tranzistoru – to už se dnes celkem daří [3][4]
- využití potenciálu pro citlivé on-chip resp. lab-on-chip senzory [3][40][41].
- monoliticky integrovaný GaN CMOS – výkonové tranzistory s budícími obvody využívajícími GaN CMOS na jednom základním substrátu vedle sebe. Tato technologie již existuje, ale P-typ GaN tranzistoru nedosahuje dostatečně malého $R_{DS(on)}$ a velkého proudu [3].

Si MOSFET tranzistory jsou však na svém technologickém vrcholu, proto budou ještě dlouho používány kvůli technologickému zázemí. Než se opravdu všem výrobcům vyplatí investovat do GaN tranzistorů, ještě to potrvá. Tranzistory Si MOSFET se dnes využívají tam, kde jejich spínací frekvence do 600kHz je dostačující a jejich cena dost malá - od 900Hz. Výkony Si MOSFET se pohybují od 10W do 70kW viz obr. 3.7. V obr 3.2 je vidět že GaN se dá použít pro 200kHz až 100MHz a výkony 10W-10kW [37][38].

Pro ověření dle předchozích kapitol jsou možné spínací frekvence tranzistorů na trhu následující: 100V Si MOSFET: 50-300kHz, 600V Si MOSFET: 17-140kHz, 100-150V GaN HEMT: odhadem 300-1500kHz, 600-650V GaN HEMT: 372 až 1162 kHz.

4 Návrh vhodných budících obvodů

4.1 Význam driveru a jeho části

Budící obvod (jinak též budič, angl. driver, driver circuit, gate driver) zjednodušeně je ekvivalent zesilovače pro spínací aplikace, kdy není potřeba linearita zesílení. Signál je v něm převáděn z řídicího logického signálu na spínací signál pro tranzistor.

Budící obvod běžně obsahuje [48][49][50][51][52][53][54][49][28][55][56][57][58]:

- Driver nebo též budič – Jde o hlavní spínač, který na základě logické hladiny řídicího signálu připojuje budící napětí, přizpůsobuje napět'ové a proudové úrovně pro optimální vybuzení hradla tranzistoru, tzn. pro přebíjení kapacit hradla
- generátor mrtvých časů v případě spínání půl můstku – obvod pro zamezení současného částečného sepnutí horního a spodního tranzistoru půl můstku.
- galvanicky oddělený zdroj budícího napětí – je nutností pro oddělení obvodů s malým napětím od ostatních – výkonových obvodů.
- galvanicky oddělený DC/DC měnič signálu z logických obvodů – **galvanické oddělení** chrání řídicí logické obvody, v případě tranzistorů spínajících větší hladinu napětí než malé napětí zajišťuje ochranné oddělení podle normy
- podpět'ová ochrana (UVLO – Undervoltage Lockout) – Zabraňuje částečnému otevření tranzistoru, které vede ve spínacích aplikacích k přehřátí tranzistoru. Funguje na principu blokování sepnutí při napětí pod blokovací hladinou resp. zapnutí jen při dostatečné hladině napětí [88].

Co už budící obvod běžně většinou neobsahuje jsou další ochranné obvody, které nemusí vždy být potřeba:

- Millerův ochranný obvod nebo též Millerova klema (Miller clamp) – poskytuje nízkoimpedanční cestu pro vypnutí tranzistoru, tím minimalizuje důsledky Millerova jevu při vypínání tranzistoru. **Tento obvod nemusí být potřeba u driverů které dodávají záporné řídicí napětí** pokud je zajištěna nízká impedance vybíjecí smyčky V_{GS} . viz kapitola 4.3.1 *Bezpečnostní normy a ochrana proti nežádoucím stavům*.

- Ochrana tranzistoru proti nadproudu a zkratu (přetížení) – Je potřeba dimenzovat podle konkrétního tranzistoru. Tento obvod je možné řešit několika způsoby. Často není v driveru zahrnuta právě proto, aby si návrhář mohl vybrat jakým způsobem chce nadproudovou ochranu řešit [49].

4.1.1 Druhy diskrétní nadproudové a zkratové ochrany

Způsoby detekce nadproudu jsou různé a dají se použít i pro detekci zkratu jsou-li dost rychlé. Pro detekci obou stavů se používají 3 známé způsoby [49][89]:

- Shunt rezistor – Rezistor funguje jako proudový senzor s napěťovým výstupem. Přesný rezistor dokáže poskytnout dobrou přesnost. Zvyšuje indukčnost výkonového obvodu a zpomaluje tak spínání, zvyšuje ztráty na ve výkonovém obvodu.
- Proudový transformátor – Detekuje pouze střídavý proud což může být nevýhoda při dlouhých periodách spínání. Zvyšuje indukčnost výkonového výstupu a zpomaluje tak spínání. Zabírá mnoho místa na DPS.
- Snímání tzv. desaturace resp. snímání V_{DS} – Je velmi závislé na typu tranzistoru, kvůli různým charakteristikám, ale nemá vliv na rychlost spínání.

Všechny způsoby snímání nadproudu vyžadují detekční obvod k rozpoznání nadproudu. Shunt rezistor a snímání V_{DS} navíc vyžadují level shifter nebo digitální izolovaný převodník aby mohly dát zpětnou vazbu ve formě povelu k vypnutí a případně i chybové hlášky [89].

4.2 Požadavky na navrhovaný driver

Navrhované budící obvody by měly být provozuschopné při 1MHz v případě GaN HEMT a při 1kHz v případě Si MOSFET. Zmíněné frekvence platí pro pulsně šířkovou modulaci (PWM), proto musí být několikanásobně vyšší, aby bylo možné setrvat podstatnou část spínací periody PWM v sepnutém a vypnutém stavu, naproti tomu minimální část v mezistavu při spínání. Pro rychlé vypnutí tranzistoru bude použito záporné budící napětí U_G . Navrhované blokové schéma je pro jednu ze tří fází BLDC (Brushless Direct Current) motoru. Ten je v podstatě velmi podobný jako synchronní motor s permanentními magnety spojený do hvězdy. Pro návrh budících obvodů postačí popis funkce jako řízení napětí jedné

fáze synchronního motoru pomocí půl můstku. Půl můstek bude pak zastávat funkci střídače s pulsně modulovaným sinusovým signálem. Budoucí budící obvody by měly být malé hmotnosti a s vysokou účinností pro použití v elektrické koloběžce. Vysoká účinnost je zajištěna rychlým spínáním. Kritérium hmotnosti je druhořadé, protože budící obvody tvoří zanedbatelnou část hmotnosti koloběžky.

4.3 Dimenzování a výběr driveru

4.3.1 Bezpečnostní normy a ochrana proti nežádoucím stavům

V navrhovaném driveru je potřeba brát v potaz překročení bezpečného malého napětí 50V AC, které mají tranzistory spínat. Vzhledem k tomu, že jde o obvody napájené z baterie, je na ně aplikována ochrana elektrickým oddělením podle normy ČSN EN 61140 ed.2. *Ochrana před úrazem elektrickým proudem*. U těchto obvodů je vyžadováno oddělení od všech ostatních obvodů a země dvojitou nebo zesílenou izolací, která musí vydržet bez porušení alespoň 4 kV AC podle ČSN 34 7010-82 [42][43][44][45].

Další výhodou galvanického oddělení je naprosté vyhnutí se řešení záporných napěťových špiček na uzemňovací svorce driveru během vypínání tranzistoru. Galvanické oddělení je obecně skvělé pro oddělení citlivých řídicích obvodů od výkonových obvodů, ve kterých snadno vzniknou napěťové zákmity. Pokud by se tyto zákmity dostaly do uzemnění **řídicích obvodů**, mohly by způsobit **nežádoucí chování** logických obvodů, nebo dokonce jejich zničení. Další věc která je galvanickým oddělením vyloučena, je složitý návrh driveru bez galvanického oddělení. Je totiž k dispozici v diskrétní podobě asi jen jedno řešení, které zahrnuje bootstrap kondenzátor s diodou. Toto řešení je konstrukčně velmi jednoduché, ale né co se týče návrhu a má plno nevýhod vyplývajících např. z toho, že napájení horního tranzistoru můstku je řešeno pomocí nábojové pumpy, která čerpá do bootstrap kapacitoru náboj vždy jen když je sepnut spodní tranzistor můstku [56].

Záporné napětí na gate tranzistoru může **zabránit sepnutí vlivem Millerova jevu** (ochrana proti vysokému dv/dt na výstupu). Zvyšuje totiž napětí V_{GS} potřebné k sepnutí tranzistoru vlivem Millerova jevu, muselo by být vyšší než $V_{th} + V_{GS(OFF)}$. Řízení hradla záporným napětím je často používané, ale většinou se záporné napětí udržuje například na -2V. V tom případě ztráty závěrnou vodivostí u gate HEMT tranzistoru nejsou až tak velké jako např. při -6V. Záporné napětí u HEMT tranzistoru totiž způsobuje **ztráty závěrnou**

vodivosti přes Schottkyho kontakt vyplývající z jejich vnitřní struktury na rozdíl od Si MOSFET které mají zanedbatelnou závěrnou vodivost gate (Struktury viz *obr. 1.5 GaN HEMT, obr 2.1 a obr 2.2 Si MOSFET*) [55][58].

4.3.2 Důležité požadavky na galvanicky oddělený driver

Zde je zmíněno, co je nutné splnit při výběru driveru s galvanickým oddělením [28][57]:

- CMTI (Common Mode Transient Imunity) ideálně alespoň 100 V/ns (kV/ μ s).
- C_{IO} (kapacita mezi vstupem a výstupem) ≤ 2 pF
- Při výběru galvanicky izolovaného zdroje by měly být co nejmenší kapacity mezi jeho vinutími. Později při návrhu DPS je nutné pod galvanickým oddělením nevést žádné cesty, které by mohly zvýšit parazitní kapacitu

4.3.3 Rychlost spínání a dopravní zpoždění driveru

Driver se nejprve musí sepnout, aby vůbec došlo ke spínání tranzistoru. Proto **spínací časy driveru t_r a t_f by měly být blízké spínacím časům tranzistoru**. Vzhledem k tomu, že driver má v sobě menší tranzistory, bylo by špatné, kdyby zbytečně prodlužoval spínání. Pro určení potřebné rychlosti spínání a dopravního zpoždění je potřeba se soustředit nejrychlejší možné spínací časy tranzistoru t_r , t_f , $t_{d(on)}$ a $t_{d(off)}$. Ty lze vyčíst z *tabulky 4.1.* pro 600V GaN FET, spínací časy pro 100V GaN FET k dispozici sice nemám, ale podle velikosti Q_G , která je srovnatelná u 100V tranzistorů a to $Q_G = 12$ nC se dají očekávat podobné časy sepnutí. Minimální hodnoty, které se u 600 V GaN tranzistorů vyskytují *jsou* $t_{d(on)} = 3,7$ ns, $t_{d(off)} = 5,5$ ns, $t_r = 5,6$ ns, $t_f = 2,4$ ns. Všechny tyto hodnoty platí pro tranzistor od Panasonic. Vybraný driver by tedy měl mít spínací časy blízké těmto u GaN tranzistoru od Panasonic [59][52][53].

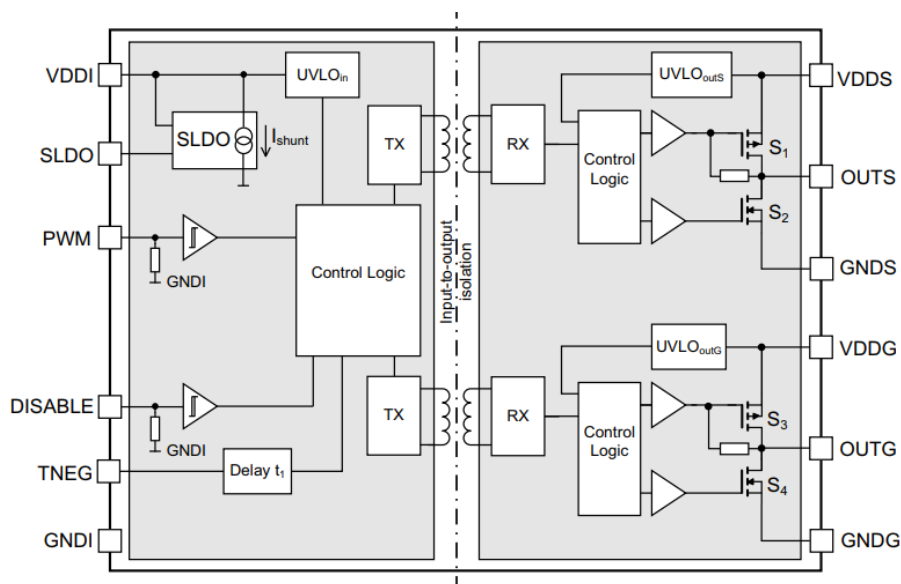
Existují různé způsoby jak dosáhnout rychlejšího odčerpání náboje z Gate tranzistoru, souhrmně jsou označovány jako obvody pro vylepšení rychlosti (Speed-Enhancement Circuits) [56][48][58]:

- **Záporné budící napětí** - způsobuje rychlejší odsátí náboje z Gate tranzistoru při jeho vypínání.

- Vytvoření **vybíjecí větve s nižším odporem** než je používán k nabíjení tranzistoru. Tato větev se skládá ze sériové kombinace diody a vybíjecího rezistoru.
- Tzv. Miller clamping – jde o různé způsoby **zkratování Gate a Source tranzistoru** pomocí bipolárního, nebo unipolárního, často diskretního tranzistoru.

4.3.4 Blokové schéma vybraného driveru

Podle všech zmíněných kritérií byl vybrán driver 1EDS5663H od Infineonu.

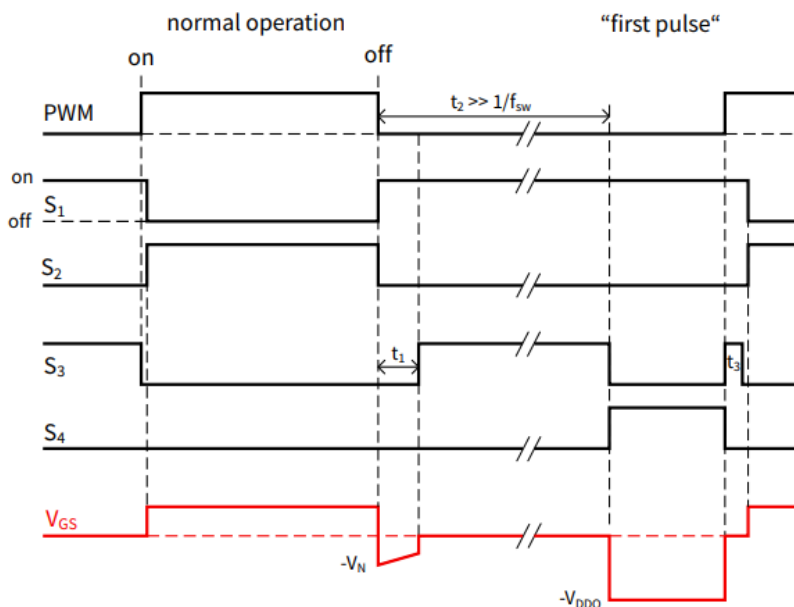


Obr 4.1 Blokové schéma vybraného driveru [83]

Parametry 1EDS5663H jsou [83]:

- $CMTI > 200 \text{ V/ns}$
- dopravní zpoždění vstupu k výstupu t_{PD} jen 37ns s rozptylem max. +7 -6ns
- zesílená izolace vstupu od výstupu – byla testována na 4 kV AC
- UVLO ochrana napájení jak na vstupu, tak na budícím napájení.
- Tento driver je zajímavý tím, že má dva sekundární push-pull spínače napájení a dvě výstupní svorky, na kterých z jednoho napájecího napětí dokáže vytvořit jak kladné, tak záporné budící napětí V_{GS} .
- Driver neobsahuje obvod pro zajištění mrtvých časů, ten musí být dodán diskretně.

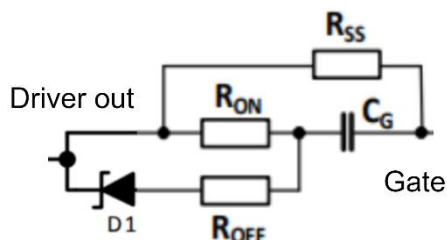
- Záporné budící napětí minimalizuje Millerův jev a urychluje vypínání, navíc nedochází k velkým závěrným ztrátám gate, protože driver má programovatelnou dobu přiložení záporného napětí. Proto lze zapnout jeden a vypnout druhý tranzistor v půlmůstku ještě s přiloženým záporným napětím a teprve potom je přiloženo nulové závěrné napětí na gate pro udržení tranzistoru ve vypnutém stavu.



Obr. 4.2: Řídící napětí V_{GS} dodávané driverem při vypínání a při zapínání po dlouhé nečinnosti [83]

4.3.5 Obvod rezistivity hradla R_G

Driver nemůže být připojen k tranzistoru přímo, protože by docházelo k příliš rychlému spínání. Je-li strmota změny V_{DS} příliš velká, může dojít k sepnutí druhého tranzistoru v půlmůstku přes C_{GD} vlivem Millerova jevu. Navíc vznikají překmity a může dojít k porušení EMC (Elektromagnetické kompatibility). Odpor budící cesty se běžně nastavuje rezistorem na ideální hodnotu podle dané DPS. Právě parazitní parametry DPS jsou to co vyvolává zákmity a zapříčiňuje nutnost zpomalení spínání odporem. Pro každý tranzistor lze najít v katalogovém listu doporučenou hodnotu na které je dobré začít [36].



Obr. 4.3 Propojení driveru a gate (obvod R_G) [10][67][55]

Při určení výsledného nastavení obvodu R_G hradla tranzistoru se za dobrou počáteční hodnotu na hotové DPS se považuje poměr $R_{G(ON)}/R_{G(OFF)} \geq 5-10$ s tím, že se začne na $R_{G(ON)} = 10-20\Omega$ a $R_{G(OFF)} = 1-2\Omega$. Tyto hodnoty platí pro 650V GaN HEMT GS66508, po shlédnutí katalogových listů [28][67] ale považují za lepší začít na hodnotě $R_{G(OFF)} = 5-10\Omega$. To jsou totiž hodnoty testovacího obvodu. V katalogových listech je možné také najít ideální schéma zapojení driveru k tranzistoru viz obr. 4.3. Ve schématu je také klidový odpor R_{SS} , Schottkyho dioda, která má malý Q_{rr} je ve vybíjecí větvi kvůli rychlému spínání a aby byl R_{OFF} , který je menší než R_{ON} , zapojen jen při vypínání gate. Kapacita C_G zajišťuje průchod proudu v ustáleném stavu jen skrz R_{SS} . C_G musí být dostatečně malá aby umožňovala rychlé spínání na 1 MHz. Vhodné hodnoty pro začátek jsou $C_G = 2nF$ a $R_{SS} = 380\Omega$.

Pro tranzistory MOSFET se tento obvod liší a pro 100V tranzistor může být hodnota okolo 5-20 Ω , je odebrán R_{SS} pro napájení tranzistoru v otevřeném stavu a není potřeba rozdělovat R_G na nabíjecí a vybíjecí rezistor $R_{G(ON)}$ a $R_{G(OFF)}$. Pro určení vhodného rezistoru je vhodnou metodou pomocí osciloskopu změřit rezonanční frekvenci f_R . Pomocí Thompsonova vztahu pro RLC sériový obvod lze z f_R a C_{ISS} dopočítat sériovou indukčnost L_S cest DPS připojenou k tranzistoru. Poté už stačí jen spočítat kritický odpor pro utlumení kmitání R_K odvozený z diferenciální rovnice pro napětí sériového RLC obvodu. Podmínka pro aperiodický děj říká, že R_G větší než R_K nezpůsobí kmitání. Podobně by šlo postupovat i v případě GaN tranzistoru, jen je pro každý spínací (přechodný) děj potřeba izolovat tu právě zapojenou RLC smyčku s nejmenším R [28][55][28][60][84].

$$L_S = \frac{1}{C_{ISS} (2\pi f_R)^2} \quad (4.1)$$

$$R_K = 2 \sqrt{\frac{L}{C}} \quad (4.2)$$

4.4 Zdroj napájecího napětí budiče

4.4.1 Galvanické oddělení zdroje

Driver vyžaduje budící zdroj napájení tranzistoru galvanicky oddělený od zdroje řídicího napětí. Je to z důvodu bezpečnosti. Jak již bylo vysvětleno v kapitole **4.3.1 Bezpečnostní normy a ochrana proti nežádoucím stavům** Rušení z výkonového obvodu,

nebo nastalá porucha se nesmí dostat do řídicího obvodu. Pokud by se tak stalo, řídicí obvod by mohl být buď zničen, nebo způsobit chybnou funkci koncového zařízení. Takový přenos poruchy je možný i skrze napájení i skrze cestu řídicího signálu, pokud nejsou galvanicky oddělené. Izolační bariéra musí mít zkoušku na 4kV AC bezpečné oddělení, aby bylo vyhověno normě. Galvanické oddělení je nejčastěji řešeno impulsním transformátorkem, nebo kapacitní vazbou. Toto galvanické oddělení však vyžaduje střídavý meziobvod, který je potřeba i pro případnou změnu napěťové hladiny v DC obvodech.

4.4.2 Proudové dimenzování budícího zdroje

Vzorec pro výpočet kondenzátoru špičkového proudu s požadovaným zvlněním $\Delta v(t)$:

$$C_{PEAK} = \frac{\Delta Q_{C_PEAK}}{\Delta v_{C_PEAK}} = \frac{2 \cdot Q_G}{\Delta v_{C_PEAK_max}} \quad (4.3)$$

Vzorec 4.5 vychází z úvahy: Jak velká musí být kapacita kondenzátoru, aby se během spínání (vybíjení) změnilo napětí jen o maximálně $\Delta v_{C_PEAK_max}$? Náboj $2Q_G$ se do tranzistoru vybije z kondenzátoru špičkového proudu každou půl periodu $T/2$, protože se přebíjí od kladného k zápornému napětí nebo obráceně, což je dvojnásobek napětí při kterém byly náboje Q_G v katalogových listech tranzistorů měřeny. Maximální zvlnění $\Delta v_{C_PEAK_max}$ je zvoleno 0,05 V. **Největší náboje Q_G tranzistoru, které by mohlo být potřeba nabít** jsou podle tabulky 4.II *Porovnání dostupných GaN tranzistorů pro 600V – 650V a 45A nebo více*. je to **$Q_G = 24\text{nC}$ pro GaN tranzistory** a podle tabulky 4.III *Porovnání dostupných Si tranzistorů pro 650 V a 100 A až 250 A* je to **$Q_G = 434\text{nC}$ pro Si tranzistory**. Minimální špičková kapacita by tedy měla být pro 0,05V zvlnění následující:

$$C_{MIN_PEAK_GaN\text{FET}} = \frac{2 \cdot 24 \cdot 10^{-9}}{0,05} = 0,96 \cdot \mu F \quad (4.4)$$

$$C_{MIN_PEAK_Si\text{FET}} = \frac{2 \cdot 434 \cdot 10^{-9}}{0,05} = 17,36 \cdot \mu F \quad (4.5)$$

Výrobce uvádí minimální velikost kondenzátoru na svorkách zdroje výstupního napětí o velikosti, **proto bude zvoleno 20 nF**. Rozdíl napětí $V_{G(ON)} - V_{G(OFF)}$ je dvojnásobek

napájecího napětí driveru. Proto je potřeba dodat dvojnásobný náboj Q_G , aby došlo k přebití hradla ze zapnutého do vypnutého stavu nebo obráceně. Dohromady je tranzistor přebíjen 2x za periodu, proto je potřeba každou periodu přecerpat mezi driverem a tranzistorem náboj $4Q_G$. Proud Izolovaného DC/DC měniče, který musí být dodáván během ustálených stavů mezi spínáním, aby se dobil špičkový kondenzátor je náboj na přebití proto je:

$$I_{DC_zdroje_GaN} = \frac{4Q_G}{T} = 4Q_G \cdot f \tag{4.6}$$

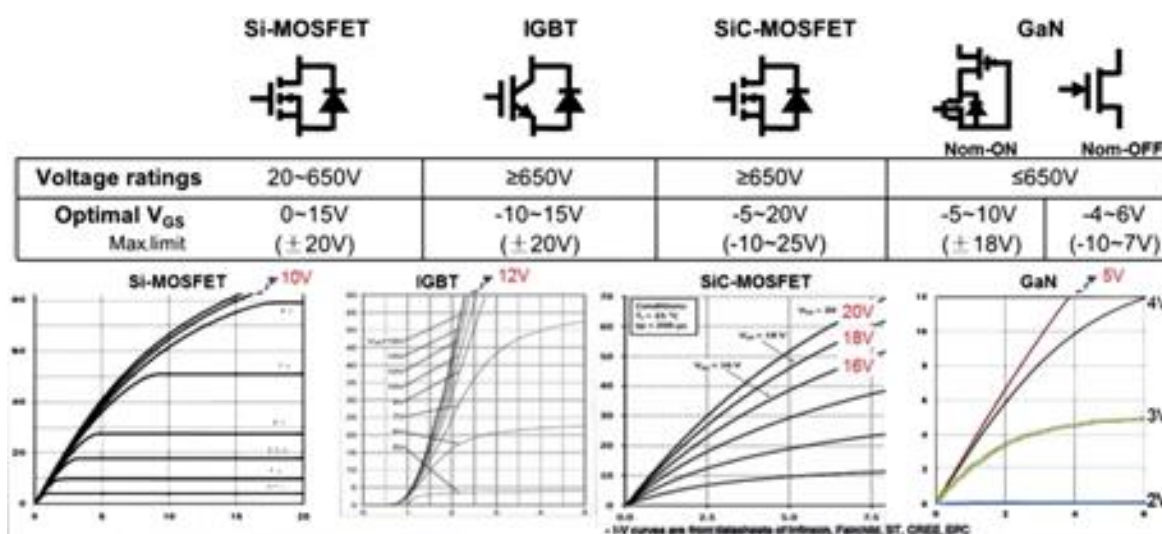
$$I_{DC_zdroje_Si} = 4 \cdot 434 \cdot 100\,000 \cdot 10^{-9} = 173\,mA \tag{4.7}$$

$$I_{DC_zdroje_GaN} = 4 \cdot 24 \cdot 1\,000\,000 \cdot 10^{-9} = 96\,mA \tag{4.8}$$

S malou rezervou je potřeba zdroj 200mA pro Si MOSFET a 120mA pro GaN [61].

4.4.3 Hladiny budícího napětí a výběr budícího zdroje napájení

Pro buzení Si MOSFET je potřeba změna napětí z 5 V, které budou pro GaN na 15 V. Při pohledu na výstupní charakteristiku tranzistoru Si MOSFET a GaN HEMT FET na obr. 4.5 lze vidět ideální hladiny napětí potřebné pro vybuzení tranzistoru. U Si MOSFET je to 0-15V, avšak dovoleno je +-20 V, u GaN HEMT FET je to -4V až +6V, ale dovoleno je -10 až +7 V. Z tabulek v kapitolách 1.4 *Analyza dostupných GaN HEMT pro 100 až 650 V a 45*



Obr. 4.4 Výstupní charakteristiky a budící napětí tranzistorů [70]

A až max. A a 2.4 *Analyza dostupných GaN HEMT pro 100 až 650 V a 45 A až 250 A* lze udávané napěťové hladiny potvrdit. Protože je potřeba jen jeden zdroj pro spínání GaN

Praktická realizace tohoto obvodu je nejvýhodnější v podobě 2 logických hradel a prostého RC obvodu, který je v diskretní podobě možné navrhnout jednoduše nastavitelný pomocí „jumper“ propojovacích svorek k příslušnému rezistoru a nebo kapacitě. Časová konstanta je $1/RC$, proto je možné nastavovat ji jak odporem, tak kapacitou. Logická hradla byla zvolena: SN74LVC1G08(QDBVRQ1) - AND Hradlo a SN74LVC1G02(DBVR) - NOR Hradlo. Obě jsou od TI a mají velmi podobné parametry co se týče dopravního zpoždění při připojení zátěžné kapacity $C_L = 30$ pF nebo 50 pF. Navíc při spínání 3,3 a 5V se minimum a maximum dopravního zpoždění t_{PD} neliší vůbec. Na 5 V se t_{PD} pohybuje ve velmi malém rozmezí 1 a 4 ns, Na 3,3 V se t_{PD} pohybuje od 1 V do 4,5 V. Oproti spínacím časům tranzistorů je to velmi malá hodnota, proto budou jen zanedbatelně ovlivněny, s tímto záměrem byla hradla vybrána. Hradla jsou typu CMOS aby nepotřebovala klidový proud a byla tak úspornější [86][87].

4.5.1 Optimální mrtvý čas

Optimální mrtvý čas t_{dead} by mohl být určen pomocí následujícího vzorce s uvážením nejdělsích možných časových intervalů během spínání (pro nejhorší případ):

$$t_{dead_opti} \geq t_{d(off)_S} + t_{f_S} - t_{d(on)_C} + t_{PDD_D} + t_{PDD_LG} \quad (4.3)$$

, kde $t_{d(off)_S}$ - zpoždění vypnutí „synchronizujícího se“ tranzistoru, t_{f_S} – čas vypnutí „synchronizujícího se“ tranzistoru, $t_{d(on)_C}$ – zpoždění zapnutí řízeného (Controlled) tranzistoru, t_{PDD_D} – rozdíl maximálního a minimálního zpoždění šíření signálu driverem (Propagation Delay Difference - Driver), t_{PDD_LG} – rozdíl maximálního a minimálního zpoždění šíření signálu jedním z logických hradel (Propagation Delay Difference – Logic Gate).

Typické mrtvé časy jsou pro GaN FET 50-100ns na 650V a 15-20ns na 100V [55]. U Si MOSFET tranzistorů lze očekávat určitě delší mrtvé časy okolo 75ns na 100V [64] a z toho odhadem okolo 230 ns na 650 V. Pro představu mrtvých časů ale raději ještě bude vypočteno několik konkrétních příkladů, jeden zástupce pro každou ze skupin tranzistorů, které byly porovnány v kapitole 3 *Porovnání vysokorychlostních Si MOSFET a GaN HEMT mezi sebou* [63][55][64].

4.5.2 Výpočet mrtvých časů pro půl můstky s 2 stejnými tranzistory:

- 650V, 47A, GaN HEMT FET, GS66516B, GaN Systems:
- 100V, 65A, GaN HEMT FET, GS61008T, GaN Systems:
- 650V, 67A, Si MOSFET, IXTK102N65X2, IXYS:
- 100V, 98A, Si MOSFET, CSD19532KTT, Texas Instruments
- Výpočet parametrů neurčených tranzistory, ale ostatními obvody:

$$t_{PDD_D} + t_{PDD_LG} = 3 + 13 = 16ns \quad (4.4)$$

- Výpočet mrtvých časů:

$$t_{d\ 650V\ GaN}[ns] \geq 14,9 + 22 - 15 + 16 = 37,9ns \quad (4.5)$$

$$t_{d\ 100V\ GaN}[ns] \geq \dots \text{(nejsou udávány spínací časy)} \quad (4.6)$$

$$t_{d\ 650V\ Si}[ns] \geq 67 + 11 - 37 + 16 = 57ns \quad (4.7)$$

$$t_{d\ 100V\ Si}[ns] \geq 14 + 2 - 9 + 16 = 21ns \quad (4.8)$$

Datové listy odkud byly převzaty t_{PDD} : [83][86][87].

Optimální mrtvé časy celkově vyšly dokonce o něco menší, než nejmenší typická hodnota podle předpokladů, přitom v nich je zahrnutá i mezní tolerance pro nejhorší časy. To znamená, že driver je trochu více než nadprůměrný v hodnotách t_{PDD} . Výsledný mrtvý čas a časová konstanta RC obvodu spolu přímo souvisí podle vzorce, jehož odvození bude nyní vysvětleno. Logická hradla [86][87] mají vstupní hladiny $V_{IL} = 0,3V_{CC}$ a $V_{IH} = 0,7V_{CC}$. Napájení hradel je zvoleno 5V. Za ustáleného stavu je na vstupu hradla buď 0 nebo 5V, pro přepnutí tranzistoru do jiného logického stavu proto je vždy potřeba buď přejít z nuly do $0,7V_{CC}$ nebo z V_{CC} do $0,3V_{CC}$. V každém případě se RC obvod bude přebíjet s diferencí V_{CC} a změna o $0,7V_{CC} = 3,5V$ je hladina překlopení logického hradla. Co potřebujeme je určit velikost časové konstanty τ o které víme, že $\tau = RC$. Je jednoduše nastavitelná.

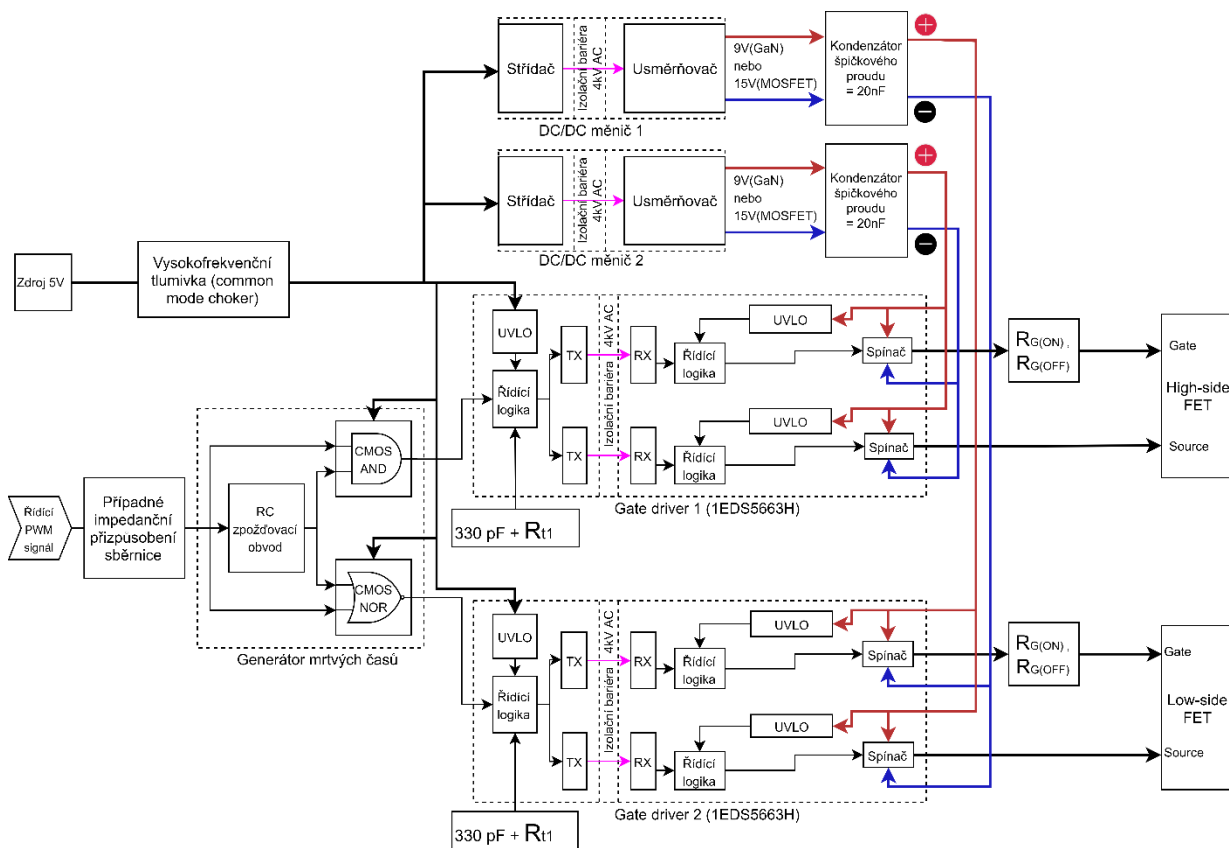
Výpočet τ :

$$\text{Diferenciální rovnice pro výstup RC obvodu: } v_2(t) = V_{cc} * \left(1 - e^{-\frac{t_D}{\tau}}\right) \quad (4.9)$$

$$\text{Podmínky: } v_2(0) = 0; v_2(t_D) = 3,5 V; V_{cc} = 5 V \quad (4.10)$$

$$\text{Po dosazení a úpravě: } \tau = \frac{-t_D}{\ln(0,3)} \quad (4.11)$$

4.6 Kompletní blokové schéma



Obr. 4.6 Blokové schéma budícího obvodu

Poznámky: V blokovém schématu nejsou zobrazeny blokové kondenzátory, které nejsou příliš důležité pro objasnění funkce. Blok impedanční přizpůsobení sběrnice obsahuje terminátor sběrnice pro 5V CMOS logiku, pro případ, že by docházelo k odrazům. Tlumivka slouží k vyfiltrování vysokofrekvenčního rušení, pokud by bylo přítomno [28].

Závěr

Blokové schéma driveru znázorňuje dostatečně vše co je potřeba pro návrh DPS kromě druhu spínaného tranzistoru (i jeho napěťové hladiny) a nadproudové ochrany tranzistoru. Driver by při správném návrhu DPS měl být schopen spínat tranzistory Si MOSFET i GaN HEMT FET jejichž destruktivní průrazná napětí mohou být mezi 100 až 650 V. Driver je navržen pro spínací (PWM) frekvence 100kHz pokud jsou spínány Si MOSFET tranzistory s nábojem hradla 5-24 nC, nebo 1MHz v případě spínání GaN HEMT FET tranzistorů s nábojem hradla 150-500 nC. Budoucí mezní maximální spínací frekvence driveru pro konkrétní tranzistor se dá odvodit pro konkrétní tranzistor zpětně z upraveného vzorce (0.6):

$$f = \frac{I_{DC_zdroje_max}}{4Q_G} \quad (0.1)$$

Z kapitoly 4.4.3 *Hladiny budícího napětí a výběr budícího zdroje napájení* lze získat $I_{DC_zdroje_max} = 200\text{mA}$ a poté už jen náboj Q_G dosadit dle tranzistoru.

Z kapitoly 3.4 *Porovnání tranzistorů*, kde byly získány možné spínací frekvence tranzistorů, vyplývá, že maximální spínací frekvence závisí i na výběru tranzistoru. Výrobci nastínili spínacími časy uvedenými v datových listech to, jaké spínací frekvence jsou tranzistory skutečně schopné.

Nejvyšší možná budoucí spínací frekvence je omezena kromě náboje hradla a proudu dodávaného stejnosměrným zdrojem také zejména rezonančními frekvencemi obvodu, maximální frekvencí parazitních dolních propustí vzniklých kapacitami DPS (ve formě RC obvodů), nebo maximální propustnou frekvencí proudu indukčností vodivých cest DPS. Podle vlastností výsledné DPS je pak nastavena vstupní dolní propust gate složená z C_{ISS} a R_G , tak aby nevznikaly rezonance na parazitních prvcích DPS.

K úplnosti řídicích obvodů chybí návrh nadproudové ochrany, který nebyl proveden kvůli již tak dost velké rozsáhlosti bakalářské práce. Nadproudovou ochranu by bylo možné navrhnout pouze při zkrácení kapitol 1 a 2 ve kterých jsou analyzovány dostupné tranzistory.

Seznam literatury a informačních zdrojů

GaN HEMT technologie

- [1] JAVORKA, P. *Fabrication and Characterization of AlGaIn/GaN High Electron Mobility Transistor* [online]. Dizertační práce. RWTH Aachen University. 10.2.2004 [Cit 20.1.2019]. Dostupné z: <https://core.ac.uk/download/pdf/36428569.pdf>
- [2] GaN Basics: FAQs. [online]. Sam Davis. Vyd. 17.1.2019. [Cit 20.1.2019]. Dostupné z: <https://www.powerelectronics.com/gan-transistors/gan-basics-faqs>
- [3] AMANO, H. a kol. *The 2018 GaN power electronics roadmap. Journal of Physics D: Applied Physics* [online]. 2018 [Cit 20.1.2019]. 51, 163001. Dostupné z: <http://iopscience.iop.org/article/10.1088/1361-6463/aaaf9d/pdf>
- [4] LI, K. a kol. *SiC/GaN Power Semiconductor Devices: A Theoretical Comparison and Experimental Evaluation under Different Switching Conditions. IET (Electrical Systems Transportation)* [online]. DOI: 10.1049/iet-est.2017.0022. 2017 [Cit 20.1.2019]. Dostupné z: <https://ieeexplore.ieee.org/document/8281604>
- [5] LIDOW, A. a STRYDOM, J. *Gallium Nitride (GaN) Technology Overview. WHITE PAPER: WP001* [online]. EPC (Efficient Power Conversion Corporation). 2012 [Cit 20.1.2019]. Dostupné z: <http://epc-co.com/epc/Portals/0/epc/documents/papers/Gallium%20Nitride%20GaN%20Technology%20Overview.pdf>
- [6] He Xiao-GUANG, Zhao De-GANG, Jiang De-SHENG. *Formation of two-dimensional electron gas at AlGaIn/GaN heterostructure and the derivation of its sheet density expression. Chinese Physics B.* [online]. 2015 [cit. 25.1 2019]. 24(6): 067301. Dostupné z: http://cpb.iphy.ac.cn/article/2015/cpb_24_6_067301.html
- [7] Hsien-Chin CHIU (Senior Member, IEEE), Yi-Sheng CHANG, Bo-HONG LI, Hsiang-Chun WANG, Hsuan-Ling KAO, Chin-Wei HU a Rong XUAN. *Performance Normally Off p-GaN Gate HEMT With Composite AlN/Al_{0.17}Ga_{0.83}N/Al_{0.3}Ga_{0.7}N Barrier Layers Design* [online]. Chang-Gung University, Taiwan, 5.1.2018 [cit. 25.1 2019]. Dostupné z: <https://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=8247185>
- [8] GALANOS, Nikolaos *Investigation of the inductor's parasitic capacitance in the high frequency switching of the high voltage cascode GaN HEMT.* Master of Science Thesis [online]. Delft University of Technology. Publikováno 16.4.2015 [cit. 25.1 2019]. Dostupné z: <https://pdfs.semanticscholar.org/7e1c/d164ec7d8f14d5cd7c34faa7195e931626e0.pdf>
- [9] *Power MOSFET Basics: Understanding Gate Charge and Using it to Assess Switching Performance* Device Application Note AN608A [online]. Vishay Siliconix., Poslední revize: 16.2.2016 [cit. 25.1 2019]. Dostupné z: <https://www.vishay.com/docs/73217/an608a.pdf>
- [10] ROTH, Wolf-Dieter *High Electron Mobility Transistor – der HEMT: Nicht nur für Hochfrequenz* [online]. Hy Line. Publikováno: 10.09.2015. [cit. 28.1 2019]. Dostupné z: <https://www.smarterworld.de/smart-components/halbleiter/artikel/123074/1/>
- [11] Saleem Hamady. *New concepts for normally-off power Gallium Nitride (GaN) High Electron Mobility Transistor (HEMT)* [online]. Micro and nanotechnologies/Microelectronics. Université Toulouse III Paul Sabatier, 2014 [cit. 5.2 2019]. English. Dostupné z: <https://tel.archives-ouvertes.fr/tel/01132563/documentApplications>

MOSFET technologie

- [12] KEIM, Robert *Choosing the Right Transistor: Understanding Dynamic MOSFET Parameters* [online]. Publikováno: 24.7.2018 [cit. 25.1 2019]. Dostupné z: <https://www.allaboutcircuits.com/technical-articles/choosing-the-right-transistor-understanding-dynamic-mosfet-parameters/>
- [13] *Power MOSFET Basics: Understanding Gate Charge and Using it to Assess Switching Performance Device Application Note AN608A* [online]. Vishay Siliconix., Poslední revize: 16.2.2016 1 [cit. 25.1 2019]. Dostupné z: <https://www.vishay.com/docs/73217/an608a.pdf>
- [14] VOBECKÝ, Jan; ZÁHLAVA Vít *Elektronika: součástky a obvody, principy a příklady. 2. vyd.* [knih] Praha: Grada, 2001. 192 s.
- [15] Electronics-tutorials.ws. *The MOSFET.* [online]. [Cit. 6.11.2018]. Dostupné z: https://www.electronics-tutorials.ws/transistor/tran_6.html
- [16] <http://www.physics.csbsju.edu>. *nMOSFET (enhancement) Characteristic Curves* [online]. [Cit. 10.2.2019]. Dostupné z: <http://www.physics.csbsju.edu/trace/nMOSFET.CC.html>
- [17] <http://www.physics.csbsju.edu>. *pMOSFET (enhancement) Characteristic Curves* [online]. [Cit. 10.2.2019]. Dostupné z: <http://www.physics.csbsju.edu/trace/pMOSFET.CC.html>

Technologie VMOS UMOS, Trench gate MOSFET

- [18] BROWN, Jess; MOXEY, Guy *Power MOSFET Basics: Understanding MOSFET Characteristics Associated With The Figure of Merit* [online]. Application note AN605. Vishay Siliconix. Copyright © [cit. 18.02.2019]. Dostupné z: <https://www.vishay.com/docs/71933/71933.pdf>
- [19] VAN ZEGHBROECK, B. *Principles of Semiconductor Devices / Chapter 7: MOS Field-Effect Transistors / Power MOSFETs / VMOS Transistors and UMOS* [online]. ©, 2011 [cit. 18.02.2019]. Dostupné z: https://ecee.colorado.edu/~bart/book/book/chapter7/ch7_8.htm
- [20] SAXENA, Raghvendra Sahai a KUMAR, M. Jagadesh *Trench Gate Power MOSFET: Recent Advances and Innovations* [online]. Nova Science Publishers: Hauppauge, NY, USA, 2012. Dostupné z: <http://web.iitd.ac.in/~mamidala/HTMLObj-1474/Trench-MOSFET-Book-Chapter-27-Aug-12.pdf>
- [21] *Que de MOS!-13: Apprendre et comprendre. Apprendre et comprendre: jamais savoir toujours apprendre* [online]. 3.2017 [cit. 18.02.2019]. Dostupné z: <https://emrecom.wordpress.com/2017/03/01/que-de-mos-13/>
- [22] XIONG, Yali a kol. *Performance Analysis of Trench Power MOSFETs in High-Frequency Synchronous Buck Converter Applications.* [online]. Hindawi Publishing Corporation, © 2008. [cit. 19.02.2019]. Dostupné z: <https://www.hindawi.com/journals/ape/2008/412175>

Technologie superpřechodu

- [23] *Power MOSFET Basics Understanding Superjunction Technology.* Application Note AN849. [online]. Vishay Siliconix. Poslední revize: 21.4.2015 1 [cit. 19.2 2019]. Dostupné z: <https://www.vishay.com/docs/66864/an849.pdf>
- [24] KIM S.G. et. al. *A novel super-junction trench gate MOSFET fabricated using high aspect-ratio trench etching and boron lateral diffusion technologies.* IEEE: (Kanazawa, Japan) 6.1.2014 [cit. 19.2 2019]. ISBN 978-1-4673-5136-2. Dostupné z: <https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=6694459>

Vlastnosti materiálů

- [25] Detailed Introduction to the Third Generation of Semiconductor Materials. Sputtering Targets & Evaporation Materials | Stanford Advanced Materials [online]. Copyright © 1994 [cit. 19.02.2019]. Dostupné z: <https://www.sputtertargets.net/blog/introduction-to-the-generations-of-semiconductors.html>
- [26] *GaN/SiC based High Electron Mobility Transistors for integrated microwave and power circuits: Project Osiris* [online]. Slovenská technická univerzita, Bratislava. Dostupné z: <http://uef.fe.i.stuba.sk/moodle/mod/book/print.php?id=7920&chapterid=56>
- [27] *GaN/SiC based High Electron Mobility Transistors for integrated microwave and power circuits: HEMT design and fabrication: Materials perspective* [online]. Slovenská technická univerzita, Bratislava. Dostupné z: <http://uef.fe.i.stuba.sk/moodle/mod/book/print.php?id=7920&chapterid=138>

Parametry tranzistorů pro jejich porovnání s ohledem na buzení

- [28] *GaN-Tr Application Note. PGA26E07BA* [online]. Panasonic Semiconductor Solutions Co., Ltd. Poslední revize: 31.10.2016 1 [cit. 25.1 2019]. Dostupné z: <https://na.industrial.panasonic.com/sites/default/pidsa/files/downloads/files/pga26e07ba-application-note.pdf>
- [29] *Reverse Recovery Charge, Current and Time*. Application Note AN-301. [online]. Power Integration. Dostupné z: <https://led-driver.power.com/sites/default/files/product-docs/AN-301.pdf>
- [30] PERSSON, Eric *CoolGaN™ application note* [online]. Infineon Technologies AG, 2018 [cit. 25.1 2019]. AN_201702_PL52_010. Dostupné z: https://www.infineon.com/dgdl/Infineon-ApplicationNote_CoolGaN_600V_emode_HEMTs-AN-v01_00-EN.pdf?fileId=5546d46262b31d2e016368e4cab10701
- [31] Lin, HL; CHUNG, Childs a CHEN, Jerry *AN-1001. Understanding Power MOSFET Parameters*. Application note. Taiwan semiconductor. Poslední revize 12.2.2016 [cit. 22.2.2019] Dostupné z: https://www.taiwansemi.com/upload/files/products/Application_Note/AN-1001_A1611.pdf
- [32] *Mosfet as a Switch. Tutoriál*. [cit. 22.2.2019] Dostupné z: https://www.electronics-tutorials.ws/transistor/tran_7.html
- [33] *MOSFET Self-Turn-On Phenomenon*. Application Note. Toshiba Electronic Devices & Storage Corporation. Poslední revize 26.7.2018. Dostupné z: <https://toshiba.semicon-storage.com/info/docget.jsp?did=59473>
- [34] Gołaszewski, Jerzy *MOSFET vs. IGBT: vědomá volba*. 21.5.2014 [cit. 26.2.2019]. Dostupné z: <https://vyvoj.hw.cz/vykonove-obvody/mosfet-vs-igbt-vedoma-volba.html>

Millerův efekt

- [35] LAKER, Kenneth R. *Introducing the Miller Effect* [online]. University of Pennsylvania. 2008 [cit. 25.1 2019]. Dostupné z: https://www.seas.upenn.edu/~ese319/Lecture_Notes/Lec_11_Miller_Effect_08.pdf
- [36] XTREME, *Miller effect* [online]. avionics.nau.edu.u. [cit. 25.1 2019]. Dostupné z: <http://avionics.nau.edu.ua/files/doc/Miller%20effect.doc>

Použití tranzistorů

- [37] *Tektronix IsoVu Measurement Systems Helps Panasonic Semiconductor Solutions Significantly Shorten Development Time for New GaN Device* [online]. Tektronix, 10.11.2016 [Cit. 17.2.2019]. Dostupné z: <https://www.tek.com/document/case-study/panasonic-semiconductor-solutions-case->

study

- [38] MCDONALD, Tim *GaN in a Silicon world: competition or coexistence?* [online]. Infineon Technologies AG, APEC 2016, Long Beach, CA: © 14.04.2016 [Cit. 30.3.2019]. Dostupné z: https://www.infineon.com/dgdl/Infineon-Presentation_GaN_GalliumNitride_APEC2016-AP-v01_00-EN.pdf?fileId=5546d46253a864fe0153d0a8f85132c5
- [39] *Voltage Classes for Electric Mobility*. [online]. German Electrical and Electronic Manufacturers Association, 12.2013 [cit 18.2.2019]. Dostupné z: https://www.zvei.org/fileadmin/user_upload/Presse_und_Medien/Publikationen/2014/april/Voltage_Classes_for_Electric_Mobility/Voltage_Classes_for_Electric_Mobility.pdf
- [40] Special Issue : On-Chip Sensors (ISSN 1424-8220). MDPI - Publisher of Open Access Journals [online]. Copyright © 1996 [cit. 18.02.2019]. Dostupné z: https://www.mdpi.com/journal/sensors/special_issues/on-chip-sensors
- [41] Lab-on-a-chip - Wikipedia. [online]. Dostupné z: <https://en.wikipedia.org/wiki/Lab-on-a-chip>

Prostředky ochrany před úrazem elektrickým proudem

- [42] VRÁNA, Václav; KOLÁŘ, Václav *Bezpečnost v elektrotechnice: Ochrana před úrazem elektrickým proudem*. Ostrava: VŠB Technická Univerzita Ostrava. 2007 [cit. 2019-06-10]. Dostupné z: http://fei1.vsb.cz/kat420/vyuka/hgf/elektrotechnika/sylab_bezpecnost_bc.pdf
- [43] *eluc.kr-olomoucky.cz: BOZP při práci na elektrickém zařízení: Prostředky zvýšené ochrany zajišťující zároveň ochranu základní i při poruše: SELV, PELV a FELV* [online]. [cit. 2019-06-10]. Dostupné z: <https://eluc.kr-olomoucky.cz/verejne/lekce/387>
- [44] *eluc.kr-olomoucky.cz: BOZP při práci na elektrickém zařízení: Prostředky zvýšené ochrany zajišťující zároveň ochranu základní i při poruše: Ochranné oddělení obvodů* [online]. [cit. 2019-06-10]. Dostupné z: <https://eluc.kr-olomoucky.cz/verejne/lekce/381>
- [45] ŠŤASTNÝ, Vítězslav a kol. *Ochrana před úrazem elektrickým proudem* [online]. Energetikainfo.cz. 2010 [cit. 2019-06-10]. Dostupné z: https://www.energetikainfo.cz/33/ochrana-pred-urazem-elektrickym-proudem-uniqueidmRRWSbk196FNf8-jVUh4EndLzB6iykw_OO9evq5BODo/

Budící obvody a buzení tranzistorů

- [46] STĚPÁNEK, Jan *Stavba pulzního měniče s MOSFET tranzistory* [online]. Diplomová práce. Západočeská univerzita, 2012 [cit. 28.4.2019]. Dostupné na portal.zcu.cz
- [47] ZHANG, Huiguo; KANG, Rui; LUO, Mingzhu a PECHT, Michael *Precursor parameter identification for power supply prognostics and health management* [online]. IEEE Xplore, 2014 [cit. 4.6.2019]. DOI: 10.1109/ICRMS.2009.5261. Dostupné z: <https://www.researchgate.net/publication/224596592>
- [48] HOŠEK, Jan *Návrh měniče budícího obvodu trakčního motoru elektromobilu* [online]. Diplomová práce. České vysoké učení technické v Praze, 2013 [cit. 4.6.2019]. Dostupné z: <https://dspace.cvut.cz/bitstream/handle/10467/61181/F3-DP-2015-Hosek-Jan-hosek.pdf?sequence=1&isAllowed=y>
- [49] LEI CHEN, Hong a CHUN KEONG, Tee *Ochrana IGBT v pohonných systémech a systémech obnovitelných zdrojů energie* (přeloženo z originálu od Avago technologies). DPS Elektronika od A do Z, 2012 [cit. 4.6.2019]. Dostupné z: <https://www.dps-az.cz/soucastky/id:11965/ochrana-igbt-v-pohonných-systémech-a-systémech-obnovitelných-zdroju-energie>

- [50] VOREL, Pavel; PATOČKA, Miroslav *Budiče výkonových tranzistorů MOSFET a IGBT*. Vysoké učení technické v Brně, 2004 [cit. 4.6. 2019]. Dostupné z: <http://www.elektrorevue.cz/clanky/04030/index.html?fbclid=IwAR0QctFsWwEICZDlnY1sPXx73Irp2USmbWb9PIg8m0grRzVIUSApIktZvjM>
- [51] HRUŠKA, Miroslav; školitel: VONDRÁŠEK, František *Budící obvody pro tranzistory IGBT v můstkovém zapojení*. Disertační práce. Západočeská univerzita, 2004 [cit. 4.6. 2019] Dostupné v knihovně ZČU
- [52] CUMPS, Jan *Control a GaN half-bridge power stage with a single PWM signal*. Texas Instruments, 2015 [cit. 4.6. 2019] Dostupné z: https://e2e.ti.com/blogs_/b/powerhouse/archive/2015/09/10/control-a-gan-half-bridge-power-stage-with-a-single-pwm-signal
- [53] ROUGE, David *How to GaN, 7 Design Basics: Dead-Time Management* [online]. EPC corporation, 2014 [cit. 4.6. 2019]. Dostupné z: https://www.youtube.com/watch?v=j2LdmvGSfSA&fbclid=IwAR28V3DRUEcxvyaxCFtIopQ_fEQGExVOawKazK3dhv59QQU5sZJ2tfetBV4&app=desktop
- [54] VACULÍK, Petr. *Konstrukce Polovodičových Měničů: Budící obvody VPS - drivers* [online]. Ostrava: VŠB Technická Univerzita Ostrava, 2012 [cit. 2019-06-09]. Dostupné z: http://homen.vsb.cz/~hav278/Konstrukce_polovodicovych_menicu/Prednasky_a_cviceni/P4_-_Budici_obvody_VPS_-_drivers.pdf
- [55] PANASONIC SEMICONDUCTOR SOLUTIONS *Design with GaN Enhancement mode HEMT* [online]. GN001 Application note. Semiconductor Business Unit, Panasonic Semiconductor Solutions Co.,Ltd, 2018 [cit. 2019-06-09]. Dostupné z: <http://gansystems.com/design-center/application-notes/>
- [56] TEXAS INSTRUMENTS *Fundamentals of MOSFET and IGBT Gate Driver Circuits* [online]. SLUA618A Application report. Texas Instruments. 2018 [cit. 2019-06-10]. Dostupné z: www.ti.com/lit/ml/sl原因618a/sl原因618a.pdf
- [57] ZHANG, Wei *High Volt Interactive Training Series: Gate Driver Design - from Basics to Details* [online]. Texas Instruments. 2018 [cit. 2019-06-10]. Dostupné z: <https://training.ti.com/gate-driver-design-basics-details>
- [58] ZHANG, Wei *Power Switching Device Cannot Drive Themselves - Mastering the Art of High Voltage Gate Driver Design in UPS, Telecom, and Servers: UCC21520 – Turn-Off with Negative Voltage* [online]. Texas Instruments. 2018 [cit. 2019-06-10]. Dostupné z: <https://training.ti.com/gate-driver-training-series-isolated-gate-driver-turn-negative-voltage>
- [59] HAN, Di a SARLIOGLU, Bulent *IEEE Transactions on Power Electronics*, vyd. 31, stránky 601–612: *Deadtime Effect on GaN-Based Synchronous Boost Converter and Analytical Model for Optimal Deadtime Selection* [online]. 2016 [cit. 2019-06-10]. Dostupné z: <https://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=7047909>
- [60] BEGUE, Mateo *External Gate Resistor Design Guide for Gate Drivers* [online]. Texas Instruments. TechNote SLLA385. © 2018 [cit. 2019-06-10]. Dostupné z: <http://www.tij.co.jp/jp/lit/an/sll原因385/sll原因385.pdf>
- [61] HERMWILLE, Markus *IGBT Driver Calculation* [online]. Application note AN-7004. Semikron. 2007 [cit. 2019-06-10]. Dostupné z: <https://www.semikron.com/dl/service-support/downloads/download/semikron-application-note-igbt-driver-calculation-en-2007-10-31-rev-00/>

- [62] SHI, Ling-Feng; LIU, Fu-Bo; HE, Hui-Sen; MAO, Xiang-Yu a LAI, Xin-Quan *Design of adaptive dead-time control circuit for resonant half-bridge driver* [online]. International Journal of Electronics. 2013 [cit. 2019-06-10]. Dostupné z: https://www.researchgate.net/publication/263150695_Design_of_adaptive_dead-time_control_circuit_for_resonant_half-bridge_driver
- [63] XI, Zhang *How to calculate and minimize the dead time requirement for IGBTs properly* [online]. Application note AN2007-04. Infineon Technologies AG. 2007 [cit. 2019-06-10]. Dostupné z: https://www.infineon.com/dgdl/Infineon-AN2007_04_Deaddtime_calculation_for_IGBT_modules-AN-v1.0-en.pdf?fileId=db3a30431a5c32f2011a5daefc41005b
- [64] HAVANUR, Sanjay *Matching System Dead Time to MOSFET Parameters in ZVS Circuits* [online]. Vishay siliconix. 2014 [cit. 2019-06-10]. Dostupné z: <https://www.vishay.com/docs/67527/matchingsystemdeaddtime.pdf>
- [65] GRAOVAC, Dušan *Parasitic Turn-on of Power MOSFET – How to avoid it?* [online]. Infineon Technologies AG. 2008 [cit. 2019-06-10]. Dostupné z: https://www.infineon.com/dgdl/Parasitic_Turn-on_of_Power_MOSFET.pdf?fileId=db3a30431ed1d7b2011eee756cee5475

Katalogové listy k tranzistorům

- [66] *GS66516B: Bottom-side cooled 650 V E-mode GaN transistor*. Preliminary Datasheet [online]. GaN Systems. Dostupné z: <https://gansystems.com/wp-content/uploads/2019/01/GS66516B-DS-Rev-190121-1.pdf>
- [67] *IGT60R070D1: 600 V CoolGaN™ enhancement-mode Power Transistor*. Datasheet [online]. Infineon Technologies AG. Dostupné z: <https://www.infineon.com/cms/en/product/power/wide-band-gap-semiconductors-sic-gan/gallium-nitride-gan/igt60r070d1/>
- [68] *PGA26E07BA: Product Standards* [online]. Panasonic Dostupné z: https://industrial.panasonic.com/content/data/SC/ds/ds4/PGA26E07BA_E.pdf
- [69] *TP65H035WS: 650 V Cascode GaN FET in TO247* [online]. Transphorm. Dostupné z: https://www.transphormusa.com/wp-content/uploads/2018/11/tp65h035ws_v2.pdf
- [70] *EPC2033: eGaN® FET DATASHEET* [online]. EPC. Dostupné z: https://epc-co.com/epc/Portals/0/epc/documents/datasheets/EPC2033_datasheet.pdf
- [71] *GS61008T: Top-side cooled 100 V E-mode GaN transistor*, Preliminary Datasheet [online]. GaN Systems. Dostupné z: <https://gansystems.com/wp-content/uploads/2018/04/GS61008T-DS-Rev-180420.pdf>
- [72] *GS-065-120-1-D: Bottom-side cooled 650 V E-mode GaN transistor*. Datasheet [online]. GaN Systems. Dostupné z: <https://gansystems.com/wp-content/uploads/2019/01/GS66516B-DS-Rev-190121-1.pdf>
- [73] *IXTK102N65X2: 650 V E-mode Si MOSFET transistor*. Datasheet [online]. IXYS. Dostupné z: [http://ixapps.ixys.com/DataSheet/DS100655B\(IXTK-TX102N65X2\).pdf](http://ixapps.ixys.com/DataSheet/DS100655B(IXTK-TX102N65X2).pdf)
- [74] *IXFN170N65X2: 650 V E-mode Si MOSFET transistor*. Datasheet [online]. IXYS. Dostupné z: [http://ixapps.ixys.com/DataSheet/DS100692A\(IXFN170N65X2\).pdf](http://ixapps.ixys.com/DataSheet/DS100692A(IXFN170N65X2).pdf)
- [75] *TK100L60W: 650 V E-mode Si MOSFET transistor*. Datasheet [online]. Toshiba. Dostupné z: https://cz.mouser.com/datasheet/2/408/TK100L60W_datasheet_en_20131225-1140126.pdf

- [76] *IPW60R017C7: 650 V E-mode Si MOSFET transistor*. Datasheet [online]. Infineon Technologies AG. Dostupné z: https://www.infineon.com/dgdl/Infineon-IPW60R017C7-DS-v02_00-EN.pdf?fileId=5546d46253a864fe0153cc8319e77eb8
- [77] *STY145N65M5: 650 V E-mode Si MOSFET transistor*. Datasheet [online]. ST. Dostupné z: <https://www.st.com/resource/en/datasheet/sty145n65m5.pdf>
- [78] *TSM160N10: 100 V E-mode Si MOSFET transistor*. Datasheet [online]. Taiwan semiconductor. Dostupné z: https://cz.mouser.com/datasheet/2/395/TSM160N10_C15-951332.pdf
- [79] *CSD19532KTT: 100 V E-mode Si MOSFET transistor*. Datasheet [online]. Texas Instruments. Dostupné z: <http://www.ti.com/lit/ds/symlink/csd19532ktt.pdf>
- [80] *IAUT150N10S5N035: 100 V E-mode Si MOSFET transistor*. Datasheet [online]. Infineon Technologies AG. Dostupné z: <https://www.infineon.com/cms/en/product/power/mosfet/20v-800v-automotive-mosfet/75v-100v-n-channel-automotive-mosfet/iaut150n10s5n035/>
- [81] *STH315N10F7: 100 V E-mode Si MOSFET transistor*. Datasheet [online]. ST. Dostupné z: <https://cz.mouser.com/datasheet/2/389/sth315n10f7-2-955963.pdf>
- [82] *FDBL86066-F085: 100 V E-mode Si MOSFET transistor*. Datasheet [online]. ON emiconductor. Dostupné z: <https://cz.mouser.com/datasheet/2/308/FDBL86066-F085-D-1315636.pdf>

Katalogové listy k budícím obvodům

- [83] *1EDS5663H: GaN EiceDRIVER™* Datasheet [online]. Infineon Technologies AG. Dostupné z: <https://www.infineon.com/cms/en/product/power/gate-driver-ics/1eds5663h/>
- [84] *THM 3 WI Series: DC/DC Converter* [online]. Traco Power. Dostupné z: <https://cz.mouser.com/datasheet/2/687/thm3wi-1079965.pdf>
- [85] *IML02 Series: DC/DC Converter* [online]. XP Power. Dostupné z: <https://docs-emea.rs-online.com/webdocs/1543/0900766b81543f74.pdf>
- [86] *SN74LVC1G08-Q1 Single 2-input positive-AND gate* [online]. Texas Instruments. Dostupné z: <http://www.ti.com/lit/ds/symlink/sn74lvc1g08-q1.pdf>
- [87] *SN74LVC1G02 Single 2-input positive-NOR gate* [online]. Texas Instruments. Dostupné z: <http://www.ti.com/lit/ds/symlink/sn74lvc1g02.pdf>
- [88] SMITH, Nigel *Understanding undervoltage lockout*. Texas Instruments, 2017 [cit. 4.6. 2019] Dostupné z: https://e2e.ti.com/blogs_/b/powerhouse/archive/2017/01/19/understanding-undervoltage-lockout
- [89] DUSMEZ, Serkan; FU, Lixing; BEHESHTI, Masoud; BROHLIN, Paul and GAO, Rui *Overcurrent Protection in High-Density GaN Power Designs*. Application report SNOAA15. Texas Instruments, 2018 [cit. 4.6. 2019] Dostupné z: <http://www.ti.com/lit/an/snoaa15/snoaa15.pdf>