



Fakulta elektrotechnická
Katedra aplikované elektroniky a telekomunikací

BAKALÁŘSKÁ PRÁCE

Synchronizace detektorů ionizačního záření z rodiny Medipix

Autor práce: Pavel Špírek
Vedoucí práce: Ing. Václav Kraus

Plzeň 2012

ZÁPADOČESKÁ UNIVERZITA V PLZNI
Fakulta elektrotechnická
Akademický rok: 2011/2012

ZADÁNÍ BAKALÁŘSKÉ PRÁCE

(PROJEKTU, UMĚLECKÉHO DÍLA, UMĚLECKÉHO VÝKONU)

Jméno a příjmení: **Pavel ŠPÍREK**
Osobní číslo: **E09B0331P**
Studijní program: **B2612 Elektrotechnika a informatika**
Studijní obor: **Elektronika a telekomunikace**
Název tématu: **Synchronizace detektorů ionizačního záření z rodiny Medipix**
Zadávající katedra: **Katedra aplikované elektroniky a telekomunikací**


Z á s a d y p r o v y p r a c o v á n í :

1. Prostudujte detektory z rodiny Medipix a rozhraní FITPix.
2. Navrhněte elektronický systém pro synchronizaci několika rozhraní FITPix, který bude ovládán z PC pomocí USB.
3. Navrhněte elektronický systém s ohledem na spotřebu a rozměry výsledného zařízení.
4. Zhodnoťte dosažené parametry a navrhněte další zlepšení.


Rozsah grafických prací: **podle doporučení vedoucího**
Rozsah pracovní zprávy: **20 - 30 stran**
Forma zpracování bakalářské práce: **tištěná/elektronická**
Seznam odborné literatury:

- 1. Student si sám vyhledá potřebnou literaturu dle pokynů vedoucího.**

Vedoucí bakalářské práce: **Ing. Václav Kraus**
Katedra aplikované elektroniky a telekomunikací
Konzultant bakalářské práce: **Ing. Václav Kraus**
Katedra aplikované elektroniky a telekomunikací
Datum zadání bakalářské práce: **17. října 2011**
Termín odevzdání bakalářské práce: **3. června 2012**


Doc. Ing. Jiří Hammerbauer, Ph.D.
děkan




Doc. Dr. Ing. Vjačeslav Georgiev
vedoucí katedry

V Plzni dne 17. října 2011

Abstrakt

Práce se zabývá návrhem a konstrukcí zařízení pro synchronizaci několika detektorů z rodiny Medipix s rozhraním FITPix. Úvodní část je věnována teoretickému popisu detektorů Medipix, rozhraní FITPix a rovněž je zde rozebrána problematika synchronizace detektorů s tímto rozhraním. Ve druhé části práce je detailně popsán návrh synchronizační jednotky. Konstrukce je založená na obvodu FPGA a MCU. Při návrhu byl kladen důraz na nízkou spotřebu celého zařízení a možnost doplnění dalších funkcí. V závěru jsou shrnuty dosažené výsledky.

Klíčová slova

Medipix, FITPix, ionizační záření, částice, synchronizace, koincidence, detektor, FPGA

Abstract

Špírek, Pavel. Synchronization of ionizing radiation detectors from Medipix family [Synchronizace detektorů ionizačního záření z rodiny Medipix]. Pilsen, 2012. Bachelor thesis (in Czech). University of West Bohemia. Faculty of Electrical Engineering. Department of Applied Electronics and Telecommunications. Supervisor: Ing. Václav Kraus

The thesis deals with a design of synchronization device for multiple detectors from Medipix family with FITPix interface. In the introduction part, there is a theoretical description of the Medipix detectors and FITPix interface. Also the problem of synchronizing detectors with this interface is analyzed here. The second part deals with a detailed description of synchronization device development. The design is based on FPGA and a MCU. An emphasis was put on low power requirements and potential for implementing more functionality. In the conclusion, reached results are summarized.

Keywords

Medipix, FITPix, ionizing radiation, particle, synchronization, coincidence, detector, FPGA

Prohlášení

Předkládám tímto k posouzení a obhajobě bakalářskou práci, zpracovanou na závěr studia na Fakultě elektrotechnické Západočeské univerzity v Plzni.

Prohlašuji, že jsem svou závěrečnou práci vypracoval samostatně pod vedením vedoucího bakalářské práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce. Jako autor uvedené bakalářské práce dále prohlašuji, že v souvislosti s vytvořením této závěrečné práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení §11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení §270 trestního zákona č. 40/2009 Sb.

Také prohlašuji, že veškerý software, použitý při řešení této bakalářské práce, je legální.

V Plzni dne 31. května 2012

Pavel Špírek

.....
Podpis

Obsah

Seznam symbolů a zkratk	vi
1 Úvod	1
1.1 Motivace:	1
1.2 Řešený problém:	1
1.3 Současný stav:	2
1.4 Cíle práce:	3
2 Detektory Medipix	3
3 Synchronizace detektorů	5
3.1 Signály rozhraní FITPix	5
3.2 Princip činnosti synchronizační jednotky	6
4 Obvodové řešení	7
4.1 Napájecí část.....	8
4.1.1 Zdroj předpětí pro Si detektor	8
4.1.2 Napájení MCU a FPGA.....	10
4.1.3 Napájení AD převodníku	11
4.1.4 Napájení analogové části	12
4.2 Digitální část.....	12
4.2.1 MCU	12
4.2.1.1 Vlastnosti.....	12
4.2.1.2 Funkce.....	13
4.2.1.3 Program	14
4.2.2 FPGA	16
4.2.2.1 Vlastnosti.....	17
4.2.2.2 Firmware	18
4.3 Analogová část	21

4.3.1	AD převodník	21
4.3.2	Nábojový zesilovač	22
4.4	Mechanická konstrukce	24
5	Použití.....	24
5.1	Konektory.....	24
5.2	Napájení desky	26
5.3	Ovládání z PC.....	27
6	Simulace a výsledky měření.....	29
7	Diskuze, návrhy ke zlepšení.....	31
8	Závěr	32
	Literatura.....	34
	Příloha A – Schémata zapojení	36
A.1	Schéma zapojení MCU části.....	36
A.2	Schéma zapojení FPGA.....	37
A.3	Schéma zapojení napájecích zdrojů.....	38
A.4	Schéma zapojení USB převodníku	39
A.5	Schéma zapojení analogové desky	40
	Příloha B – Desky plošných spojů.....	41
B.1	Hlavní deska	41
B.2	Přídavná analogová deska.....	44
	Příloha C – Výsledky měření a simulací	45
	Příloha D – Seznam zdrojových kódů.....	46
D.1	Zdrojové kódy programu MCU.....	46
D.2	VHDL kódy pro FPGA.....	46

Seznam symbolů a zkratek

ADC	Analog-Digital Converter (analogově-číslicový převodník)
DAC	Digital-Analog Converter (číslicově-analogový převodník)
DPS	Deska plošných spojů
FITPix	Fast interface for Timepix pixel detectors (rozhraní pro Timepix detektory)
FPGA	Field-programmable gate array (programovatelné logické pole)
JTAG	Joint Test Action Group (rozhraní k programování a debugging mikrokontrolérů FPGA)
LB	Logic block
LUT	Look-up table
LVC MOS	Low-voltage CMOS
LVDS	Low-voltage differential signaling
MCLK	Master Clock
MCU	Microcontroller Unit (jednočipový mikro počítač)
MOSFET	Metal Oxide Silicon Field Effect Transistor
OS	Operační systém
PLL	Phase-locked loop, fázový závěs
SPI	Serial Peripheral Interface (synchronní sériová sběrnice)
(S)RAM	(Static) Random Access Memory
UART	Universal Asynchronous Receiver-Transmitter
USB	Universal Serial Bus
VHDL	VHISC Hardware Description Language (jazyk pro popis hardware)

1 Úvod

1.1 Motivace:

K detailnímu studiu vlastností a fyzikálních jevů probíhajících v jádrech těžkých prvků lze s výhodou použít pixelové detektory ionizujícího záření z rodiny Medipix. Tento typ detektorů je schopen poskytnout experimentátorovi mnoho užitečných spektrometrických informací, jako například přesnou polohu dopadu jednotlivých částic s přesností několik mikrometrů, jejich počet, předanou energii, nebo čas dopadu částice [2].

Ve velkém množství vědeckých experimentů je zapotřebí měřit i dopady několika částic na různých místech zároveň – například fragmentů štěpení, k čemuž je nutné použít větší počet detektorů. Náplní těchto experimentů často bývá analýza fyzikálních událostí s relativně nízkou pravděpodobností výskytu, např. ternárního štěpení jader atomů. Snahou měření je nashromáždit co nejvíce dat právě o těchto jevech, a detekci ostatních, běžných jevů nejlépe úplně potlačit. Aby bylo možné tyto konkrétní koincidence měřit, je nutné zajistit synchronizovanou činnost celé soustavy částicových detektorů. Zde ovšem vyvstává problém, jakým konkrétním způsobem toho docílit.

1.2 Řešený problém:

Detektory Medipix je možné připojit k PC a ovládat pomocí softwaru Pixelman. Nelze tak provést přímo, neboť jejich konstrukce neimplementuje žádný port běžně používaný na osobních počítačích. Místo toho jsou vybaveny rozhraním s LVDS signály, který umožňuje rychlý přenos dat z detektoru. K ovládání detektorů z PC je používáno datové rozhraní v podobě zařízení FITPix, případně staršího USB 1.22 Interface¹, které tak tvoří rozhraní mezi samotným detektorem a počítačem. V obou případech je pro připojení k PC využita sběrnice USB. Tím je sice zajištěno rychlé čtení dat z detektoru, ale k provádění operací náročných na přesné časování není USB příliš vhodná sběrnice. Přenos informace po sběrnici USB (v režimu HighSpeed) probíhá v mikrorámciích vysílaných s periodou 125us, kratší odezvy řízení tedy teoreticky nelze dosáhnout. K této době je ovšem nutné ještě přičíst zpoždění vytvořené samotným operačním systémem v PC a Pixelmanem. Běžně používané operační systémy nepracují v reálném čase, a tak toto zpoždění nelze jednoduchým způsobem určit apriorně. Pokud je systém vytížený, může tato hodnota dosahovat řádově stovek milisekund až

¹ Interface pro Medipix detektory, nejedná se o verzi USB sběrnice

jednotek sekund. Kdybychom jako signál pro spuštění detektorů použili třeba impuls ze spektrometru, bylo by nutné jej nejdříve digitalizovat, poté přenést po USB do PC, kde by proběhla jeho analýza, a při kladném vyhodnocení opět vyslat po USB příkaz detektorům ke spuštění měření. Časová prodleva, která by vznikla mezi výstupem impulsu ze spektrometru a začátkem měření, by byla obrovská. I kdybychom ale real-time operační systém použili, přesně synchronní činnosti detektorů by stejně nebylo možné dosáhnout – prodlevy u real-time OS jsou stále záležitostí desítek μs , zatímco pro synchronizaci požadujeme maximálně desítky ns. Tímto způsobem tedy nelze zajistit spuštění měření na všech připojených detektorech přesně ve stejný okamžik, ale je k tomuto účelu nutné vytvořit speciální hardware.

Rozhraní FITPix, používané k řízení částicových detektorů Medipix, je již navrženo s ohledem na možnost synchronního měření s větším počtem detektorů. Kromě USB konektoru má navíc implementovanou sadu speciálních LVCMOS řídicích signálů. Pomocí nich je možné ovládat některé funkce připojeného detektoru s podstatně nižší latencí, než by bylo možné dosáhnout při ovládání z PC.

1.3 Současný stav:

Problém se synchronní vícenásobnou detekcí záření pomocí několika detektorů Medipix (Timepix) byl již v minulosti jednou řešen v rámci výzkumné činnosti Ing. Václava Krause, probíhající v Ústavu technické a experimentální fyziky ČVUT a Fakultě elektrotechnické ZČU. Projekt nese název „Spectroscopy of Fission Fragments with Pixel Detectors“. Jeho podrobnému popisu se věnuje vědecký článek [1], kde jsou také shrnuty dosažené výsledky.

V rámci tohoto projektu byla sestrojena koincidenční jednotka, umožňující synchronizovat až 4 detektory Timepix vybavené rozhraním FITpix. Jako zdroj pro spuštění měření (trigger in) zde může být použit buď jeden, nebo více kusů spektrometrických modulů s integrovaným analogovým zpracováním signálu. Ve druhém případě umožňuje tato koincidenční jednotka definovat i vlastní logickou funkci mezi výstupními signály ze spektrometrů, při jejímž kladném vyhodnocení teprve může dojít ke spuštění měření na detektorech Timepix [3]. Důvodem k tomu je lepší potlačení detekce nežádoucích událostí. Při detekci ternárního štěpení si tedy například můžeme zvolit, aby měření bylo spouštěno pouze v okamžiku, kdy jsou detekovány tři události ve třech detektorech současně.

Obvodové řešení zmiňované koincidenční jednotky je založené na programovatelném logickém poli Altera Cyclone II.

1.4 Cíle práce:

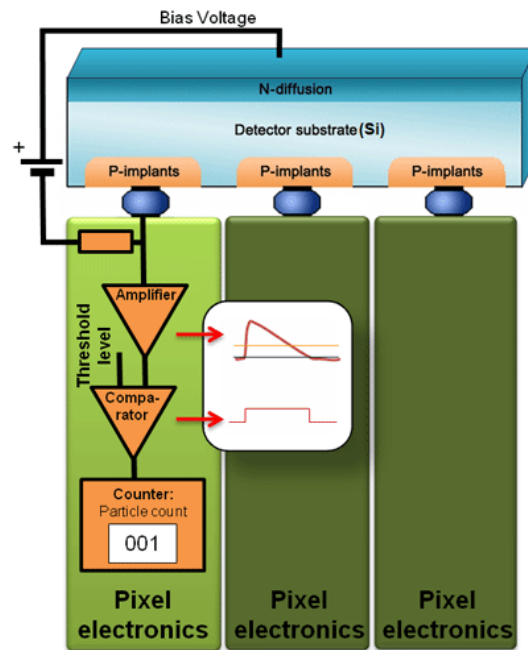
Koincidenční jednotka, zmiňovaná výše, dosahovala při provádění fyzikálních experimentů velmi dobrých výsledků. Počet získaných snímků z pixel detektorů se zvýšil na 12-násobek [3]. Z konstrukčního hlediska však jde o relativně jednoduchý modul, obsahující FPGA, paměť a převodník na USB pro komunikace s PC. Nevýhodou je zejména absence analogových obvodů pro spektrometrické zpracování signálu – jako zdroj spouštěcího signálu bylo nutné k jednotce připojit externí spektrometrický modul.

Cílem této práce je navrhnout a realizovat novou jednotku synchronizace, ve které budou nedostatky současného modulu odstraněny. Nové zařízení by mělo integrovat kromě samotných obvodů pro synchronizaci rovněž analogovou část pro zpracování spouštěcího signálu z Si senzoru, čímž odpadne nutnost použít spouštěcí spektrometrický modul, dále předpětřový zdroj pro tento částicový Si senzor, diagnostiku a možnost ovládání z PC. Při konstrukci je kladen důraz na nízkou spotřebu a malé rozměry celého zařízení. Řešení by mělo být koncipováno jako univerzální modul, který bude možné v budoucnosti rozšiřovat o další funkce, užitečné při provádění fyzikálních experimentů – například měření energií částic, pokročilejších metod synchronizace, nebo dodat možnost spektrometrie.

2 Detektory Medipix

Detektory z rodiny Medipix jsou pixelové detektory ionizujícího záření, vyvinuté v CERNu.

Detektory Medipix jsou založeny na hybridní konstrukci složené ze dvou čipů – (1) sensorového čipu silného 300 μ m a (2) čipu pro čtení a zpracování informací. Sensorový čip je přichycen ke čtecímu pomocí technologie bump-bonding. Schématické znázornění architektury detektoru můžeme vidět na Obr. 2.1. Každý pixel senzoru je připojen k vlastnímu elektronickému obvodu s předzesilovačem, komparátorem a čítačem ve čtecím čipu detektoru. Po dopadu částice na senzor jsou v daném místě generovány páry elektron – díra. Takto vzniklý náboj je elektrickým polem předpětřového zdroje shromážděn na jednotlivých pixelech, zesílen nábojovým zesilovačem a porovnán komparátorem s nastavenou hranicí. Pokud byla energie částice dostatečná, je dopad registrován čítačem. Počítání částic je typickým režimem činnosti detektorů Medipix. Naměřená data lze následně z detektoru přečíst pomocí sériového LVDS rozhraní, nebo paralelního LVCMOS rozhraní o šířce 32 bitů.



Obr. 2.1 Činnost detektoru Medipix (zdroj: [9])

V současné době existuje již několik generací těchto detektorů – Medipix, Medipix 2, Timepix a Medipix 3. První generace nabízela senzor o ploše $1,2\text{cm}^2$ s rozlišením 64×64 pixelů, velikost jednoho pixelu tak činila $170 \times 170\mu\text{m}$. Ve druhé verzi byl senzor zvětšen na 2cm^2 a rozlišení zvýšeno na hodnotu 256×256 bodů, čemuž odpovídají pixely o straně $55\mu\text{m}$. Druhá generace detektoru doznala i dalších změn, podrobnější informace lze nalézt v [7]. U nejnovějšího přírůstku rodiny, detektoru Medipix 3, bylo oproti předcházející verzi vylepšeno energetické rozlišení a snížen dead-time. Díky vyššímu stupni integrace již každý pixel Medipixu 3 může obsahovat 2 čítače a 2 komparátory [7]. Zvláštní pozornost si zaslouží detektor Timepix, který je rozšířením Medipixu 2. Konstrukčně z tohoto detektoru vychází, ale byly u něj navíc implementovány dva nové měřicí režimy. Timepix tedy může pracovat ve třech různých režimech: [8]

1. Medipix mode

- Stejná činnost jako detektor Medipix 2. Čítač zaznamenává počet částic s energií vyšší, než je nastavená komparátorem.

2. Timepix mode

- Zde je čítač zapojen jako časovač a zaznamenává dobu mezi dopadem částice a vnějším spouštěcím signálem.

3. TOT mode (Time Over Threshold)

- Tento režim umožňuje v každém pixelu měřit energii částice. Čítač a komparátor jsou zapojeny jako Wilkinsonův AD převodník (druh integračního AD převodníku).

3 Synchronizace detektorů

3.1 Signály rozhraní FITPix

Jak již bylo zmíněno v kapitole 1.2, rozhraní FITPix obsahuje 10-pinový konektor se sadou řídicích signálů, které lze výhodně využít pro synchronizaci soustavy detektorů. Kompletní přehled těchto signálů a popis jejich funkce je uveden v tabulce Tab. 1.

Tab. 1 Přehled signálů FITpix (zdroj [4], přeloženo)

PIN	SIGNÁL	SMĚR	ÚROVNĚ	Popis
1.	GND	Napájení	-	-
2.	+5V	Napájení	-	-
3.	Trigger_In	IN	3.3V CMOS (5V Tolerant)	Sestupná hrana spustí měření, pokud je povoleno měření od triggeru
4.	Veto	IN	3.3V CMOS (5V Tolerant)	Nízká úroveň způsobí výmaz matice a poté čeká FITPix systém na nový příkaz.
5.	Trigger_Out	OUT	3.3V CMOS	Pokud probíhá měření (Shutter = log. 1), je tento signál v log. 0.
6.	Trigger_Busy	OUT	3.3V CMOS	Pokud je tento signál v log. 1, FITPix rozhraní není schopné vykonávat externí akce.
7.	Ext_Clock_In	IN	3.3V CMOS	Tento vstup je vyhrazen pro vlastní hodinový signál pro detektor. Tuto vlastnost je nezbytné nastavit v Pixelman.
8.	Clk Enable	IN	3.3V CMOS	Hradlování hodin pro Timepix. ...
9.	GPIO(0)	IN/OUT	3.3V CMOS	Obecné použití.
10.	GPIO(1)	IN/OUT	3.3V CMOS	Obecné použití.

K provádění synchronizace jsou z uvedené tabulky důležité zejména signály Trigger_In, Trigger_Busy (dále jen Busy) a případně i Veto. Za předpokladu, že rozhraní FITPix je nastaveno do režimu spouštění měření pomocí Trigger_In signálu, dojde v okamžiku jeho sestupné hrany ke spuštění měření na připojeném Medipix/Timepix detektoru. FITPix umožňuje zvolit i jiné metody spouštění měření [3], ty ale nejsou pro synchronizovanou činnost vhodné a nebudou zde tím pádem využity. Signálem Busy je uživateli signalizována informace o připravenosti rozhraní FITpix. Pokud je signál Busy v úrovni log. 1, je rozhraní zaneprázdněné a není schopno zpracovat žádné příchozí povely.

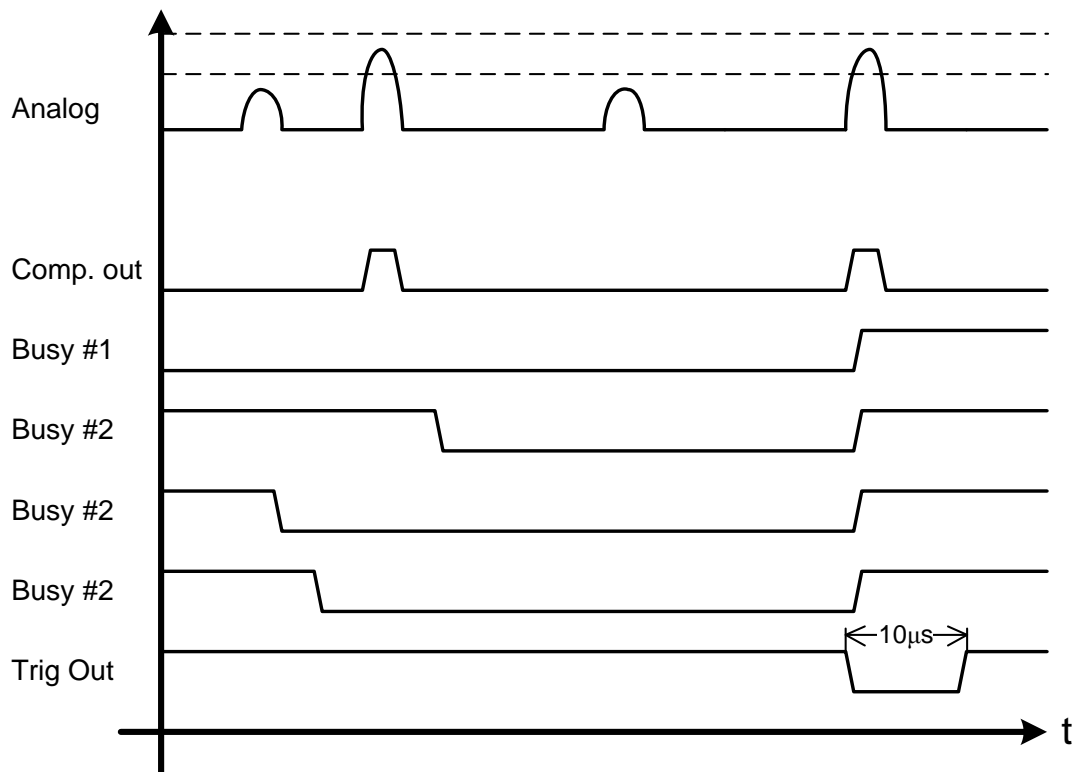
Poslední jmenovaný signál Veto provádí výmaz matice naměřených hodnot. K jeho provedení je nutné signál Veto uvést do úrovně log. 0.

3.2 Princip činnosti synchronizační jednotky

Do navrhovaného zařízení je implementován způsob synchronizace, který je založen na sledování hodnot Busy signálů z jednotlivých detektorů v okamžiku, kdy spektrometr detekuje štěpný produkt.

Obecně lze pracovní algoritmus popsat následovně: V okamžiku příchodu impulzu ze spektrometru je jeho napěťová úroveň porovnána komparátorem s určitou předem nastavenou hodnotou. Je-li tato úroveň dostatečná, dojde k překlopení komparátoru a z jeho výstupu je vygenerován signál, který informuje obvody o skutečnosti, že byla detekována částice a je tím pádem vhodný okamžik ke spuštění měření na připojených Timepix detektorech. Následně je zkontrolována připravenost jednotlivých detektorů k měření, respektive stavy jejich Busy signálů. Jelikož měření lze spustit výhradně tehdy, když všechny připojené detektory jsou připraveny, musí se také všechny sledované Busy signály nacházet v úrovni log. 0. V případě kladného vyhodnocení připravenosti dojde na Trigger_In vstupech všech FITPixů současně ke stažení řídicího signálu z úrovně log. 1 do úrovně log. 0, a touto sestupnou hranou je spuštěno měření. Zpět do log. 1 se spouštěcí signál vrací po uplynutí časového intervalu 10 μ s. V opačném případě, tedy nejsou-li všechny detektory v okamžik překlopení komparátoru připraveny, není měření spuštěno na žádném z nich.

Časový průběh použité synchronizace detektorů je znázorněn na grafu Graf 1. Jsou zde zobrazeny oba případy, tedy jak nepřipravené, tak připravené detektory v okamžik příchodu spouštěcího impulzu z komparátoru.



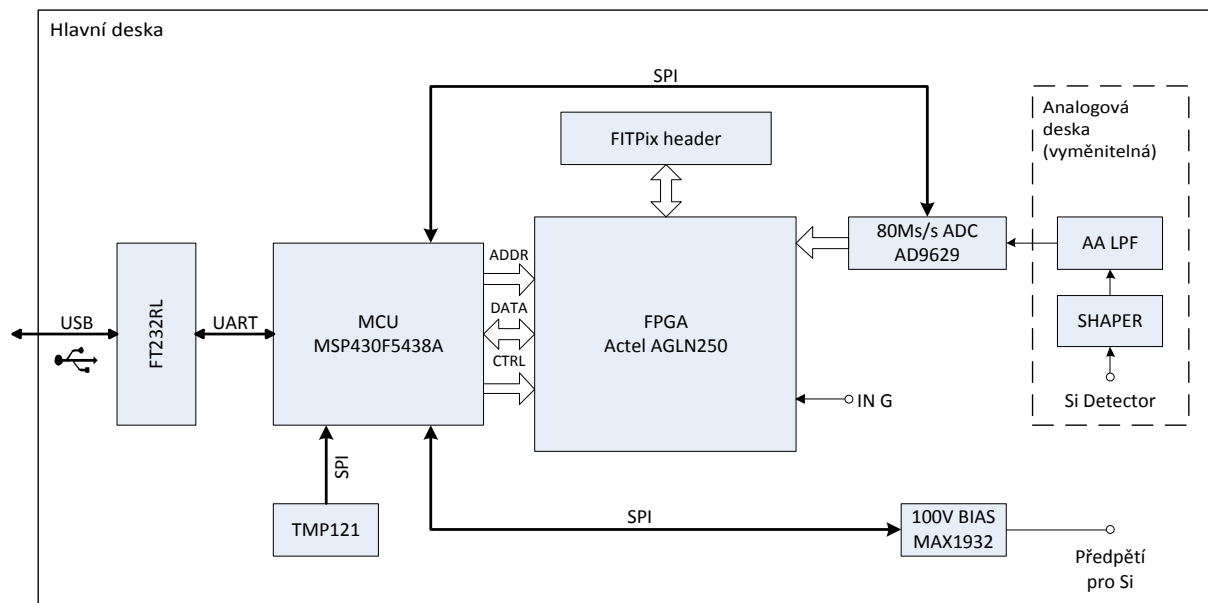
Graf 1: Časový diagram FITpix signálů

4 Obvodové řešení

Tato kapitola se věnuje samotnému návrhu a konstrukci jednotky. Jako první krok je potřeba si rozdělit celkovou funkčnost, kterou od zařízení očekáváme a která je popsána v předcházejících odstavcích, do dílčích bloků a přesně definovat, co který bude provádět. Nejobecněji je možné problematiku shrnout takto:

1. Získat informaci o rozpadu částice z Si senzoru nebo spektrometrického modulu. Signál je v analogové podobě a v případě Si detektoru velmi slabý
2. Tento signál zpracovat a odvodit od něj synchronizaci minimálně 4 kusů pixel detektorů s rozhraním FITpix. Rozhraní FITpix obsahuje digitální signály úrovně LVCMOS
3. Poskytnout ovládací rozhraní s možností uživatelské definice parametrů
4. Snažit se dosáhnout na co nejnižší spotřebu celého zařízení

Jako řešení těchto bodů bylo navrženo zapojení, jehož celkové blokové schéma zapojení je zachyceno na Obr. 4.1. V následujících podkapitolách je detailně rozebrána funkce jednotlivých bloků.



Obr. 4.1 Blokové schéma zapojení

4.1 Napájecí část

4.1.1 Zdroj předpětí pro Si detektor

Si detektor použitý pro synchronizaci vyžaduje ke své činnosti předpětí o poměrně vysoké hodnotě ve srovnání s digitálními obvody, řádově 100V a více. Toto předpětí navíc musí mít uživatelsky snadno nastavitelnou hodnotu, aby bylo možné připojit různé typy detektorů. Pro tento účel bylo nutné zařízení vybavit nastavitelným zvyšujícím měničem.

Jako základ byl vybrán integrovaný obvod MAX1932 od firmy Maxim, původně určený pro vytváření předpětí PIN diod na přijímacích stranách optických vláken. Jeho výstupní napětí lze dle katalogového listu měnit v rozsahu 45V – 90V. Zejména horní hranice by mohla být vyšší, ale pro mnoho experimentů bude dostačovat i tak. Navíc jelikož je spínací MOSFET umístěn vně součástky, bylo by možné úpravou zpětné vazby získat na výstupu i napětí o něco málo vyšší, pokud budou všechny prvky pracující s výstupním napětím adekvátně dimenzovány. Přesná hodnota se nastavuje číslicově, pomocí SPI rozhraní.

Zapojení je v napájení a na výstupu doplněno jednoduchým LC filtrem pro lepší potlačení zvlnění.

Výpočet výstupního napětí:

V ustáleném stavu udržuje regulační smyčka na pinu FB napětí 1,25V. Pro velikost napětí na výstupu zdroje lze tedy napsat rovnici

$$U_o = 1,25V + R_3 \cdot I_3$$

Proud I_3 rezistorem R_3 je roven součtu proudů rezistorem R_4 a proudů tekoucího do výstupu integrovaného DA převodníku (svodový proud FB pinu lze zanedbat, pohybuje se v desítkách nA). Pro tyto proudy platí vztahy:

$$I_4 = \frac{1,25V}{R_4} \qquad I_{DAC} = \frac{1,25V - V_{DAC}}{R_5}$$

Napětí na výstupu DA převodníku se řídí vztahem

$$V_{DAC} = \frac{1,25V}{256}(C+1)$$

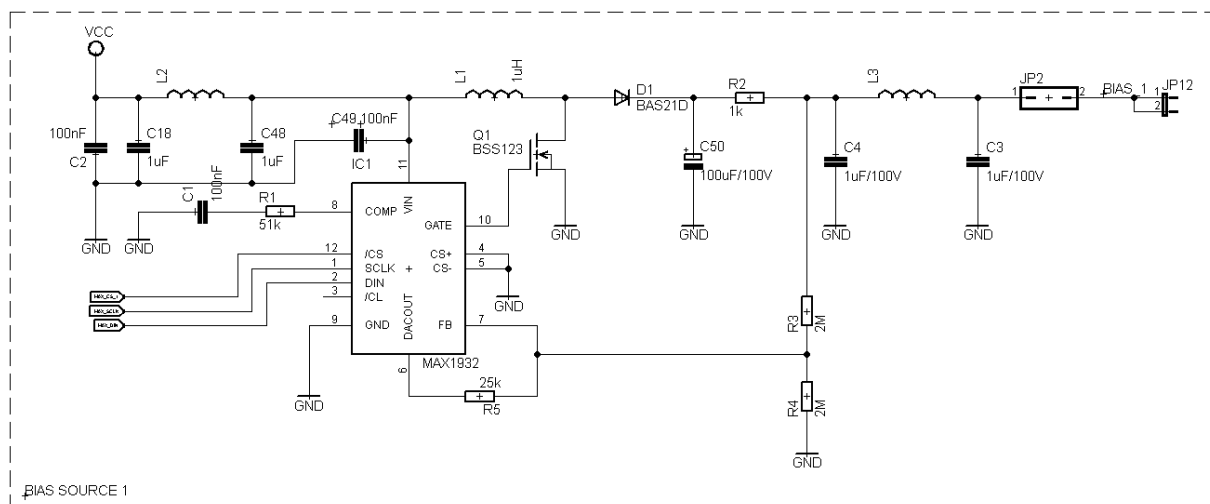
kde C je 8-bitový kód na vstupu. Celkový vztah pro napětí zdroje lze tedy zapsat ve tvaru

$$U_o = 1,25V + R_3 \left(\frac{1,25V - \frac{1,25V}{256}(C+1)}{R_5} + \frac{1,25V}{R_4} \right)$$

A po úpravě

$$U_o = 1,25V \cdot \left[1 + R_3 \left(\frac{1 - \frac{(C+1)}{256}}{R_5} + \frac{1}{R_4} \right) \right]. \qquad (1)$$

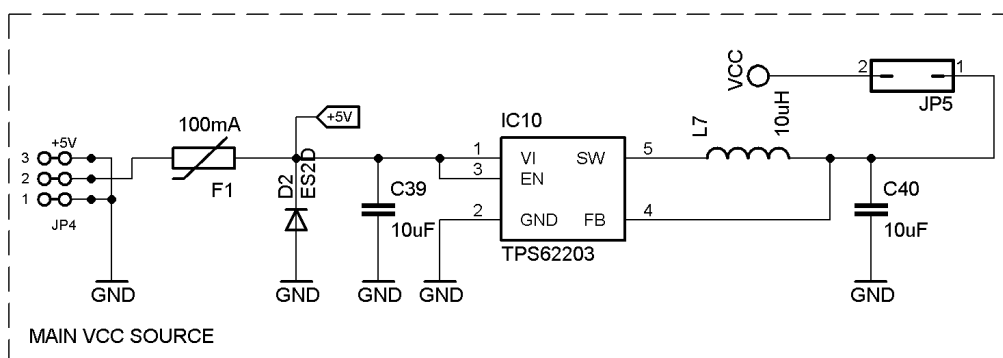
Jedná se tedy o lineární závislost. Pokud zvolíme hodnoty součástek R_3 , $R_4 = 2M\Omega$ a $R_5 = 25k\Omega$, výstupní napětí zdroje půjde nastavit v rozpětí 2,5V ($C=0xFF$) až 102V ($C=0x00$).



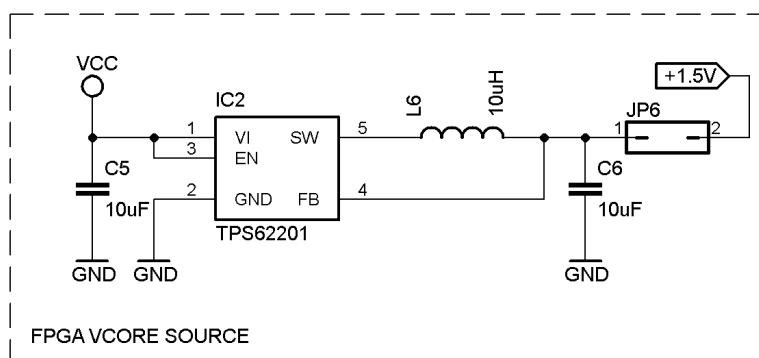
Obr. 4.2 Zapojení zdroje předpětí

4.1.2 Napájení MCU a FPGA

S ohledem na požadovanou nízkou spotřebu celého zařízení byly pro napájení digitálních prvků zvoleny spínané step-down stabilizátory Texas Instruments řady TPS6220x. Podle údajů výrobce jsou schopné dodat výstupní proud 300mA, a při optimálním zatížení dosahují účinnosti až 95%. Jejich zapojení je standardní, dle katalogového listu. Tímto způsobem jsou získána napájecí napětí 3,3V pro mikrokontrolér a IO banky FPGA a 1,5V pro jádro FPGA.



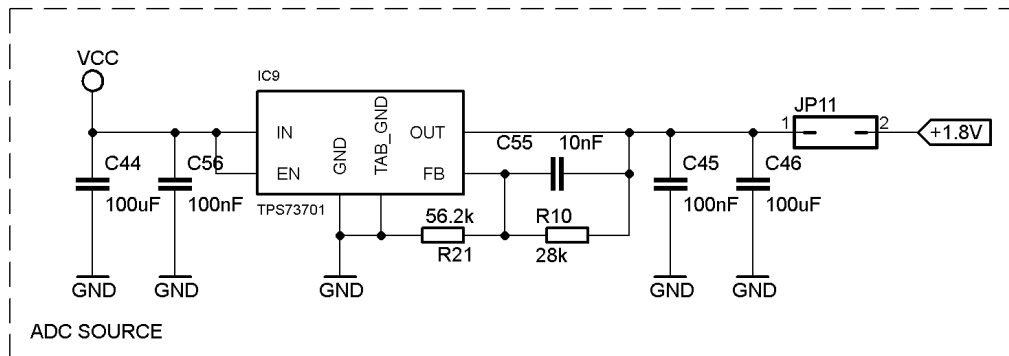
Obr. 4.3 Hlavní napájecí zdroj



Obr. 4.4 Zdroj pro jádro FPGA

4.1.3 Napájení AD převodníku

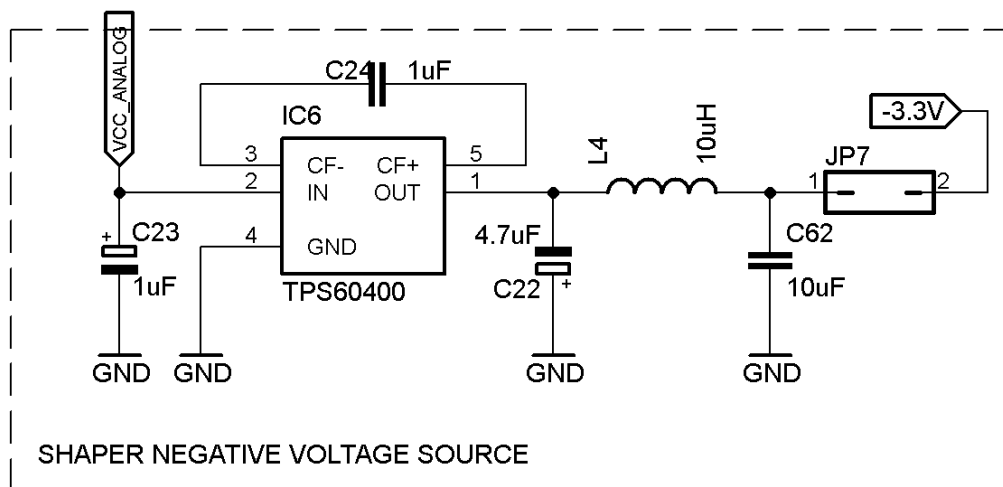
Použitý analogově digitální převodník AD9629 vyžaduje napětí 1,8V pro napájení analogové části. Jelikož se obecně jedná o součástku poměrně citlivou na průnik rušení z napájecího rozvodu, byl pro ni zvolen stabilizátor lineární, konkrétně typ TPS73701. Tím by se alespoň teoreticky mělo dosáhnout lepšího potlačení šumu ve vzorkovaném signálu, byť za cenu vyšších tepelných ztrát. Při nízkém udávaném příkonu převodníku to ale nepředstavuje výraznější problém.



Obr. 4.5 Zdroj pro ADC

4.1.4 Napájení analogové části

Pro nábojový zesilovač a budič AD převodníku platí ohledně kvality napájecího napětí obdobné požadavky jako pro samotný převodník. Je zde tedy opět kladen značný důraz na nízké zvlnění a šum. Navíc je vhodné, aby napájení bylo symetrické, kvůli možnosti použití stejnosměrných vazeb a celkovému zjednodušení návrhu operační sítě nábojového zesilovače a tvarovače vstupních impulzů. Pro kladnou větev je opět použit lineární low-drop stabilizátor TPS73701 ve standardním zapojení. Záporné napětí je vytvářeno pomocí invertující nábojové pumpy TPS60403. Ta má bohužel sama o sobě zvlnění poměrně vysoké (až 50mV p-p), proto je za ní ještě zařazen LC filtr s nízkým zlomovým kmitočtem. Ten by měl z velké části omezit průnik rušení.



Obr. 4.6 Zdroj záporného napětí

4.2 Digitální část

4.2.1 MCU

4.2.1.1 Vlastnosti

Problematika této části začíná výběrem vhodného typu mikroprocesoru. Ačkoli samotná synchronizace není prováděna přímo na MCU, jeho vlastnosti do značné míry ovlivní vlastnosti celého zařízení. K tomu je potřeba si nejdříve vyjasnit všechny požadavky, které budou na procesor kladeny.

1. Nízká spotřeba (s možností přepnutí do low-power módu)
2. Vysoký počet I/O pinů (paralelní komunikace s FPGA)
3. AD převodník (pro kontrolu napájecího napětí)

4. Podpora sběrnice SPI (nastavení bias zdroje, čtení z teplotního čidla, nastavení hlavního AD převodníku, možnost komunikace s FPGA)
5. Podpora rozhraní UART (pro komunikaci s PC)

Neméně důležitá je také možnost programování v jazyce C a snadná dostupnost kvalitních vývojových nástrojů.

Na základě výše sepsaných požadavků byl pro použití v přípravku zvolen mikrokontrolér MSP430F5438A od firmy Texas Instruments. Jeho relevantní parametry jsou následující:

- Spotřeba:
 - 230 μ A/MHz v aktivním módu
 - 1,2 μ A v LPM4
- 256kB Flash, 16kB RAM
- Max. taktovací frekvence 25MHz
- 4x USCI_Ax (UART, SPI), 4x USCI_Bx (SPI)
- 12-bit AD převodník
- Pouzdro LQFP100

Mikroprocesor tedy beze zbytku splňuje veškeré vytyčené nároky a rovněž velké množství programové paměti poskytuje možnost pro budoucí rozšíření programu.

4.2.1.2 Funkce

Mikroprocesorová část slouží k zajištění sekundárních úkonů, jejichž implementace do samotného FPGA by zároveň byla obtížná a příliš zdlouhavá. Mezi tyto činnosti patří zejména:

1. Komunikace přípravku s PC
2. Diagnostika zařízení a monitorování provozních veličin
3. Nastavení parametrů synchronizace do FPGA
4. Nastavení velikosti předpětí (bias) pro Si detektor

Komunikace přípravku s PC je zajištěna prostřednictvím rozhraní USB. Volba na toto rozhraní padla zejména z důvodu, že je rozšířeno na drtivě většině dnešních moderních PC. Možností, jak zajistit pomocí USB přenos dat z mikrokontroléru do PC existuje celá řada, mnoho výrobců integrovaných obvodů dnes nabízí nějaké vlastní řešení.

V našem případě je použit osvědčený integrovaný převodník USB ↔ UART FT232RL od firmy FTDI. Tento obvod vyžaduje minimum externích součástek a je široce podporován napříč všemi běžnými operačními systémy, včetně systémů pro mobilní zařízení. Využitelnost konstruovaného zařízení tedy není omezena pouze na OS Windows. FT232RL může pracovat ve dvou režimech – VCP a D2XX. V prvním případě je na straně PC vytvořen virtuální COM port, ke kterému je pak možné přistupovat jako ke klasickému sériovému portu. Naopak direct (D2XX) režim umožňuje uživateli posílání a příjem dat skrze funkce dynamické knihovny, dodávané výrobcem. V tomto případě byla zvolena možnost přístupu přes virtuální port, neboť její hlavní předností je, že není nutné vytvářet speciální klientský software. Ke komunikaci se zařízením tak stačí libovolný terminálový program, který rovněž bývá dostupný na libovolném operačním systému počítače.

Z energetického hlediska však FT232RL není příliš úsporný obvod - změřená spotřeba činí přibližně 13mA. Tento proud by se v případě napájení z hlavního rozvodu nepříznivě projevil na příkonu celého modulu, a to i ve chvíli, kdy není zrovna připojen k PC. Z tohoto důvodu je převodník napájen přímo z USB sběrnice, separátně od zbytku obvodů.

Druhou z funkcí procesoru je provedení základní diagnostiky zařízení. Zejména je nutné znát, zda přiváděné napájecí napětí, ze kterého jsou následně vytvářena konkrétní napětí pro jednotlivé obvodové bloky, má správnou velikost. Ta by se, vzhledem k použitým součástkám ve zdrojové části, měla pohybovat v rozsahu 3,6V až 5,5V. Další sledovanou veličinou je provozní teplota. K tomuto účelu je na desce osazen teplotní senzor TMP121. Senzor je schopný měřit teplotu v rozsahu -25°C do $+85^{\circ}\text{C}$ s přesností $1,5^{\circ}\text{C}$ a rozlišením $0,0625^{\circ}\text{C}$ (1/16), což je vzhledem k použitým součástkám z kategorie „industrial“ rozsah dostatečný. Teplota je ze senzoru čtena pomocí SPI rozhraní. Senzor je standardně udržován v nečinnosti, aby nezvyšoval spotřebu celého zařízení. Aktivuje se pouze ve chvíli, kdy uživatel zadá příkaz k provedení diagnostiky.

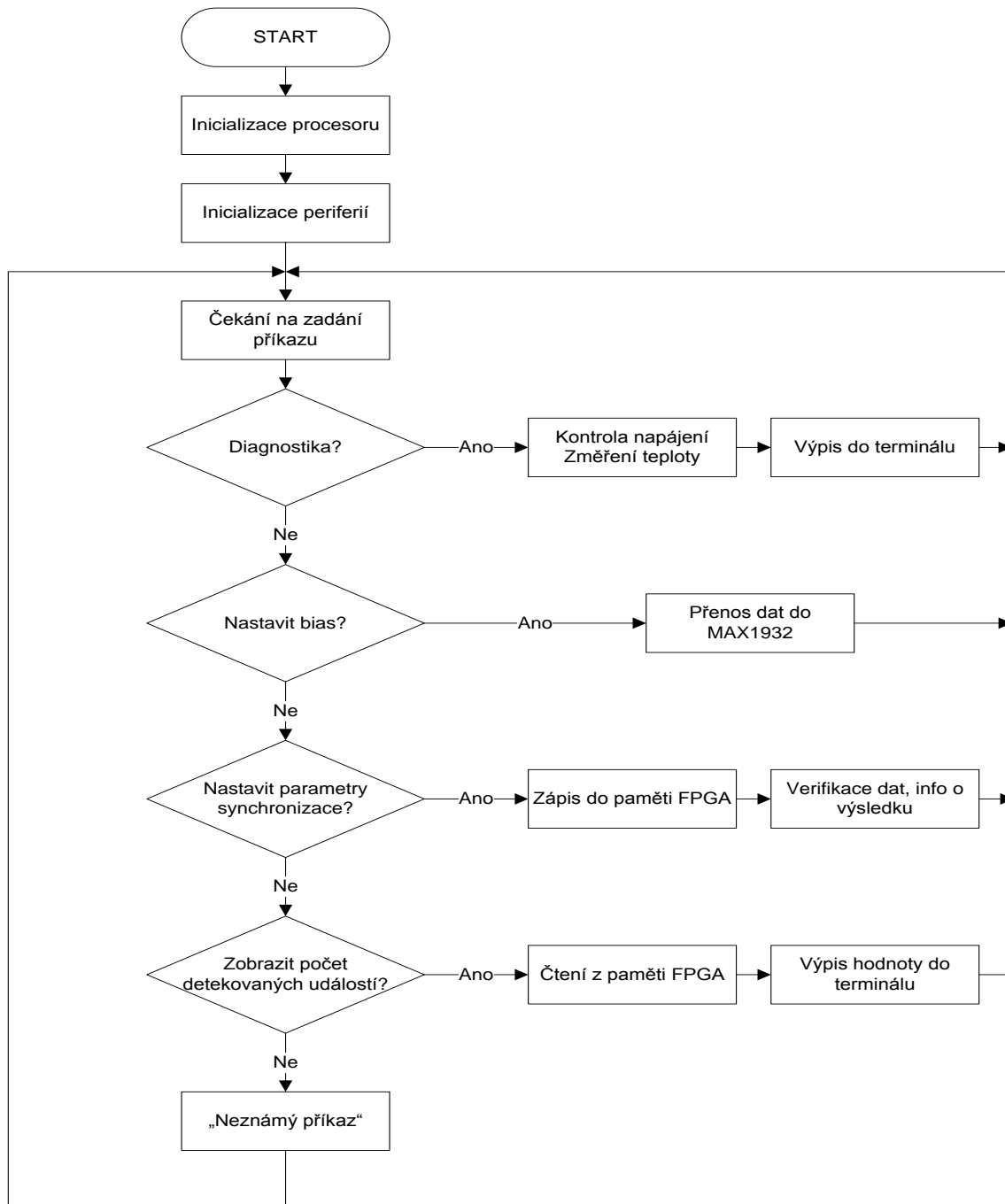
Mikroprocesor má na starost i nastavení výstupního napětí step-up měniče, který vytváří předpětí pro Si detektor. Různé typy detektorů vyžadují různé velikosti předpětí, podobná situace platí i pro experimenty. Podrobnější informace lze nalézt v odstavci 4.1.1 věnujícímu se tomuto měniči.

4.2.1.3 Program

Software pro mikrokontrolér je napsán v jazyce C. K vytvoření a přeložení programu bylo použito vývojové prostředí TI Code Composer Studio v4 (CCS). Na software CCS padla volba zejména z důvodu, že obsahuje kompilátor a debugger pro použitý mikrokontrolér, a to

i ve verzi zdarma dostupné na internetových stránkách výrobce. Jediným omezením této free verze je limitace maximální velikosti přeloženého programu na 64kB.

Program uvnitř MCU funguje jako stavový automat. Po počáteční nezbytné inicializaci oscilátorů a zdrojů hodinových kmitočtů je provedeno nastavení komunikačních rozhraní SPI a UART. Program dále vstoupí do smyčky čekající až uživatel zadá příkaz do terminálu a potvrdí znakem odřádkování (enter). Podle načteného textového řetězce je program dále větven podle toho, zda uživatel požaduje nastavit parametry synchronizace (spouštěcí práh, počet detektorů FITPix apod.), nastavit velikost předpětí Si senzoru nebo provést obecnou diagnostiku. V případě chybně zadaného příkazu je vypsána chyba a program začne čekat na příkaz nový.



Obr. 4.7 Vývojový diagram MCU SW

4.2.2 FPGA

Synchronizace detektorů typu Medipix je proces velice náročný na rychlost vykonání a dobu odezvy vůči vstupním signálům. Z tohoto důvodu by bylo provádění synchronizace na mikrokontroléru MSP430 nemožné, protože jeho výkon je nedostatečný už jenom pro obsluhu AD převodníku o požadované vzorkovací frekvenci. Existují sice i mnohem rychlejší typy mikrokontrolérů, například s architekturou ARM, které lze provozovat na pracovních frekvencích mnoha set MHz, na druhou stranu je ale jejich spotřeba a cena zpravidla

mnohonásobně vyšší, než u MSP430. A právě nízká spotřeba je jedním z klíčových požadavků celého projektu.

Operace kritické na čas je výhodnější implementovat do FPGA – programovatelného logického pole. Díky tomu, že tyto funkce budou vykonávány pomocí specializovaného hardwaru, je možné dosáhnout velmi vysoké rychlosti zpracování dat a tím pádem i nízké odezvy synchronizace na spouštěcí signál.

4.2.2.1 Vlastnosti

Výběr správného typu FPGA pro aplikaci je velmi důležitý, neboť těchto obvodů v současnosti existuje mnoho typů, které se výrazně liší svými parametry. V následujícím seznamu je uveden souhrn požadavků, které by vhodné FPGA mělo splňovat.

1. Minimálně 48 I/O vývodů – je potřeba alespoň 18 pinů pro komunikační rozhraní, 16 pinů pro připojení FITpixů a 14 pinů pro paralelní AD převodník. Při započítání rezervy, pinů pro napájení a programování je nutné volit obvod v pouzdru minimálně se 100 vývody.
2. Podpora LVDS signálů – pro taktování AD převodníku
3. Operační rychlost alespoň 50MHz
4. Integrovaná PLL – Hodinový signál pro taktování FPGA je přiveden z krystalového oscilátoru procesoru MSP430. Tento oscilátor ovšem běží na polovičním kmitočtu než je požadovaný takt obvodů uvnitř FPGA, fázovým závěsem je možné ho zdvojnásobit.
5. Velikost pole – pro základní synchronizaci nejsou očekávány příliš vysoké nároky na množství obsazených logických bloků, prvotním odhadem by měl pro design stačit obvod s alespoň 2000 LUT. Vzhledem ke koncepci přípravku jako univerzální platformy je vhodné mít rezervu pro možné budoucí rozšíření.
6. Co nejnižší spotřeba
7. Dostupnost kvalitních vývojových nástrojů zdarma, zejména syntezátoru a simulátoru

Na trhu se vyskytují v zásadě 3 hlavní typy obvodů FPGA, které se liší technologií provedení vnitřní konfigurační paměti – SRAM, antifuse a Flash. Od té se následně odvíjí i další vlastnosti obvodu.

FPGA s pamětí typu SRAM jsou v současnosti nejrozšířenější [6]. Vlastností tohoto typu je, že data v paměti SRAM jsou při odpojení napájení ztracena a po spuštění je nutné obsah opět nahrát, případně obvod z vnějšku doplnit o speciální konfigurační Flash paměť.

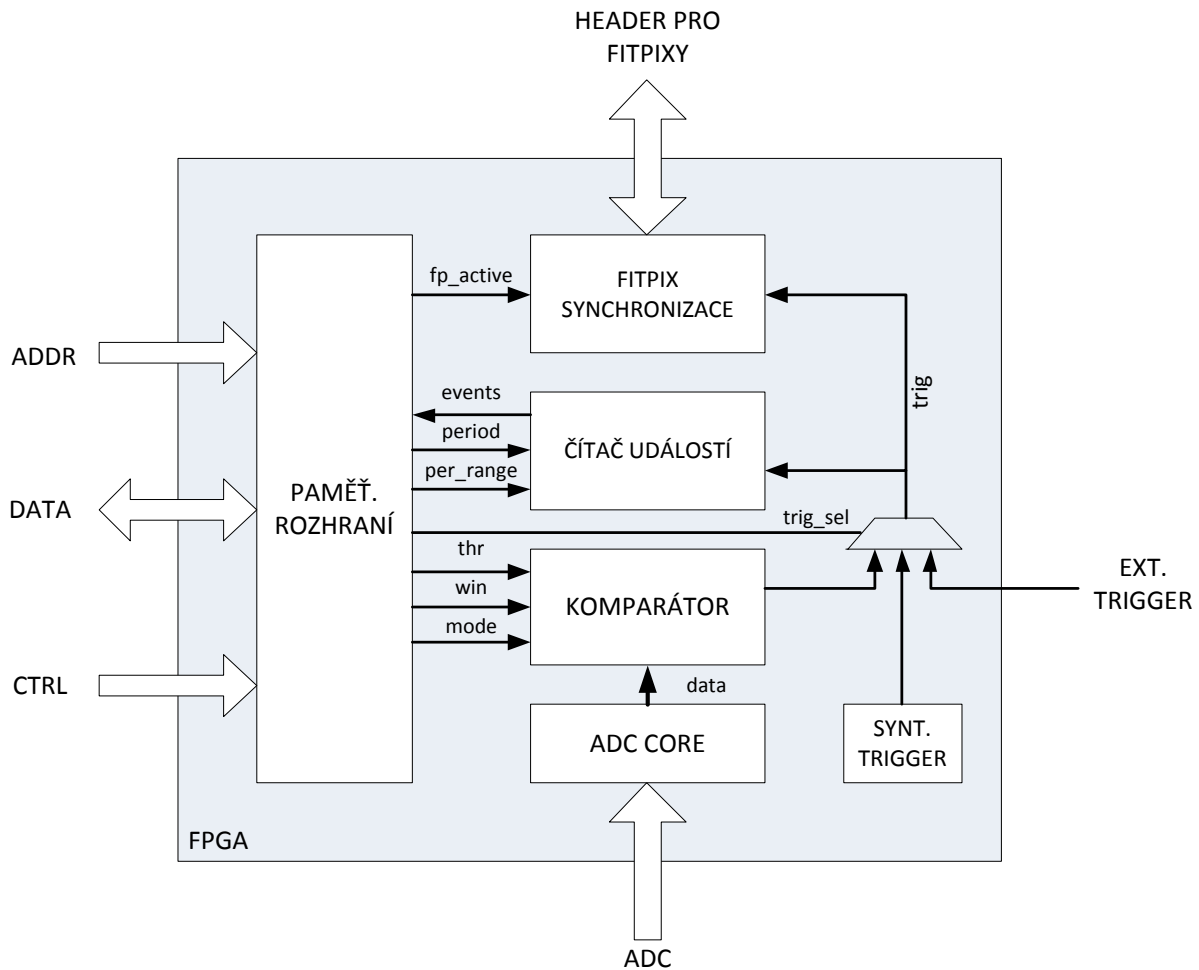
FPGA s technologií antifuse využívají k uložení informace průrazu izolantu zvýšeným programovacím napětím. Je tedy zřejmé, že tyto obvody lze programovat pouze jednou, což je činí nevhodnými pro vývoj. Na druhou stranu tato technologie poskytuje zvýšenou odolnost proti ionizujícímu záření, což by byla jinak velmi výhodná vlastnost.

U posledního jmenovaného typu je vnitřní konfigurační paměť vytvořena technologií Flash. Vlastnosti jsou jinak velmi podobné SRAM obvodům, akorát data není nutné nahrávat pokaždé při spuštění napájení. Průkopníkem této technologie FPGA je firma Actel, která v současnosti vyrábí několik řad s různým zaměřením.

Po bližším prozkoumání bylo zjištěno, že vytyčeným požadavkům se nejvíce přibližují FPGA Actel z řady IGLOO Nano, která je cílena pro nízkoenergetická zařízení. Pro konstrukci byl zvolen zástupce s nejvyšším počtem ekv. hradel, model AGLN250V5. Obvod je dostupný v pouzdře LQFP100 a má 6144 LB (VersaTiles).

4.2.2.2 Firmware

Tato část práce popisuje architekturu firmware uvnitř obvodu FPGA. Ten je vytvořen v jazyce VHDL a jeho celková vnitřní struktura ilustrována na Obr. 4.8. Detailnímu rozboru funkce jednotlivých bloků (entit) jsou věnovány následující odstavce.



Obr. 4.8 Architektura firmware

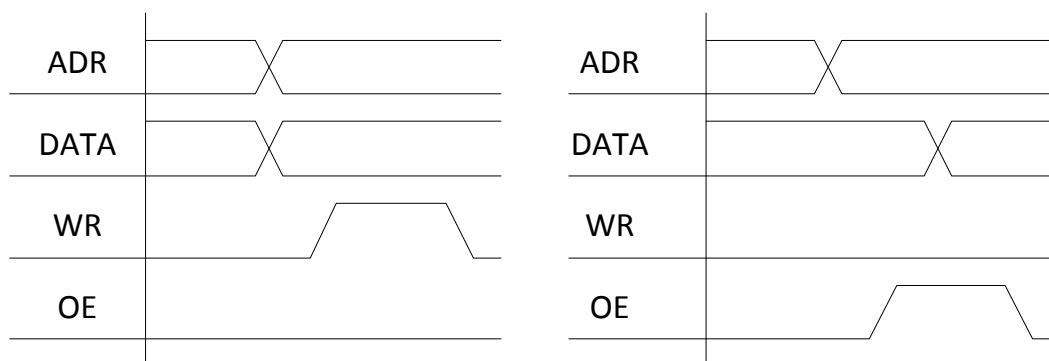
Paměťové rozhraní – slouží k výměně paralelních dat mezi FPGA a řídicím mikrokontrolérem. Na vstupu je vytvořena 8-bitová obousměrná datová sběrnice, 6-bitová adresová sběrnice (organizace paměti je tedy 64x8) a dále řídicí signály wr a oe. Výstupem entity jsou již signálové vektory, vedené ke konkrétním periferiím. Mapování těchto signálů na paměťové buňky je provedeno podle tabulky Tab. 2.

Tab. 2 Paměťová mapa

Adresa	Bity	Režim	Popis
0	----xxxx	rw	Práh komparátoru, high
1	xxxxxxxx	rw	Práh komparátoru, low
2	----xxxx	rw	Aktivní FITpixy
3	----xxxx	rw	Šířka okna komparátoru, high
4	xxxxxxxx	rw	Šířka okna komparátoru, low
5	-----x	rw	Režim komparátoru
6	xxxxxxxx	ro	Počet událostí za čas, high
7	xxxxxxxx	ro	Počet událostí za čas, low
8	-----xx	rw	Doba měření událostí, high

9	xxxxxxx	rw	Doba měření událostí, low
10	-----x	rw	Rozsah doby měření událostí
11	-----xx	rw	Perioda synt. triggeru, high
12	xxxxxxx	rw	Perioda synt. triggeru, low
13	-----x	rw	Rozsah gener. synt. triggeru
14	-----xx	rw	Výběr zdroje triggeru

Způsob přenosu dat vychází z komunikačního protokolu asynchronní paměti SRAM. Časový diagram jednoho čtecího a zápisového cyklu je znázorněn na grafu Graf 2.



Graf 2 Komunikace přes paměť. rozhraní

ADC Core – tato entita má na starost čtení dat z AD převodníku. Použitý AD převodník je typu Flash ADC, data jsou jím tedy vydávána v paralelní formě, vždy při vzestupné hraně clk signálu. Čtení dat probíhá při sestupné hraně, kdy již došlo k ustálení všech datových bitů.

Komparátor – číslicový komparátor generuje na svém výstupu signál `trigger_in` v závislosti na vzájemném vztahu výstupní hodnoty AD převodníku a uživatelsky definovaných mezí. Entitu lze provozovat ve dvou režimech – okénkový komparátor a komparátor s hysterezí, dle hodnoty signálu `mode`. V prvním případě (`mode = 0`) je trigger generován v okamžiku, kdy se hodnota čísla z ADC ocitne uvnitř nastaveného okna komparátoru. Polohu a šířku okna lze měnit uživatelsky, nastavením signálů `thr` (poloha) a `win` (šířka). U komparátoru s hysterezí (`mode = 1`) je trigger nastaven do úrovně log. 1 když signál z ADC přesáhne horní mez hyst. smyčky a do log. 0 při návratu pod dolní mez. Poloha a šířka hyst. smyčky se nastavuje stejnými signály jako u okénkového komparátoru.

Čítač událostí – tento čítač zaznamenává počet vygenerování `trigger_in` signálu za jednotku času. Periodu měření je možné zvolit v rozmezí 1ms až 1023s (cca 17 minut). Nastavení periody probíhá ve dvou krocích. Nejprve je nutné signálem `per_range` vybrat měřicí rozsah – milisekundový (`per_range = 0`) nebo sekundový (`per_range = 1`). Tím dojde k nastavení předděličky čítače periody. Jako druhý krok se zapíše časový interval

měření v milisekundách nebo sekundách do signálu `period` (10 bitů). Výstupem čítače periody je 16-bitové číslo (`events`), přímo udávající počet generovaných triggerů za danou periodu. Toto číslo je přístupné přes paměťový řadič na adresách 6 a 7, viz tabulka Tab. 2.

Synchronizace FITPixů – zde dochází ke komunikaci s jednotlivými FITPix moduly, snímání jejich stavu a synchronizovanému spouštění měření. V současné verzi entity je implementována metoda jednoduché synchronizace, jak je podrobněji popsána v odstavci 3.2. Entita umožňuje obsluhovat celkem 4 kusy FITpix jednotek, je ale možné rozšíření až na 8 kusů. Tento limit je daný počtem osazených vývodů na desce plošných spojů. U libovolného detektoru je možné nastavit, zda je aktivní a má se tudíž podílet na měření, či nikoliv. U neaktivních detektorů je ignorován stav signálu `busy` a zároveň na nich není nikdy spouštěno měření. Aktivita detektorů se nastavuje vektorem `fp_active`. Pokud má být detektor aktivní, provede se zápis `log. 1` na příslušnou bitovou pozici. V okamžiku příchodu vzestupné hrany na `trigger_in` je entitou přečten stav `busy` signálů u aktivních detektorů. V případě, že jsou všechny tyto `busy` signály v nízké logické úrovni, dojde k zápisu `log. 0` do `trigger_out` signálů, které vedou k aktivním detektorům. V tomto stavu `trigger_out` signály setrvají po dobu $10\mu\text{s}$, poté se vrací zpět do `log. 1`. Časový diagram synchronizace s průběhy je zobrazen v kapitole 3.2 na grafu Graf 1. Jako zdroj spouštěcího signálu `trigger_in` může být zvolen komparátor, případně časovač nebo externí pin pro účely testování.

4.3 Analogová část

Než může být signál ze spouštěcího spektrometru nebo Si detektoru částic digitalizován A/D převodníkem, je nutné ho nejdříve předzpracovat a převést na vhodné napěťové úrovni. Za tímto účelem je v zapojení implementováno několik analogových prvků. Základním stavebním kamenem pro návrh analogových obvodů je operační zesilovač. Díky nutnosti zpracovávat obě polarity vstupního signálu je pro operační síť zajištěno symetrické napájení $\pm 3,3\text{V}$, což zároveň zjednoduší návrh operační sítě a umožní vedení stejnosměrných vazeb mezi zesilovači.

4.3.1 AD převodník

AD převodník v přípravku slouží k digitalizaci vytvarovaných pulzů z Si detektoru, což umožní jejich následné zpracování v programovatelném poli. Digitální způsob zpracování signálu byl zvolen především s ohledem na skutečnost, že cílem práce je navrhnout zařízení co možná nejuniverzálnější. Digitálně-analogové řešení vyžaduje méně obvodových prvků než čistě analogové, jeho kvalita není ovlivněna parazitními vlastnostmi součástek a rozptylem

jejich hodnot. Kladnou vlastností tohoto řešení je rovněž možnost snadné úpravy uživatelských parametrů, přímo za běhu zařízení. Pokud bychom potřebovali v budoucnu proces zpracování signálu nějak výrazněji změnit, lze to tudíž provést bez nutnosti zásahu do hardwaru.

K provedení synchronizace v jednoduché podobě stačí získat pouze informaci o dopadu částice. V podstatě jde tedy o nutnost zachytit značku od signálu, který byl vytvořen dopadem částice na Si detektor a vhodně vytvarován.

Jelikož se ale počítá s využitím přípravku i v budoucích projektech, kde bude potřeba velmi přesně měřit energie (kvůli analýze prvků), je potřeba zvolit takový AD převodník, který bude schopen podchytit i distribuci náboje v senzoru. K tomu je vyžadováno, aby vzorkovací rychlost byla nejméně 50Ms/s a rozlišení co možná nejvyšší, alespoň 10 bitů. Další podstatný důvod k použití rychlejšího převodníku je snížení mrtvé doby zařízení. Takto vysokých vzorkovacích frekvencí dosahují pouze paralelní AD převodníky (flash ADC). Jejich negativní vlastností je bohužel povětšinou vysoká spotřeba, často přesahující 100mW.

Výběr správné součástky, která by současně splňovala výše položené požadavky na rychlost, spotřebu a dobré šumové parametry, bylo nutné provádět mezi nejmodernějšími typy u předních světových výrobců. Jako nejvýhodnější se nakonec ukázal typ AD9629 od společnosti Analog Devices, který se vyznačuje velmi nízkou spotřebou. I všechny ostatní parametry vyhovují požadovaným.

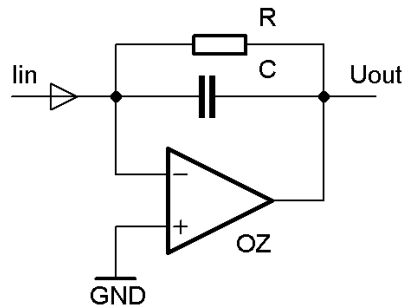
- Rychlost 80Ms/s (typ AD9629-80)
- Spotřeba
 - 85mW při 80Ms/s
 - 45mW při 20Ms/s
- Rozlišení 12 bitů
- SNR 71,3dBFS (při vstupu 9,7MHz)

4.3.2 Nábojový zesilovač

Zdrojem signálu, jímž je řízeno spouštění měření na FITPix modulech je buď spektrometr nebo detektor Si. Proudové impulzy získané tímto způsobem jsou však velmi krátké a mají příliš malou amplitudu na to, aby mohly být přímo zpracovány AD převodníkem. U Si senzoru se jejich šířka pohybuje v časovém rozpětí řádově desítky až stovky ns (10^{-8} – 10^{-7} s) [5]. Proto je třeba vytvořit zapojení, které tyto impulzy zesílí a

zároveň roztáhne na dostatečně dlouhý časový interval. Tímto zapojením je nábojový zesilovač.

Nábojový zesilovač je ve své podstatě velmi podobné zapojení jako integrátor. Základem je operační zesilovač s kondenzátorem v záporné zpětné vazbě. Nejjednodušší varianta obvodu je znázorněna na Obr. 4.9.



Obr. 4.9 Obecné schéma nábojového zesilovače

Jestliže pro začátek předpokládáme hodnotu rezistoru $R \rightarrow \infty$, lze s využitím parametrů ideálního operačního zesilovače (virtuální nula, nekonečný vst. odpor) a vztahu mezi napětím a proudem na kondenzátoru psát rovnici

$$I_{in} = -C \frac{dU_{out}}{dt}$$

resp. po úpravě

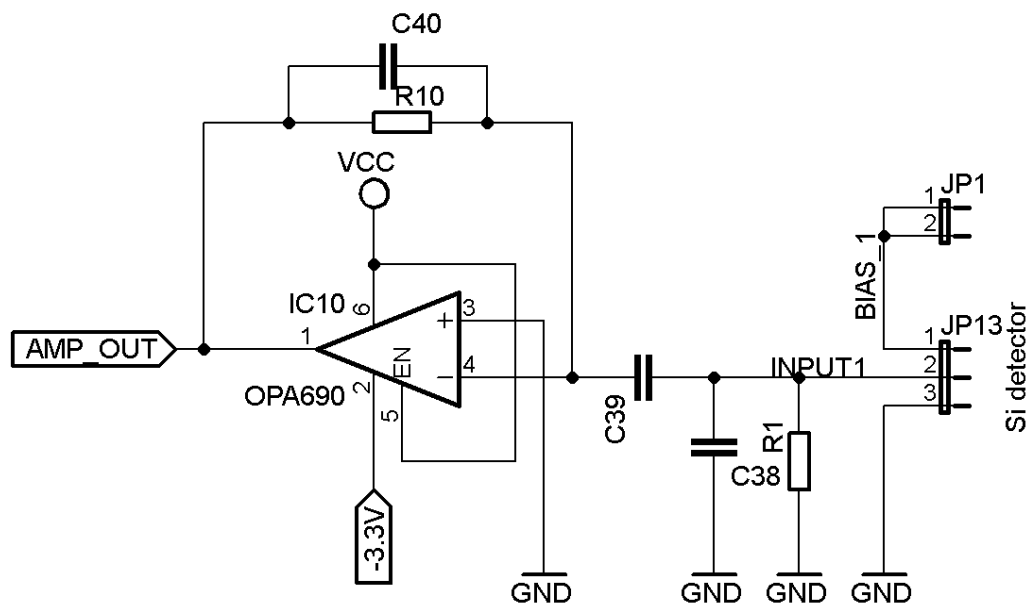
$$dU_{out} = -\frac{I_{in} \cdot dt}{C}$$

Protože platí $I_{in} \cdot dt = dQ$, dá se rovnice pro nábojový zesilovač přepsat do tvaru

$$dU_{out} = -\frac{dQ}{C} \quad (2)$$

Z uvedeného vztahu je zřejmá skutečnost, že pokud bychom na vstup takového zesilovače dlouhodobě přiváděli náboj (tj. impulzy z detektoru) stejné polarity, napětí na výstupu by narůstalo nade všechny meze. Proto je při praktickém použití nutné zpětnou vazbu OZ doplnit o rezistor R, který zajistí vybíjení kondenzátoru C s časovou konstantou $\tau = RC$.

Zapojení nábojového zesilovače v podobě, v jaké je realizováno v přípravku je uvedeno na Obr. 4.10. Hodnoty součástek, zejména R10 a C40 určující zesílení a časovou konstantu zesilovače nelze stanovit předem, neboť se odvíjí od konkrétního typu použitého detektoru. Protože velikost náboje z detektoru je velmi malá, bude i kapacita kondenzátoru C vycházet relativně nízká, aby tento náboj způsobil dostatečný rozkmit výstupního napětí operačního zesilovače.



Obr. 4.10 Schéma nábojového zesilovače v zapojení

4.4 Mechanická konstrukce

Zařízení je vyhotoveno jako deska plošných spojů s rozměry přibližně 96 mm x 47 mm a čtyřmi otvory v rozích pro upevnění na distanční sloupky M3. Deska je čtyřvrstvá, osazená z obou stran, přičemž pro rozvod signálů je využita pouze horní a spodní vrstva. Vnitřní vrstvy jsou spojeny s napájecím napětím 3,3V (VCC) a se zemí (GND). Jsou plně rozlity mědí, která zároveň slouží jako stínění. Země analogové a digitální části jsou odděleny izolační mezerou, z důvodu omezení průniku rušení od rychlých číslicových obvodů ke vstupům citlivých analogových prvků.

Část obvodů s nábojovým zesilovačem a anti-aliasing filtrem není provedena přímo na hlavní desce, ale jako samostatný vyměnitelný modul na zvláštní destičce. Ta je následně nasazena na příslušné konektory v pravé části hlavní desky. Takovýto způsob provedení byl zvolen z důvodu možnosti nábojový zesilovač snadno vyměňovat za jiný typ, přizpůsobený vždy na míru konkrétnímu detektoru.

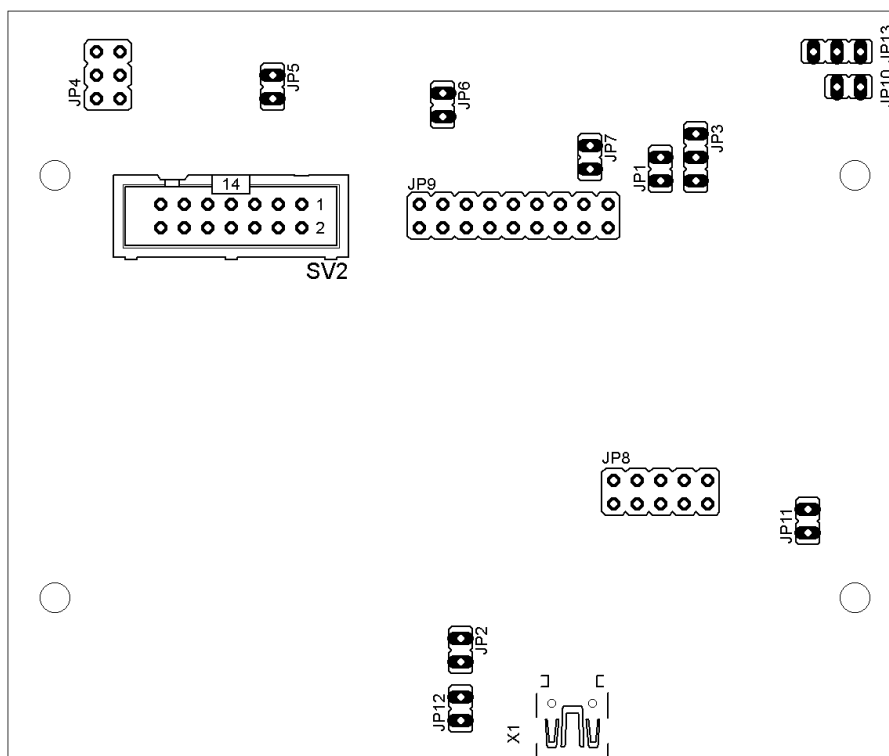
5 Použití

5.1 Konektory

V tabulce Tab. 3 je uveden seznam všech konektorů a přípojných míst na desce, včetně jejich popisu a referencí. Na obrázku Obr. 5.1 je znázorněno fyzické rozložení těchto konektorů na plošném spoji.

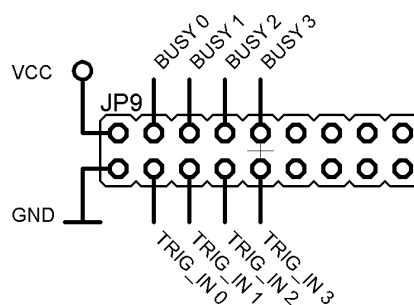
Tab. 3 Popis funkce konektorů

Označení	Funkce
6 Napájení	
JP2	Snímání proudu zdroje předpětí
JP4	Napájení desky 5V
JP5	Snímání proudu zdroje VCC 3,3V
JP6	Snímání proudu zdroje 1,5V pro jádro FPGA
JP7	Snímání proudu invertoru -3,3V pro OZ
JP11	Snímání proudu lineárního zdroje 1,8V pro ADC
JP12	Výstup zdroje předpětí
JP13	Snímání proudu lineárního zdroje 3,3V pro OZ
Datové konektory	
JP1	Vstup signálu pro externí trigger
JP9	Header pro připojení FITPix modulů
X1	USB pro ovládání z PC
Programovací konektory	
JP8	JTAG pro konfiguraci FPGA
SV2	JTAG pro programování a debugging MCU MSP430
Konektory pro přídatnou desku	
JP3	Napájení analogových obvodů, vstup ADC
JP10	Zem pro analogové obvody



Obr. 5.1 Rozmístění konektorů na plošném spoji

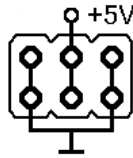
Bližší pozornost si zaslouží konektor JP9, na který se zapojují signály z FITPix rozhraní jednotlivých pixelových detektorů. Jedná se o signály Busy a Trigger_In, jejich připojení k pinům konektoru je uvedeno na obrázku Obr. 5.2. Na dvojici pinů vlevo je vyvedena zem a napájecí napětí 3,3V.



Obr. 5.2 Připojení FITPix signálů

6.1 Napájení desky

Deska se napájí prostřednictvím konektoru JP4 stejnosměrným napětím 5V (maximální přípustný interval je 3,6V – 5,5V). Zapojení napájecího konektoru je znázorněno na Obr. 5.3. Na vstupu napájení je osazena ochranná dioda proti přepólování a také vratná pojistka.



Obr. 5.3 Napájecí konektor

6.2 Ovládání z PC

Synchronizační jednotka se k obslužnému počítači se připojuje přes mini-USB konektor X1. Komunikace uživatele se zařízením dále probíhá po virtuální sériové lince, prostřednictvím terminálového programu (na OS Windows lze využít např. Hyperterminál). Parametry sériového přenosu jsou 9600bit/s, 8 datových bitů, žádná parita, 1 stop bit.

Po tomto úvodním nastavení je již možné začít psát textové příkazy do okna terminálu. Níže je uveden detailný výčet všech dostupných příkazů včetně jejich správné syntaxe a popisu funkce. Stručný seznam příkazů je také možné získat přímo ze zařízení, zadáním příkazu `help`.

`cthr <-2048 až 2047>`

Nastavení prahového napětí komparátoru. Napětí se zadává jako 12-bitové číslo se znaménkem v dekadickém zápisu. Mezní hodnoty odpovídají napětí $\pm 1\text{V}$ na vstupu AD převodníku (tedy 1 krok = $1/2048\text{ V}$).

`cww <0 až 2047>`

Nastavení šířky okna komparátoru. Šířka okna je zadána jako počet kroků ($1/2048\text{ V}$) okolo prahového napětí.

`cmod (win | hys)`

Příkazem `cmod` se volí pracovní režim komparátoru. Při zadání parametru `win` je vybrán okénkový komparátor. Nastavením polohy a šířky okna je možné definovat romezí energií částic, při jejichž detekci bude generován trigger. Příkaz s parametrem `hys` naopak vybere komparátor s hysterezí. Poloha a šířka hysterezní smyčky se nastavuje shodným způsobem jako okno u okénkového komparátoru.

`fpact <0 až 3>`

Tímto příkazem se provede aktivace konkrétního FITPix zařízení s připojeným pixel detektorem. Číslo v parametru příkazu udává jeho pozici na headeru JP9 (zleva). Detailnější informaci o zapojení detektorů lze získat z Obr. 5.2.

`fpdeact <0 až 3>`

Obdobně jako v předchozím případě má příkaz `fpdeact` za úkol deaktivaci jednotlivých detektorů. Syntaxe zápisu je zcela shodná.

`per <1 až 1023>`

Nastavení periody měření čítače událostí. Číslo v parametru přímo udává čas v sekundách nebo milisekundách (lze zvolit), po kterém bude naměřený počet detekovaných událostí přesouván do výstupního registru a čítač nulován.

`pran (ms | s)`

Volba měřicího rozsahu čítače událostí. Parametrem `ms` je nastaven milisekundový rozsah (1 – 1023 ms), parametrem `s` sekundový (1 – 1023 s).

`evcnt`

Tímto příkazem je do terminálového okna vypsán počet detekovaných událostí. Číslo vždy udává počet událostí za poslední uplynulou časovou periodu, která je nastavena příkazy `per` a `pran`.

`trigsrc (cmp | syn | ext)`

Tento příkaz slouží k výběru zdroje trigger signálu. Zdrojem může být buďto výstup komparátoru (parametr `cmp`), časovač generující syntetický trigger v pravidelném nastavitelném intervalu (parametr `syn`), nebo externí pin JP1 (parametr `ext`). Pro praktická měření bude pravděpodobně nejčastější volbou možnost `cmp` – trigger z komparátoru, případně `ext`, pokud budeme chtít ke spouštění použít spektrometrický modul. Volba `syn` je implementována spíše k testovacím účelům.

`stper <1 až 1023>`

Nastavení periody generování syntetického triggeru. Číslo v parametru přímo udává časovou periodu v sekundách nebo milisekundách (lze zvolit), s jakou bude opakovaně generován spouštěcí impuls.

stpran (ms | s)

Volba rozsahu generátoru syntetického triggeru. Parametrem ms je nastaven milisekundový rozsah (1 – 1023 ms), parametrem s sekundový (1 – 1023 s).

temp

Vypíše teplotu desky do okna terminálu.

bias <3 až 90>

Nastavení předpětí pro Si senzor. Jako parametr příkazu se zadá požadované napětí zdroje ve voltech.

7 Simulace a výsledky měření

Před samotnou syntézou VHDL kódu a praktickými experimenty byla správná funkce synchronizačních obvodů, implementovaných v FPGA, ověřena v simulačním software. V tomto případě byl použit program Mentor Graphics ModelSim 6.6d, který je dodáván společně s vývojovým prostředím Libero IDE pro FPGA Actel. Výsledek simulace si lze prohlédnout na obrázku Obr. C.1 v příloze C. V grafu je zkráceno časové měřítko kvůli lepší čitelnosti. Simulace ukázala, že odezva zařízení na vstupní trigger signál činí velmi dobrých 40ns, což jsou 2 hodinové takty při frekvenci oscilátoru 50MHz.

Vzhledem k úspěšnému výsledku simulace mohlo následovat praktické otestování všech funkcí navrženého zařízení.

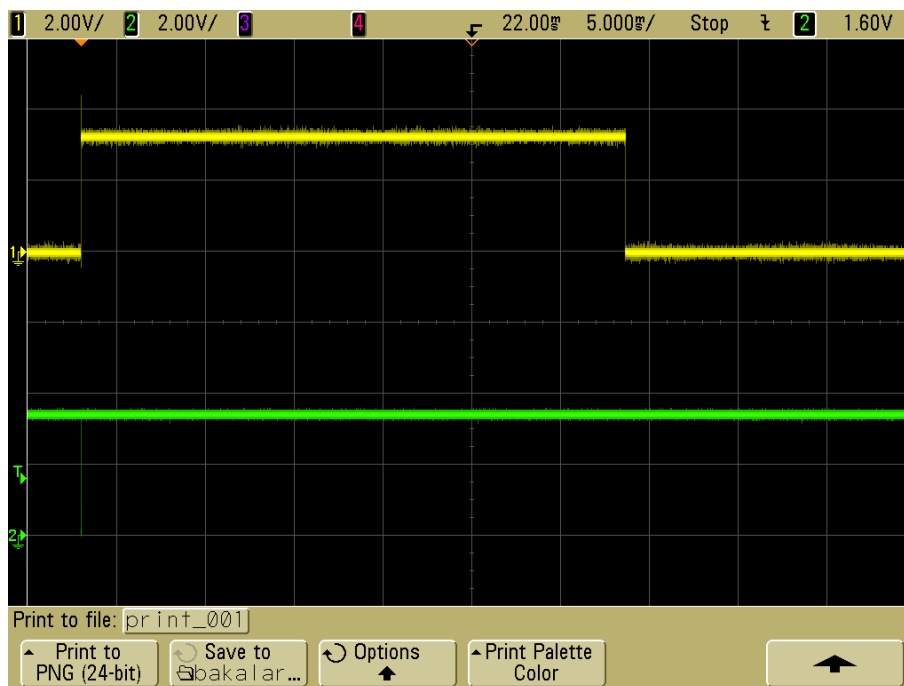
Nejprve bylo nutné ověřit korektní funkčnost všech napájecích zdrojů. Zde se nevyskytly žádné problémy, velikosti napětí všech větví se pohybovaly v tolerancích součástek. Zvlnění spínaných stabilizátorů pro digitální část činilo přibližně 10mV p-p na frekvenci 1MHz. Šum lineárních stabilizátorů pro analogovou desku byl pod hranicí měřitelnosti, tedy menší než 1mV p-p.

Nyní mohlo následovat naprogramování MCU, nahrání obsahu do FPGA a otestování ostatních částí obvodu. Zde se však vyskytl problém s AD převodníkem, kdy při pokusu o změření ENOB byla odhalena jeho pravděpodobná porucha. Z převodníku byla vydávána nesmyslná data, nezávislá na přivedeném napětí mezi vstupní piny. Nesprávnou funkci potvrzuje i fakt, že na vývodu převodníku AVDD, kam má být přivedeno analogové napájecí napětí 1,8V, bylo naměřeno napětí 2,2V. Toto napětí na vývodu přetrvávalo i při připojení

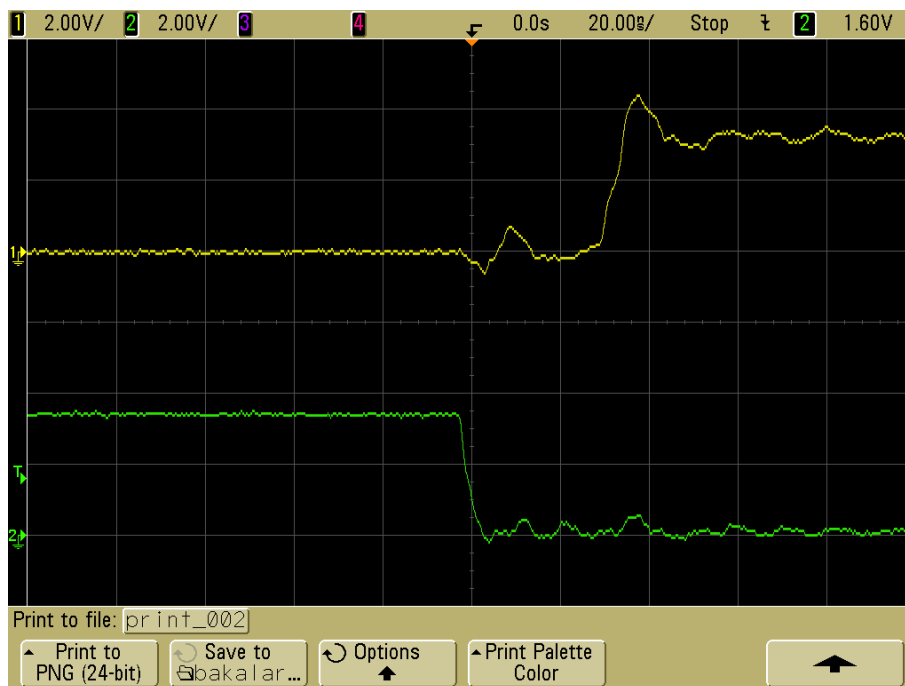
zdroje 1,8V, převodník z něj neodebíral žádný proud. Ani přes mnohonásobnou kontrolu zapojení se nepodařilo příčinu tohoto jevu diagnostikovat. Následující testy synchronizace tedy mohly probíhat pouze s využitím externího a syntetického zdroje triggeru.

Pro otestování správného časování synchronizačních signálů a reakcí na vstupy byla k desce připojena jedna jednotka FITPix. Přes ovládací rozhraní na PC byl vybrán syntetický trigger a jeho perioda nastavena na 100ms. Osciloskopem byly sledovány signály trigger_out (u FITPix Trigger_In) a Busy. Zařízení reagovalo podle očekávání, v okamžiku připravenosti FITPix jednotky byl při příchodu trigger signálu z časovače (synt. zdroje) vytvořen 10 μ s dlouhý trigger_out spouštěcí impuls (do log. 0), jehož sestupná hrana spustila měření na FITPixu. Obslužný PC software Pixelman tímto způsobem získal celkem 100 snímků, přičemž ani jednou nedošlo k chybě spouštění. Snímky z osciloskopu, zachycující průběhy signálů trigger_out a busy po spuštění měření časovačem, si lze prohlédnout na Obr. 7.1 a Obr. 7.2. Žlutá horní křivka znázorňuje signál busy, spodní zelená trigger_out.

Obdobně byl proveden i test spouštění externím zdrojem triggeru. Na příslušný konektor na desce byl přiveden signál z generátoru obdélníkového průběhu. Perioda byla opět nastavena na 100ms, délka pulzu na 1ms. Synchronizace pracovala bez problémů i v tomto případě. Rovněž čítač událostí podával správnou informaci o četnosti triggerů za jednotku času, která zde odpovídala frekvenci signálu z generátoru (10 pulzů/s).



Obr. 7.1 Průběhy signálů busy a trigger_out



Obr. 7.2 Průběhy signálů busy a trigger_out, detail

8 Diskuze, návrhy ke zlepšení

Během konečné fáze vývoje a při praktických testech bylo v konstrukci zařízení objeveno několik nedostatků a chyb. Tyto chyby jsou uvedeny níže, aby bylo možné je při případném re-designu odstranit.

Nevhodné je zejména vyvedení hodinového signálu pro FPGA z výstupu krystalového oscilátoru mikrokontroléru MSP430. Napěťové úrovně na tomto výstupu jsou zcela nekompatibilní se standardem LVCMOS33, což způsobovalo nefunkčnost obvodů v FPGA. Mnohem lepší je hodinový signál vyvést z pinu č. 25 mikroprocesoru, který lze programově nakonfigurovat jako výstup MCLK (master clock). Na DPS bylo kvůli této chybě nutné provést dodatečné úpravy.

Dále bylo při návrhu schématu zapomenuto zařadit napěťový dělič ke snímání napájecího napětí, kvůli diagnostice.

Problematické se také ukázalo taktování AD převodníku LVDS signálem z FPGA. FPGA sice tento standard podporuje, pro jeho použití je ale nutné na LVDS přepnout celou IO banku. To bohužel v současném zapojení není možné, neboť na stejnou banku je zapojen i FITPix konektor, který používá signály LVCMOS. Je tedy nutné odpojit odpor R11, na vstup CLK- převodníku přivést trvale log. 0 a CLK+ taktovat z FPGA LVCMOS signálem. Tento

způsob taktování AD převodník také umožňuje. Jiné řešení by spočívalo v použití externího LVDS driveru v malém pouzdře, jako je např. ADN4661.

Vhodné by též bylo v některé z příštích konstrukcí připojit reset vstup FPGA na některý z pinů MCU, aby ho bylo možné ovládat programově např. při poklesu napájecího napětí.

Následující návrhy směřují k možnostem celkového vylepšení a optimalizace konstrukce.

Jako první se nabízí zmenšení rozměrů desky plošných spojů. Toho by bylo možné docílit použitím mikrokontroléru a FPGA v BGA pouzdrech, s čímž by ale souvisela nutnost zvýšit počet vrstev DPS kvůli vyvedení pinů uprostřed pouzdra. Také většinu pasivních součástek lze osadit v menších velikostech, například 0402 místo současných 0603. Dále by bylo možné vyměnit paralelní rozhraní pro komunikaci mezi MCU a FPGA za sériovou sběrnici SPI. Tím by se sice omezil maximální datový tok, zároveň by ale bylo možné zvolit mikrokontrolér v menším pouzdře s méně vývody. Teoreticky by bylo i možné vynechat mikrokontrolér úplně, a namísto něj implementovat softwarový procesor přímo do FPGA – například volně dostupné jádro Core8051, které v FPGA obsadí při základní konfiguraci něco přes 3000LB. Výhody jednočipového řešení jsou zřejmé – především značná úspora místa na desce plošných spojů, odhadem asi 30%. Stinnou stránkou takového řešení by však byla značně omezená rozšiřitelnost zařízení o další funkce.

Oblastí k případnému dalšímu průzkumu je také zdroj předpětí pro Si detektor. Současné maximální napětí 90V, které je schopen poskytnout obvod MAX1932, je pro některé typy senzorů stále příliš nízké. Stávající topologii zvyšujícího měniče se nabízí nahradit například měničem s malým transformátorem, pro které rovněž existují integrované řídicí obvody.

9 Závěr

V rámci bakalářské práce byl navržen elektronický systém pro synchronizaci detektorů ionizujícího záření z rodiny Medipix s rozhraním FITPix. Kromě synchronizačních obvodů také zařízení integruje některé další podpůrné prvky pro Si senzor, jako je zdroj předpětí 3V až 90V a AD převodník s příslušnými analogovými obvody pro zpracování signálu z tohoto senzoru. Dále byl zkonstruován a oživen prototyp navrženého zařízení. U sestaveného prototypu pracuje synchronizace detektorů bezchybně, což bylo ověřeno simulací a následně i praktickými testy. Nepodařilo se pouze zprovoznit AD převodník, pro spouštění měření na

Medipix detektorech je tudíž nutností i nadále používat spektrometrický modul, připojený z vnějšku.

Zařízení je postaveno na moderní součástkové základně se zaměřením na nízkou spotřebu – příkon celé digitální části při plné aktivitě činil během testování přibližně 100mW. Výběr nejdůležitějších součástek byl prováděn s ohledem na možnost budoucího doplnění modulu o možnost spektrometrie, případně pokročilejší metody synchronizace.

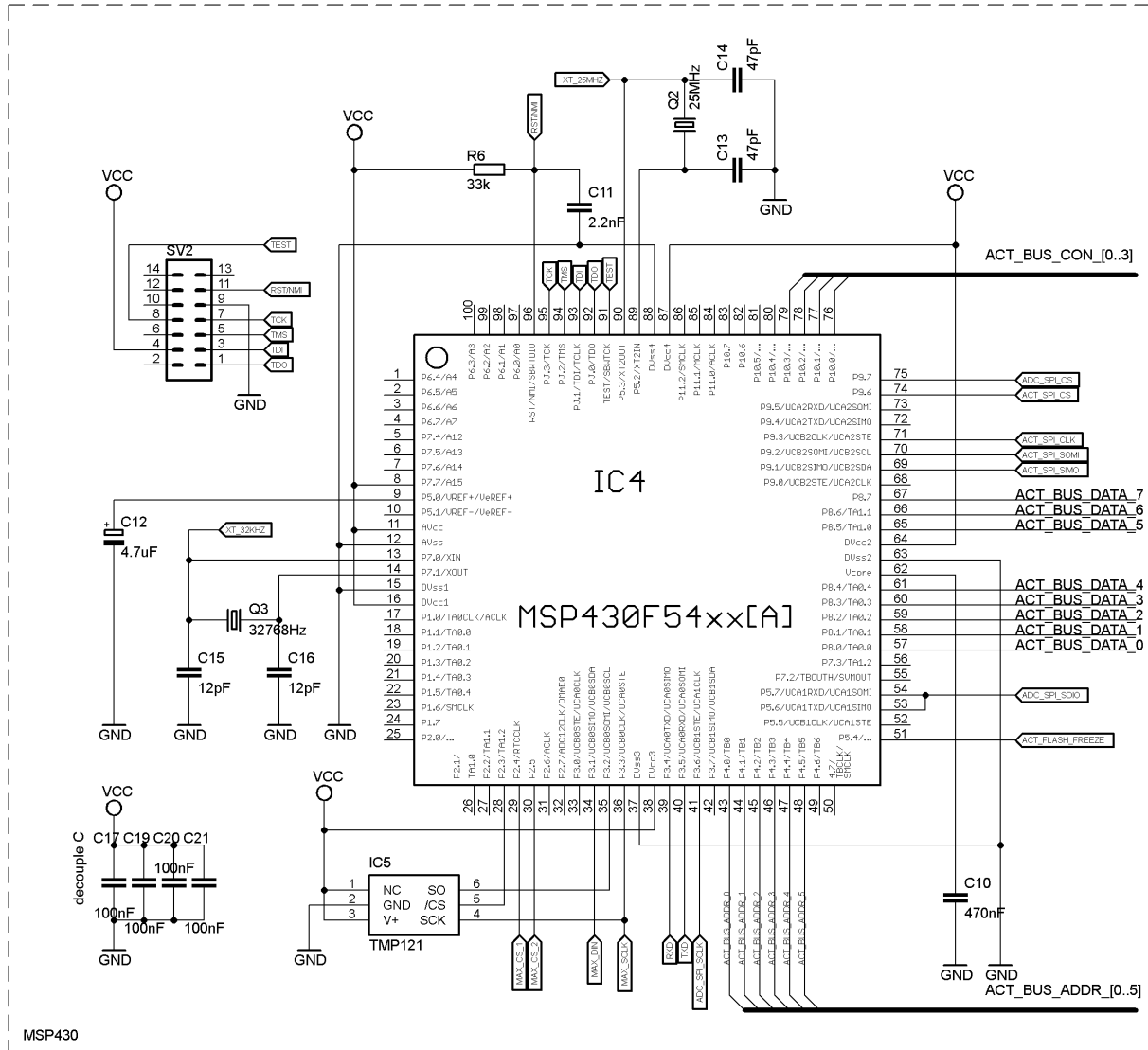
Literatura

- [1] KRAUS, Václav a Carlos GRANJA. Coincidence Module for Spectral- and Time-Correlated Multi- Particle Detection with Four Pixel Detectors Timepix. In: *19th International Seminar on Interaction of Neutrons with Nuclei: "Fundamental Interactions & Neutrons, Nuclear Structure, Ultracold Neutrons, Related Topics"* [online]. [cit. 2012-05-07]. Dostupné z: <http://isinn.jinr.ru/19/pdf/kraus.pdf>
- [2] Pixel device TimePix. JAKŮBEK, Jan. *Medipix in IEAP* [online]. [cit. 2012-05-07]. Dostupné z: <http://147.32.68.57/ofat/others/Timepix/index.htm>
- [3] KRAUS, Václav, Carlos GRANJA a Yuri KOPATCH. *COINCIDENCE SYSTEM FOR SPATIAL AND TIME-CORRELATED MULTI-PARTICLE DETECTION WITH PIXEL DETECTORS TIMEPIX*. Institute of Experimental and Applied Physics, Czech Technical University in Prague, 2011.
- [4] FITPix. KRAUS, Václav, Michael HOLÍK a Pavel SOUKUP. *ÚTEF - Ústav technické a experimentální fyziky* [online]. [cit. 2012-05-07]. Dostupné z: http://aladdin.utef.cvut.cz/ofat/others/Fitpix/FITPix_manuals.html
- [5] KNOLL, Glenn F. *Radiation Detection and Measurement* /. 3rd ed. Michigan: John Wiley, 2000, 802 s. ISBN 04-710-7338-5.
- [6] PINKER, Jiří a Martin POUPA. *Číslicové systémy a jazyk VHDL*. 1. vyd. Praha: BEN - technická literatura, 2006, 349 s. ISBN 80-730-0198-5.
- [7] The Medipix Home Page. *CERN - the European Organization for Nuclear Research* [online]. [cit. 2012-05-26]. Dostupné z: <http://medipix.web.cern.ch/medipix/index.php>

- [8] JAKŮBEK, J., A. CEJNAROVÁ, S. POSPÍŠIL a J. UHER. Polohově citlivá spektrometrie s pixelovými detektory Timepix. In: [online]. [2007] [cit. 2012-05-29]. Dostupné z:
http://aladdin.utef.cvut.cz/ofat/methods/MIPtracking/Pict/Jakubek_Energy_sensitive_imaging_cz.pdf
- [9] RUIN - Rapid Universal Interface. Michal PLATKEVIČ. *ÚTEF - Ústav technické a experimentální fyziky* [online]. [cit. 2012-05-30]. Dostupné z:
<http://aladdin.utef.cvut.cz/ofat/others/RUIN/index.html>

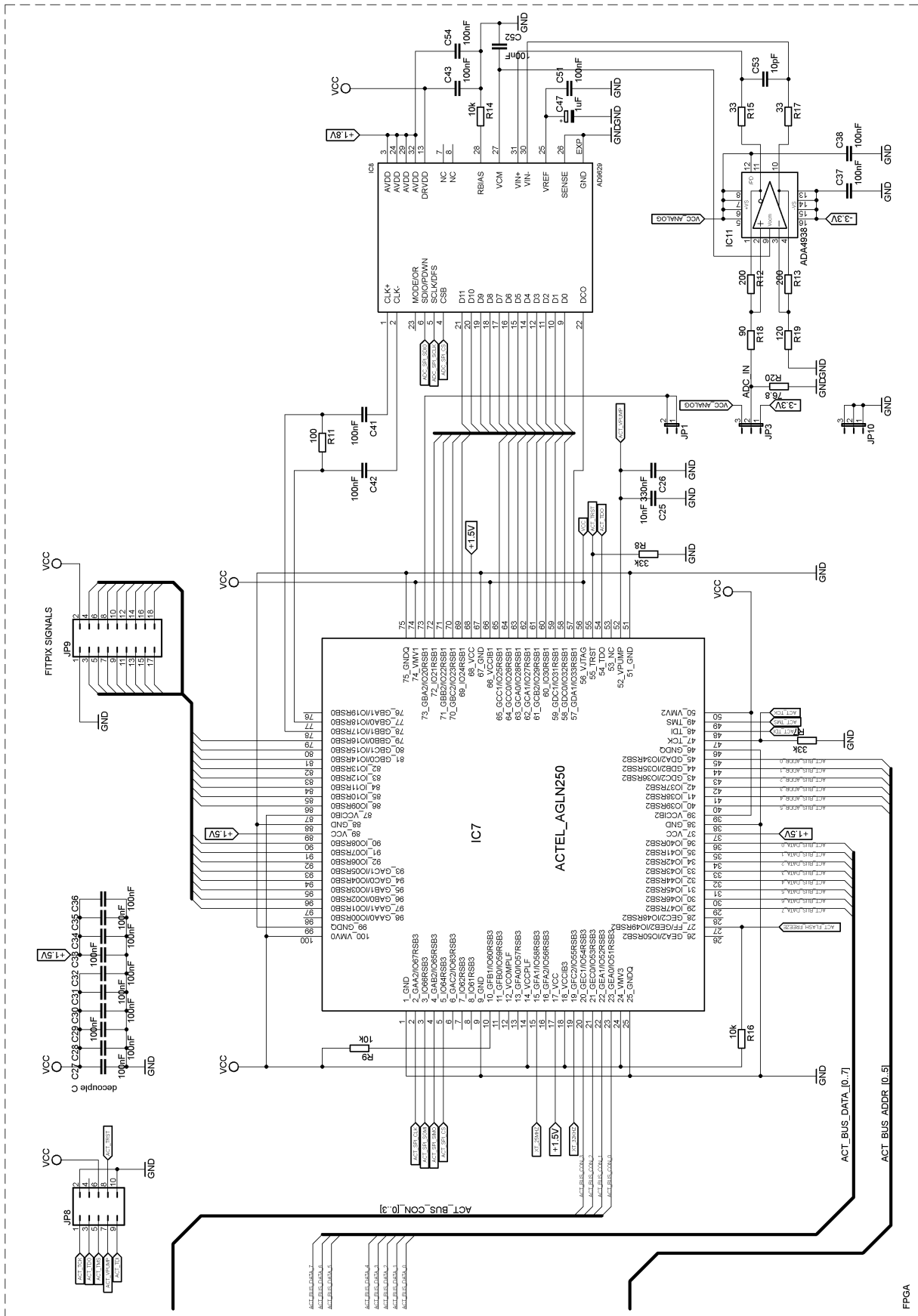
Příloha A – Schémata zapojení

A.1 Schéma zapojení MCU části

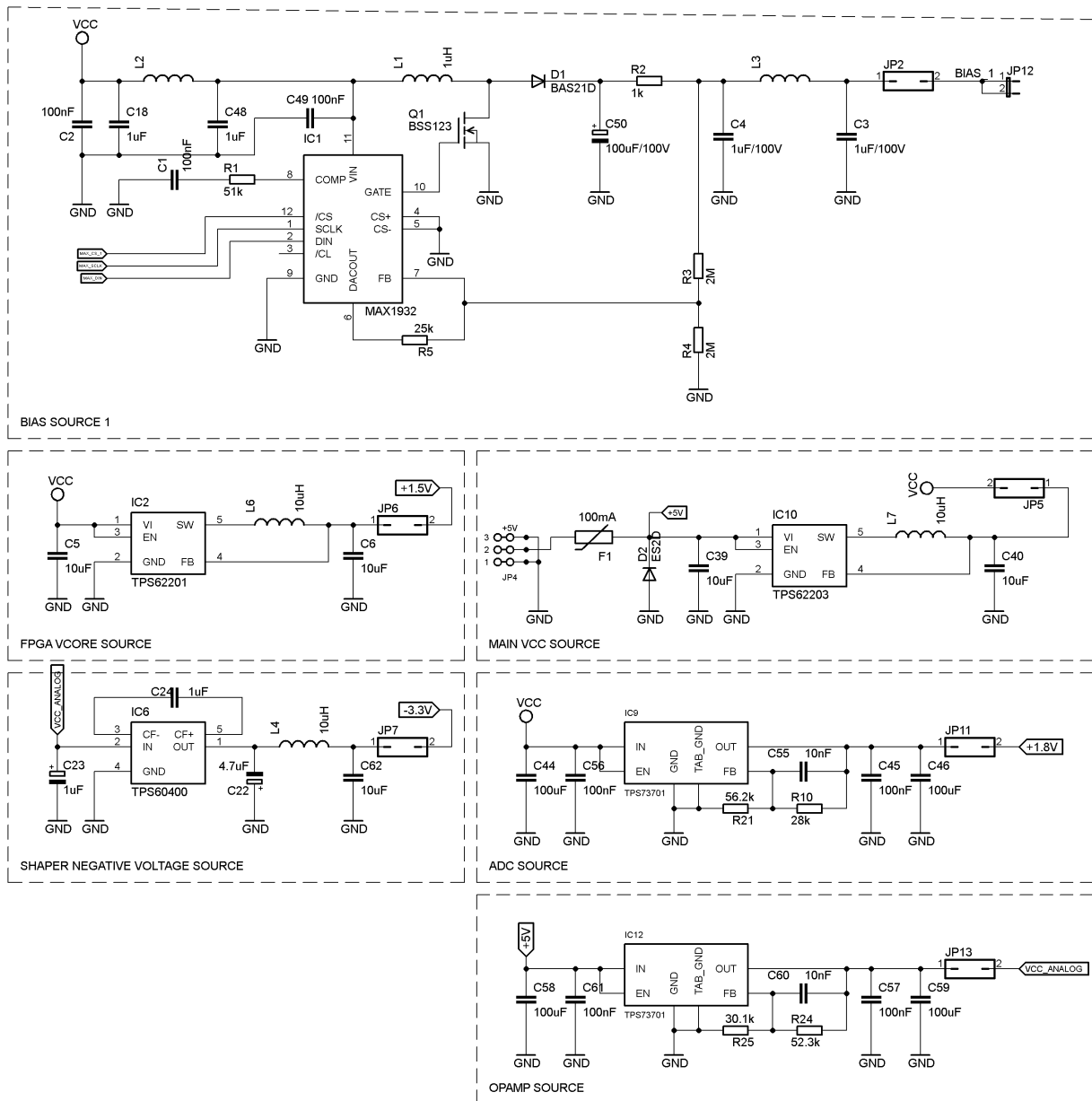


MSP430

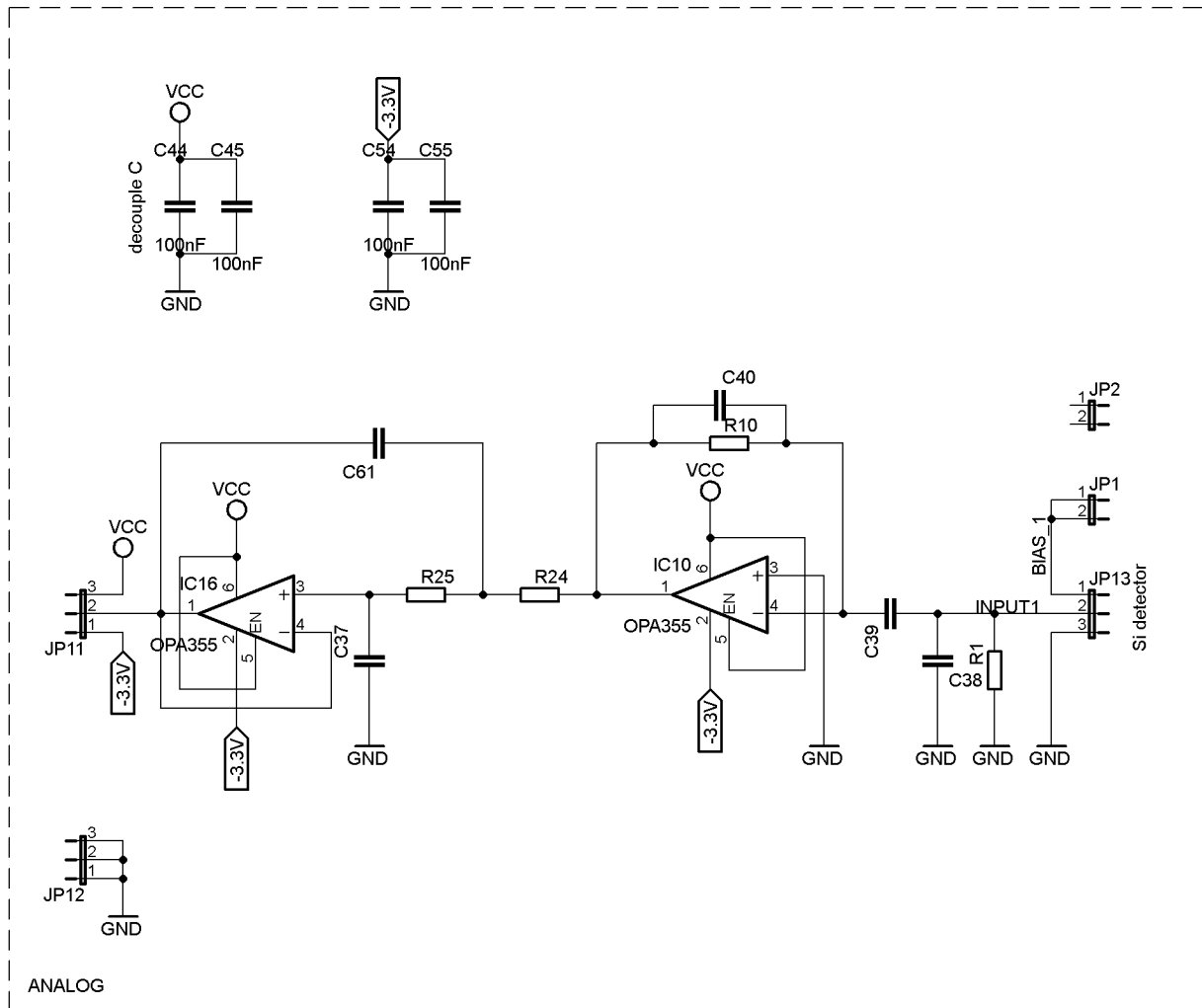
A.2 Schéma zapojení FPGA



A.3 Schéma zapojení napájecích zdrojů

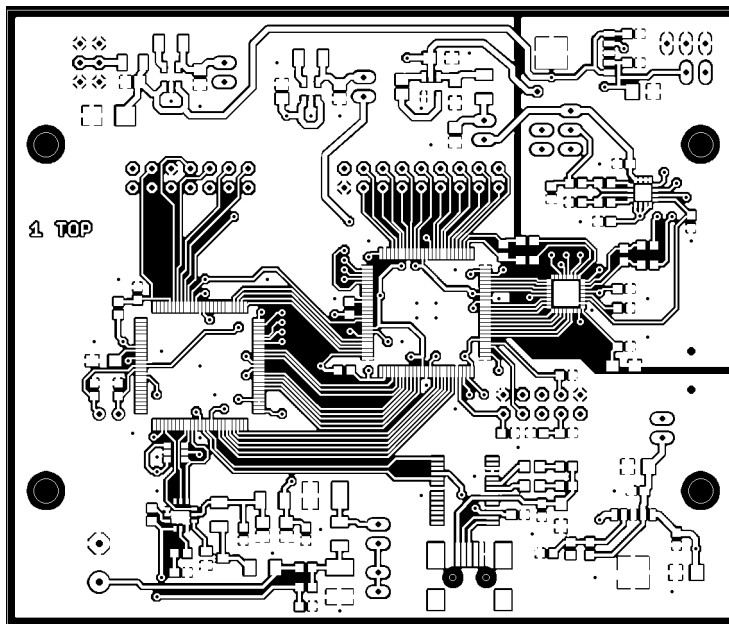


A.5 Schéma zapojení analogové desky

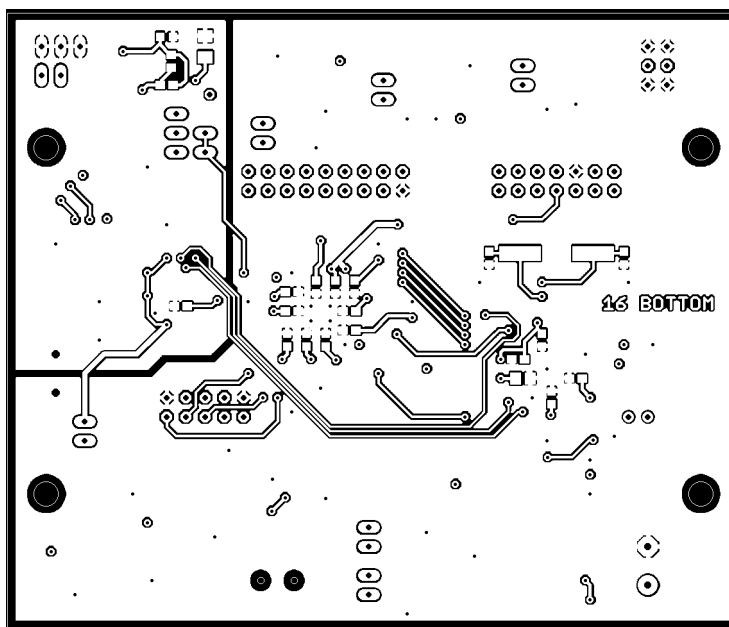


Příloha B – Desky plošných spojů

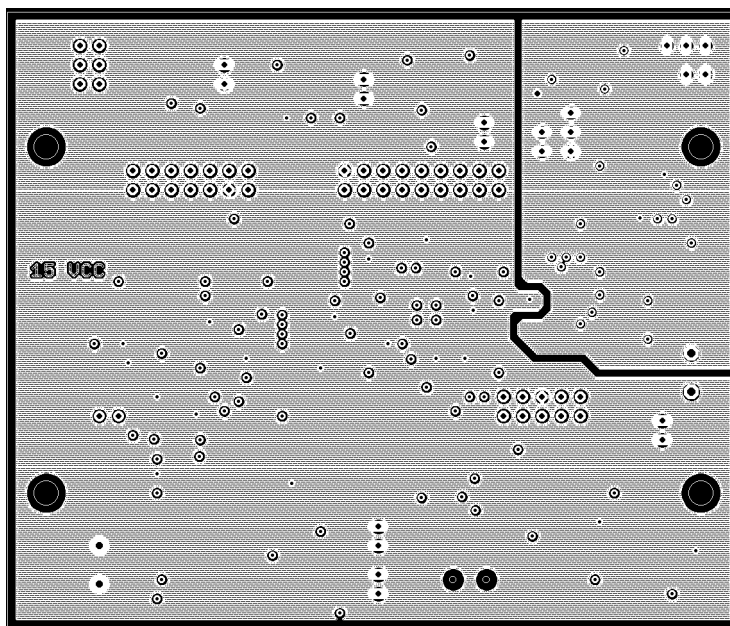
B.1 Hlavní deska



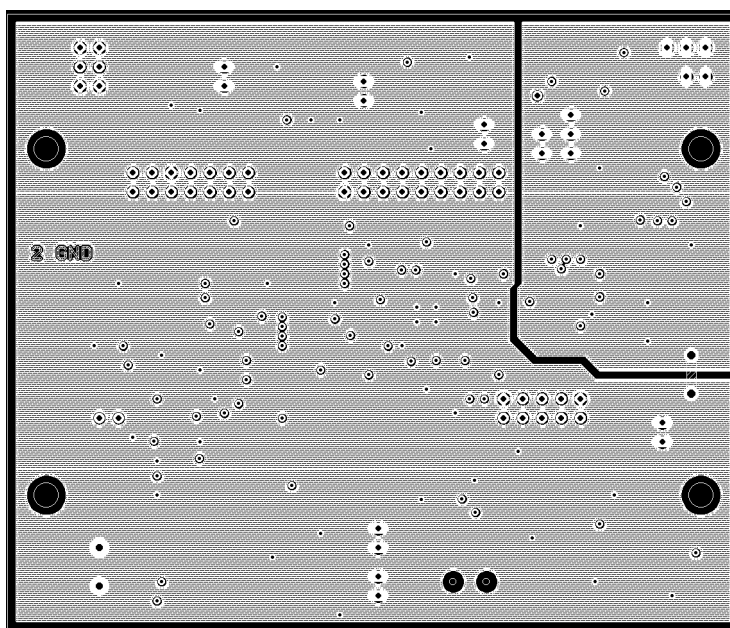
Obr. B.1 Hlavní deska – vrstva Top



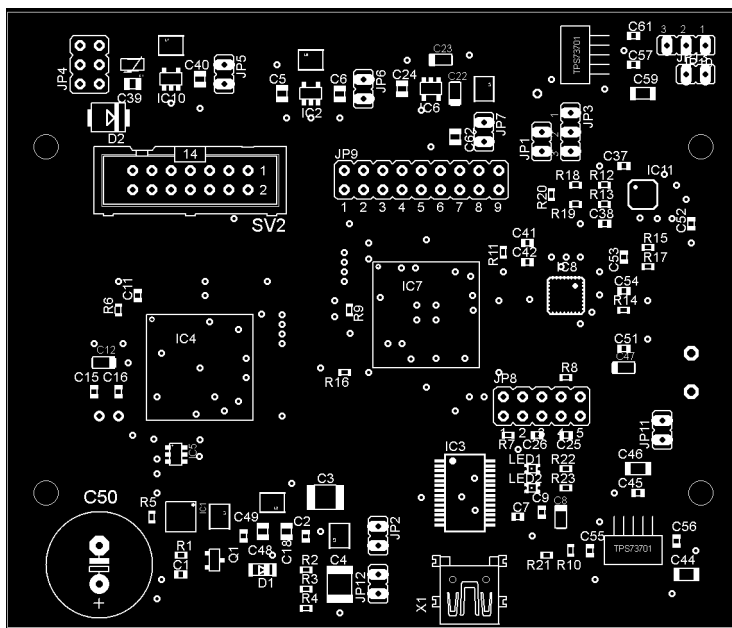
Obr. B.2 Hlavní deska – vrstva Bottom



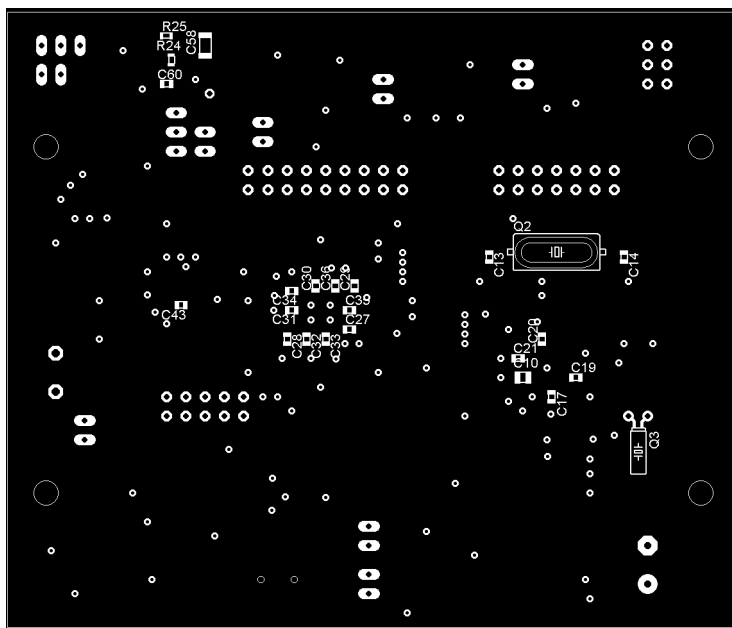
Obr. B.3 Hlavní deska – vnitřní vrstva Vcc



Obr. B.4 Hlavní deska – vnitřní vrstva Gnd



Obr. B.5 Hlavní deska – vrstva Top, osazovací výkres



Obr. B.6 Hlavní deska – vrstva Bottom, osazovací výkres

Příloha D – Seznam zdrojových kódů

Kompletní zdrojové kódy jsou vzhledem k jejich rozsahu umístěny na příloženém CD.

D.1 Zdrojové kódy programu MCU

main.c

hlavní program, zpracování uživatelských příkazů

fpga_mem.h

funkce pro čtení a zápis dat do FPGA přes paměťové rozhraní

uart.h

funkce pro komunikaci přes sériové rozhraní, čtení zápis znaků

tmp121.h

funkce pro SPI komunikaci a čtení teploty z teplotního senzoru TMP121

D.2 VHDL kódy pro FPGA

SYNC_TOP.vhd

top-level entita, obsahuje propojení (port map) ostatních komponent a kód pro výběr zdroje triggeru

SYNCHRO.vhd

entita pro synchronizaci FITPix jednotek

DPM.vhd

paměťové rozhraní pro čtení a zápis dat z MCU

ADC_READ.vhd

čtení dat z AD převodníku

EVENT_CNT.vhd

čítač počtu událostí za jednotku času

WIN_COMP.vhd

komparátor a okénkový komparátor pro porovnání dat z ADC s nastavenými hranicemi

SYNTH_TRG.vhd

Syntetický zdroj triggeru. Generuje spouštěcí impulzy v pravidelném nastavitelném intervalu.

EXT_TRG.vhd

dvojitý vzorkovač pinu externího zdroje spouštění