

**ZÁPADOČESKÁ UNIVERZITA V PLZNI
FAKULTA ELEKTROTECHNICKÁ**

KATEDRA APLIKOVANÉ ELEKTRONIKY A TELEKOMUNIKACÍ

BAKALÁŘSKÁ PRÁCE

Softwarový funkční generátor

ZÁPADOČESKÁ UNIVERZITA V PLZNI

Fakulta elektrotechnická

Akademický rok: 2011/2012

ZADÁNÍ BAKALÁŘSKÉ PRÁCE

(PROJEKTU, UMĚLECKÉHO DÍLA, UMĚLECKÉHO VÝKONU)

Jméno a příjmení: **Jaroslav PROCHÁZKA**
Osobní číslo: **E08B0393P**
Studijní program: **B2612 Elektrotechnika a informatika**
Studijní obor: **Elektronika a telekomunikace**
Název tématu: **Softwarový funkční generátor**
Zadávající katedra: **Katedra aplikované elektroniky a telekomunikací**

Z á s a d y p r o v y p r a c o v á n í :

1. Prostudujte problematiku softwarových funkčních generátorů.
2. Navrhněte obvodové zapojení a vytipujte vhodné komponenty pro elektrickou i mechanickou část zařízení.
3. Realizujte zařízení a vytvořte programové vybavení pro funkční vzorek.
4. Diskutujte dosažené parametry a vlastnosti funkčního generátoru.

Rozsah grafických prací: **podle doporučení vedoucího**

Rozsah pracovní zprávy: **20 - 30 stran**

Forma zpracování bakalářské práce: **tištěná/elektronická**

Seznam odborné literatury:

Student si vhodnou literaturu vyhledá v dostupných pramenech podle doporučení vedoucího práce.

Vedoucí bakalářské práce:

Ing. Petr Křibský

Katedra aplikované elektroniky a telekomunikací

Konzultant bakalářské práce:

Ing. Petr Křibský

Katedra aplikované elektroniky a telekomunikací

Datum zadání bakalářské práce: **13. srpna 2012**

Termín odevzdání bakalářské práce: **24. srpna 2012**

Doc. Ing. Jiří Hammerbauer, Ph.D.

děkan



Doc. Dr. Ing. Vjačeslav Georgiev

vedoucí katedry

V Plzni dne 13. srpna 2012

Anotace

Tato bakalářská práce je zaměřena na návrh a stavbu softwarového funkčního generátoru založeného na principu přímé digitální syntézy. Práce dále popisuje elektronické signály a provádí rozbor jednotlivých metod používaných pro jejich vytváření.

Klíčová slova

Funkční generátor, signál, frekvenční syntéza, přímá digitální syntéza, D/A převodník, antialiasing filtr, ATmega 168

Abstract

This bachelors work is focused on design and construction of a software function generator based on a direct digital synthesis principle. The work also describes electronic signals and makes analyses of each single method used for their creation.

Key words

Function generator, signal, frequency synthesis, direct digital synthesis, D/A converter, antialiasing filter, ATmega 168

Prohlášení

Předkládám tímto k posouzení a obhajobě bakalářskou práci, zpracovanou na závěr studia na Fakultě elektrotechnické Západočeské univerzity v Plzni.

Prohlašuji, že jsem tuto bakalářskou práci vypracoval samostatně, s použitím odborné literatury a pramenů uvedených v seznamu, který je součástí této bakalářské práce.

Dále prohlašuji, že veškerý software, použitý při řešení této bakalářské práce, je legální.

V Plzni dne 24.8.2012

Jaroslav Procházka

.....

Poděkování

Tímto bych rád poděkoval vedoucímu bakalářské práce Ing. Petrovi Křibskému za cenné profesionální rady, připomínky a metodické vedení práce.

Obsah

Obsah	8
Úvod	9
Seznam symbolů a zkratk.....	10
1 Obecný popis elektronických signálů.....	11
2 Způsoby generování signálu	14
2.1 Analogové oscilátory	14
2.2 Přímá analogová syntéza	15
2.3 Nepřímá syntéza	16
2.4 Přímá digitální syntéza	17
3 Přímá digitální syntéza	17
3.1 Obecný popis	17
3.2 Akumulátor fáze	18
3.3 D/A převodník	22
3.3.1 D/A převodník s váhovými odpory	23
3.3.2 D/A převodník s odporovou sítí R-2R.....	24
3.3.3 D/A převodníky založené na polovodičové technologii CMOS.....	27
3.4 Antialiasing filtr.....	28
4 Konstrukční řešení funkčního generátoru.....	30
4.1 Hardware	30
4.1.1 Procesor ATmega 168	31
4.1.2 Převodník FT232RL.....	34
4.1.3 D/A převodník TLC5602C.....	36
4.1.4 Operační zesilovač LM1458.....	38
4.1.5 Spínaný měnič MC34063A	41
4.2 Software.....	42
4.2.1 Generování signálu	43
4.2.2 Komunikace s počítačem.....	47
Závěr	50
Seznam literatury a informačních zdrojů.....	52
Seznam obrázků.....	53
Přílohy.....	I

Úvod

Funkční generátory jsou zařízení schopná vytvářet na svém výstupu periodické elektrické signály s definovanými parametry. Nalézají uplatnění především v měřicí technice, kde se používají při zjišťování parametrů elektrických obvodů a zařízení. Typickou aplikací představuje testování elektronických zesilovačů. Funkční generátor se připojí na vstup zesilovače a na výstupu zesilovače se poté sleduje odezva na přicházející signál. Měření je zpravidla realizováno vícekanálovým osciloskopem, jehož jeden kanál se připojí na vstup, druhý na výstup zesilovače a tyto signály se porovnávají. Tímto způsobem lze zjistit důležité parametry, mezi které patří zesílení, frekvenční charakteristika nebo zkreslení.

Tato práce je zaměřena na rozbor elektronických signálů, různých metod používaných pro jejich vytváření a dále pak na návrh a konstrukci funkčního generátoru pracujícího na principu přímé digitální syntézy .

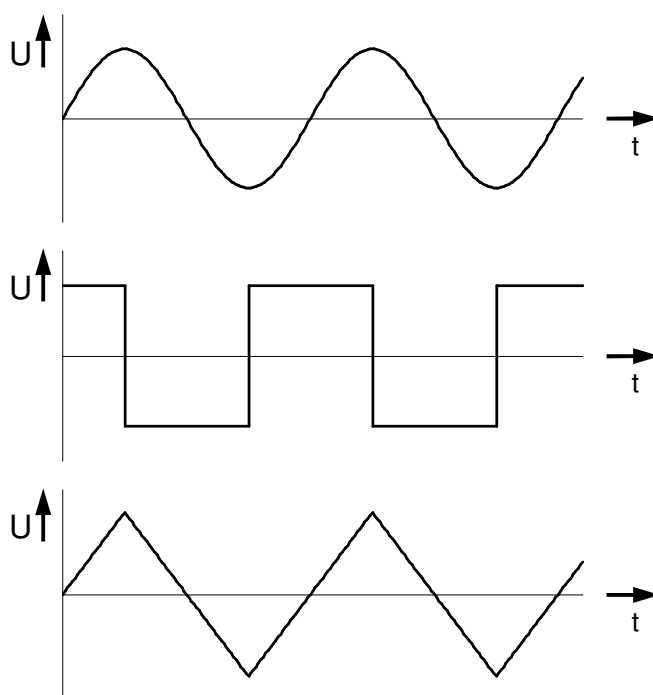
Seznam symbolů a zkratk

CMOS	Polovodičová technologie založená na unipolárních tranzistorech
COM	Port pro sériovou linku RS232
D/A převodník ...	Digitálně/analogový převodník
DDS	Přímá digitální syntéza
DIL	Plastové pouzdro s vývody ve dvou řadách
GND	Zemnicí signál
ISP	Programování v systému
LSB	Bit s nejnižší vahou
MSB	Bit s nejvyšší vahou
PC	Osobní počítač
PLL	Fázový závěs
PWM	Pulzně šířková modulace
RESET	Signál určený pro nulování
ROM	Paměť určená pouze ke čtení
RS-232	Sériová linka
RxD	Signál sériového vysílače
SMD	Komponent určený pro povrchovou montáž
TTL	Polovodičová technologie založená na bipolárních tranzistorech
TxD	Signál sériového přijímače
UART	Univerzální asynchronní přijímač a vysílač
USART	Univerzální synchronní a asynchronní přijímač a vysílač
USB	Univerzální sériová sběrnice
VCO	Napětově řízený oscilátor

1 Obecný popis elektronických signálů

V elektrotechnické praxi se setkáváme především se signály, jejichž hodnotu nelze v libovolném čase vypočítat. Tyto signály mají náhodný charakter. Pro účely měření či v některých dalších aplikacích se však zpravidla používají signály deterministické, které lze matematickým modelem přesně popsat a v libovolném čase vypočítat jejich hodnotu. Následující text bude pojednávat výhradně o signálech deterministických.

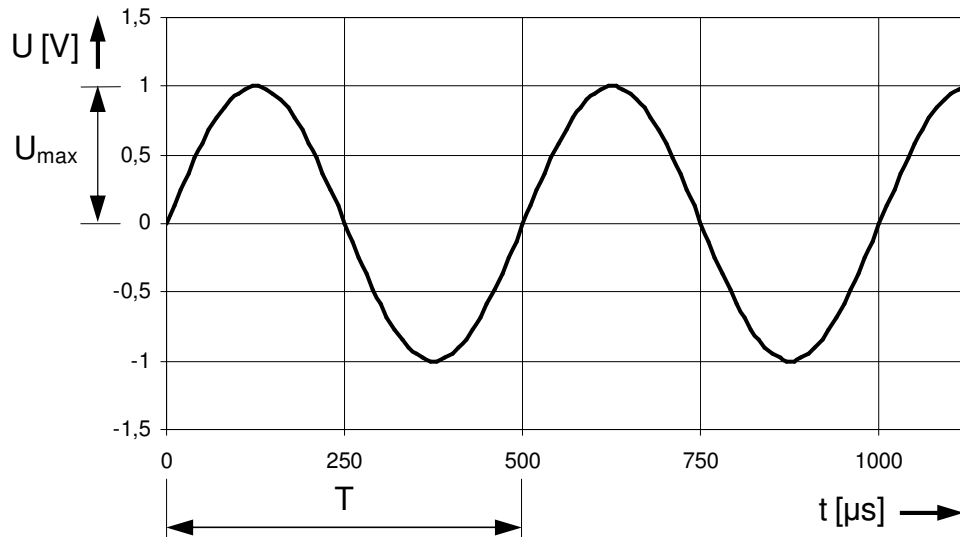
Jednou z hlavních vlastností každého deterministického elektronického signálu (dále jen signálu) je jeho tvar. Základními tvary časových průběhů signálů jsou tvar harmonický (sinusový), pravoúhlý (obdélníkový) a lineární (trojúhelníkový nebo pilovitý). Tyto tvary naznačuje *Obr. 1*.



Obr. 1 Základní tvary časových průběhů signálů: sinusový, obdélníkový a trojúhelníkový

Kromě tvaru jsou důležitými parametry signálu ještě frekvence, resp. perioda, a amplituda. Frekvence určuje počet opakování základního tvaru signálu za jednotku času a amplituda jeho intenzitu. Pokud bychom používali hudební terminologii, určovala by frekvence výšku tónu signálu (frekvence komorního A činí 440 Hz), amplituda hlasitost a tvar

jeho barvu. Parametry jsou znázorněny na *Obr. 2*. Jako příklad je zvolen harmonický tvar průběhu signálu o amplitudě 1 V a frekvenci 2 kHz.

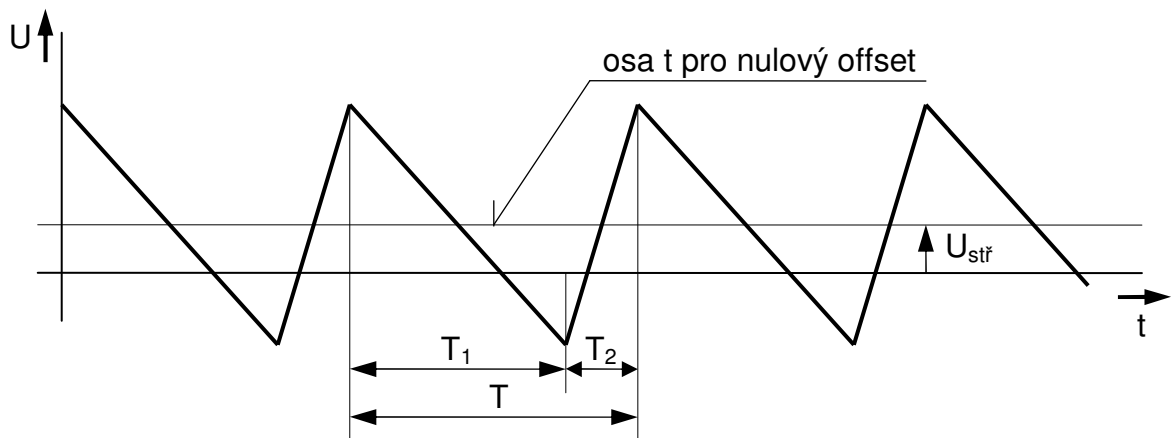


Obr. 2 Harmonický signál s konkrétními hodnotami veličin

U_{max} zde označuje amplitudu signálu a T jeho periodu. Frekvenci nelze z grafu přímo odečíst, hodnotu této veličiny je nutno vypočítat z velikosti periody, a to pomocí vzorce pro převrácenou hodnotu:

$$f = T^{-1} = (5 \cdot 10^{-4} \text{ s})^{-1} = 2 \cdot 10^3 \text{ Hz} = 2 \text{ kHz} \quad (1)$$

Mezi další, méně významné parametry signálu, patří střída a offset, resp. střední hodnota. Tyto veličiny v podstatě upravují symetrii signálu. Změna offsetu upravuje signál z hlediska úrovněvého – superponuje k signálu stejnosměrnou složku – a střída z hlediska časového. Možnost nastavovat tyto veličiny mají pouze některé generátory. Navíc u nejběžnějšího tvaru signálu – harmonického – ztrácí smysl úplně. *Obr. 3* znázorňuje nesymetrický pilovitý signál včetně hodnot, ze kterých lze hodnoty střídy a offsetu určit.



Obr. 3 Demonstrace parametrů upravujících symetrii signálu

Napětí $U_{stř}$ odpovídá velikosti offsetu, resp. střední hodnoty signálu. Superpozice jistého stejnosměrného napětí k signálu ho „posouvá“ po napěťové ose, aniž by změnila jeho tvar. Pokud bychom chtěli uvedený signál upravit na symetrický, museli bychom k němu superponovat napětí rovné velikosti offsetu, ovšem opačné polarity (korekce symetrie signálu). Tuto korekci bylo nutno použít i při konstrukci zařízení, o kterém pojednává tato bakalářská práce.

Střída je dána poměrem náběžné hrany signálu a periody:

$$D = \frac{T_1}{T} \quad [-] \quad (2)$$

Na principu změny střidy je založena např. pulzně šířková modulace (PWM), která v současné době nachází uplatnění v aplikacích výkonové elektroniky, např. při skalárním řízení asynchronních motorů.

2 Způsoby generování signálu

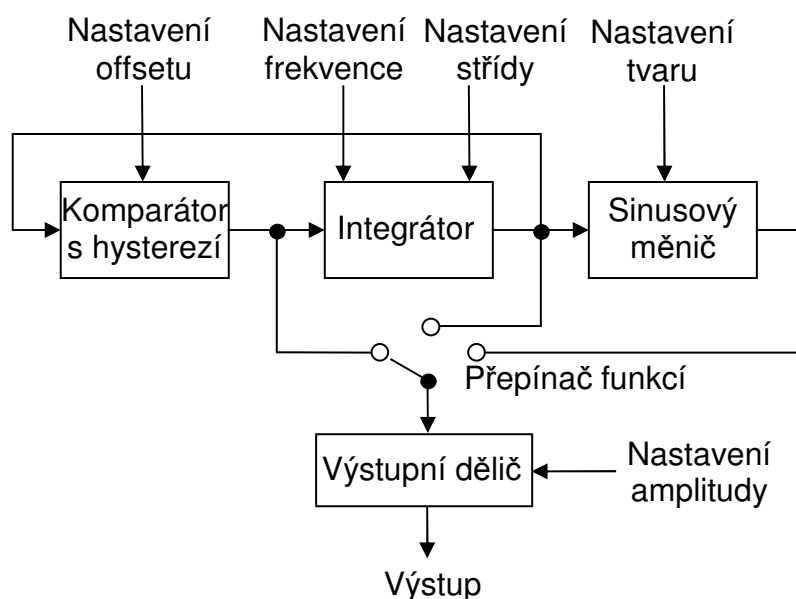
Následující kapitola se zabývá rozбором několika různých metod používaných pro generování signálu.

V měřicí technice se zpravidla používají dvě koncepce: analogové oscilátory typu komparátor-integrátor a digitální generátory založené na principu přímé digitální syntézy. Některé z dalších způsobů bývají využity pro specifické účely, mezi které patří například vytváření tónu požadované výšky a barvy v elektronických hudebních nástrojích nebo generování vysokofrekvenčních modulačních signálů pro přenos informací ve sdělovací technice.

2.1 Analogové oscilátory

Nejjednodušší způsob realizace vytváření signálů představují analogové oscilátory. Jedná se o obvody sestavené ze základních elektronických součástek, přičemž požadované parametry generovaného signálu lze nastavovat pomocí změny hodnoty některého pasivního prvku. Výpočet těchto hodnot bývá součástí návrhu. Tvar signálu závisí na způsobu zapojení. Možností zapojení je mnoho, pro účely generování měřicího signálu se používá zpravidla koncepce typu komparátor-integrátor, využívající spojení dvou operačních zesilovačů do zpětnovazební smyčky, přičemž jeden je zapojen jako neinvertující komparátor s hysterezí a druhý jako invertující integrátor. Blokové schéma této koncepce včetně pozic pro nastavování parametrů signálu je znázorněno na *Obr. 4*.

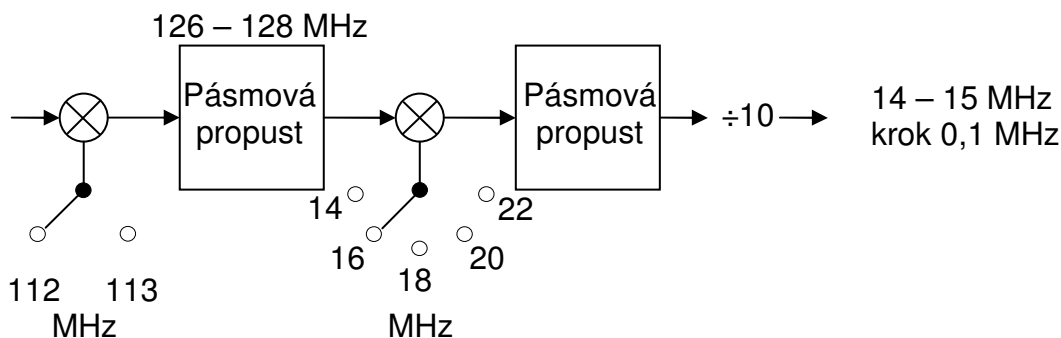
Hlavní výhodou analogových oscilátorů představuje jejich snadná konstrukce, dále cena a dostupnost součástek. Mezi nevýhody patří především tolerance a časová nestálost hodnot pasivních součástek, nemožnost číslicového řízení a v případě generování harmonického průběhu pomocí generátoru tvarových kmitů také jeho značné zkreslení, neboť je získán tvarováním trojúhelníkového signálu většinou pomocí aproximace. Střída trojúhelníkového signálu musí být navíc nastavena na 0,5, což bývá právě důvodem, proč se regulace střídny z návrhu vypouští.



Obr. 4 Blokové schéma analogového oscilátoru

2.2 Přímá analogová syntéza

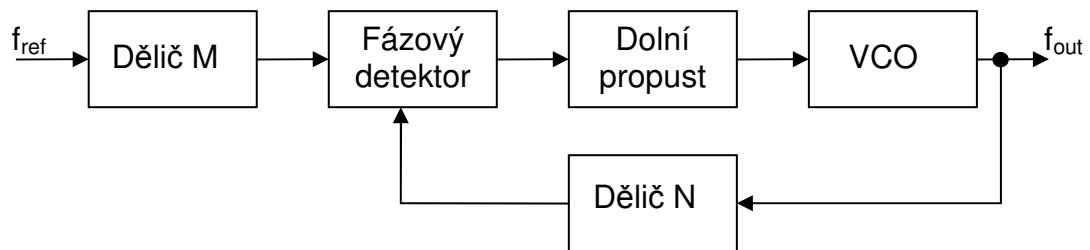
Přímá analogová syntéza, také zvaná směšování/filtrování, využívá násobení, dělení nebo jiných matematických operací pro vytvoření signálu požadované frekvence. Proces je nazýván přímým, protože je vynechán proces korekce chyb, takže kvalita výstupního signálu přímo souvisí s kvalitou signálu vstupního. Tato koncepce přepíná mezi určitými frekvencemi, čili pracuje jako přepínatelná skupina oscilátorů. Princip je naznačen na Obr. 5. Díky přímému procesu je fázový šum (šum o frekvenci blízké frekvenci oscilátoru) minimální, typicky způsobený hlavně přenosem, a spínací rychlost může být velmi vysoká. Tento proces je velmi nákladný a navíc jemnější kroky v možnosti nastavování frekvence vyžadují více obvodů, které značně zvyšují složitost a cenu.



Obr. 5 Blokové schéma přímé analogové syntézy

2.3 Nepřímá syntéza

Nepřímá syntéza, také nazývaná PLL (Phase Locked Loop – fázový závěs), využívá oscilátoru řízeného napětím (VCO – Voltage Controlled Oscillator). Signál na výstupu tohoto oscilátoru je porovnáván se signálem referenčním. Odchylkami těchto signálů je tento oscilátor zpětně řízen. Zjišťování odchylek a řízení oscilátoru se děje ve fázovém detektoru. Regulace frekvence je zajištěna nastavitelným děličem, který dělí frekvenci signálu přicházejícího do fázového detektoru, čili výstupní frekvence se v daném poměru násobí. Pro lepší regulaci je možno za referenční oscilátor zařadit ještě jeden dělič kmitočtu. Blokové schéma tohoto systému je na *Obr. 6*.



Obr. 6 Blokové schéma nepřímé syntézy

Výsledná frekvence výstupního signálu je pak dána vztahem:

$$f_{out} = f_{ref} \frac{N}{M} \quad [\text{Hz, Hz, -, -}] \quad (3)$$

kde f_{out} představuje frekvenci na výstupu řízeného oscilátoru, f_{ref} frekvenci referenčního signálu, N dělicí poměr děliče za řízeným oscilátorem (ve smyčce) a M dělicí poměr děliče za oscilátorem referenčním (před smyčkou).

Toto řešení je mnohem méně cenově náročné než obvody pro přímou analogovou syntézu. Jistou nevýhodu představuje pomalá odezva na změny v nastavení děličů a úrovně fázových šumů. Tyto nevýhody jsou přímo úměrné lepším možnostem v nastavování děličů. Při návrhu se musí vhodně zvolit vlastní frekvence smyčky, při které má smyčka jednotkový přenos. Na této volbě závisí schopnost fázového závěsu potlačovat referenční kmitočet a také rychlost ustalování smyčky. Obvykle se volí $\omega_0 = \frac{\omega_r}{50}$, kde ω_0 je vlastní frekvence smyčky

při jednotkovém přenosu ($N=1$) a ω_r je frekvence referenčního signálu přiváděného na vstup fázového detektoru zvnějšku. Hlavním požadavkem je však stabilita smyčky PLL. Na kmitočtu ω_0 nesmí být splněna fázová podmínka vzniku oscilací. To znamená, že fázový posuv rozpojené smyčky musí být menší než 360° , čili fázový posuv filtru smyčky musí být menší než 180° . Rozdíl úhlu 180° a fázového posuvu filtru smyčky se nazývá fázová bezpečnost a prakticky se její hodnota pohybuje okolo 45° . Další nevýhodou je nesnadná konstrukce děličů kmitočtů s nastavitelným dělicím poměrem pro vysoké kmitočty. Tuto koncepci lze vyrobit v analogové i číslicové formě.

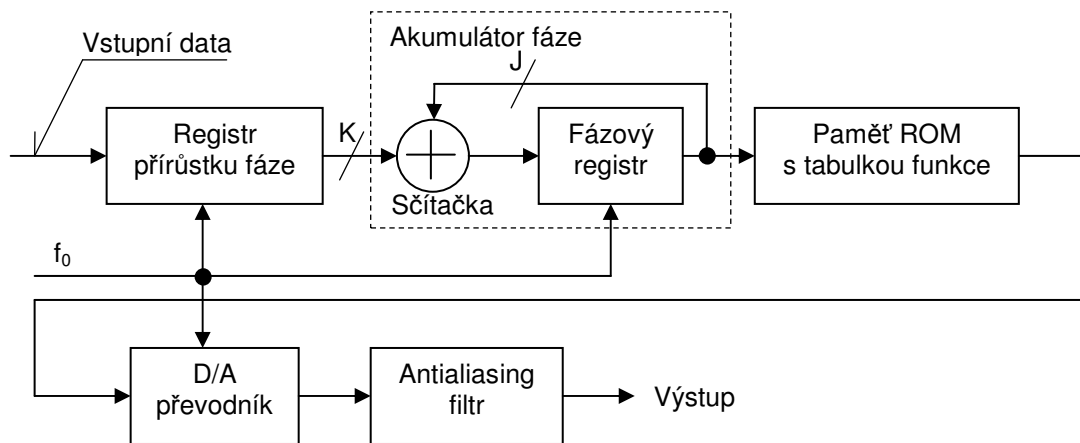
2.4 Přímá digitální syntéza

Přímá digitální syntéza (DDS – Direct Digital Synthesis) je v poslední době nejvíce rozšířená metoda syntézy kmitočtu. Počátky jejího vývoje sahají až do počátku 70. let minulého století. Všechny tři technologie syntézy jsou již několik desetiletí známé, ale je to právě přímá digitální syntéza, která se v současné době nejvíce rozvíjí. Ještě před několika lety byla DDS jen fenoménem s nízkým uplatněním, ale nyní se stává důležitým návrhovým prostředkem, který nemůže být ignorován žádným návrhářem signálových generátorů. Všechny výše uvedené technologie syntézy kmitočtu pracují na principu oscilátoru, jehož výstupní signál je upravován pomocí směšovačů pro dosažení požadovaného výsledku. DDS se stává výjimečnou tím, že signál je definován číslicově.

3 Přímá digitální syntéza

3.1 Obecný popis

DDS používá logiku a paměť pro číslicovou konstrukci požadovaného signálu a datový převodník pro převedení signálu do analogové formy. Proto téměř všechny části DDS mohou být plně digitální s předem známou frekvencí, amplitudou a fází. Navíc oproti předchozím typům syntézy má toto řešení velkou výhodu v tom, že lze generovat libovolný tvar signálu, neboť tvar signálu v tomto případě nesouvisí s podstatou funkce zařízení, ale jeho hodnoty jsou uloženy v podobě vzorků v paměti. Blokové schéma přímé digitální syntézy je na *Obr. 7*.



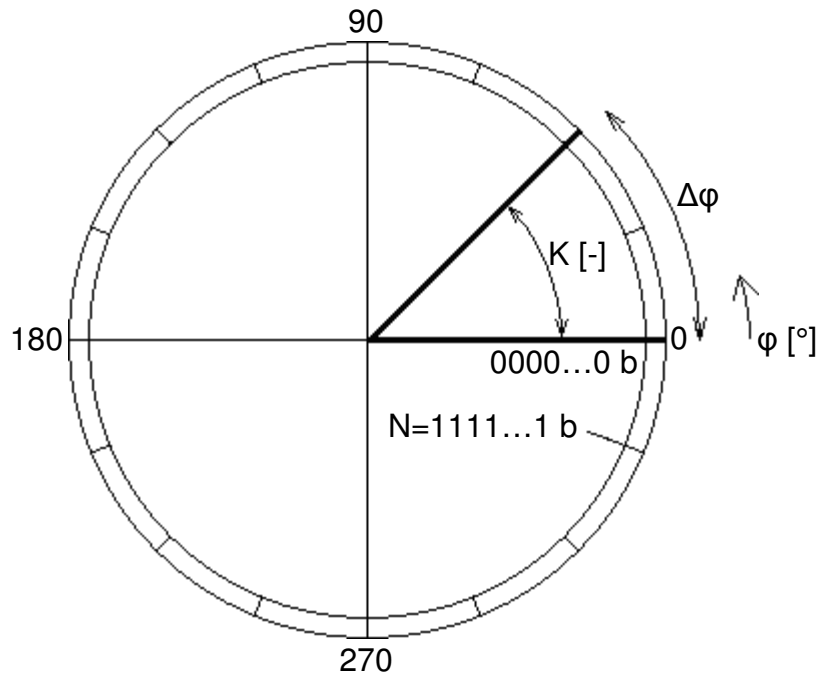
Obr. 7 Blokové schéma přímé digitální syntézy

3.2 Akumulátor fáze

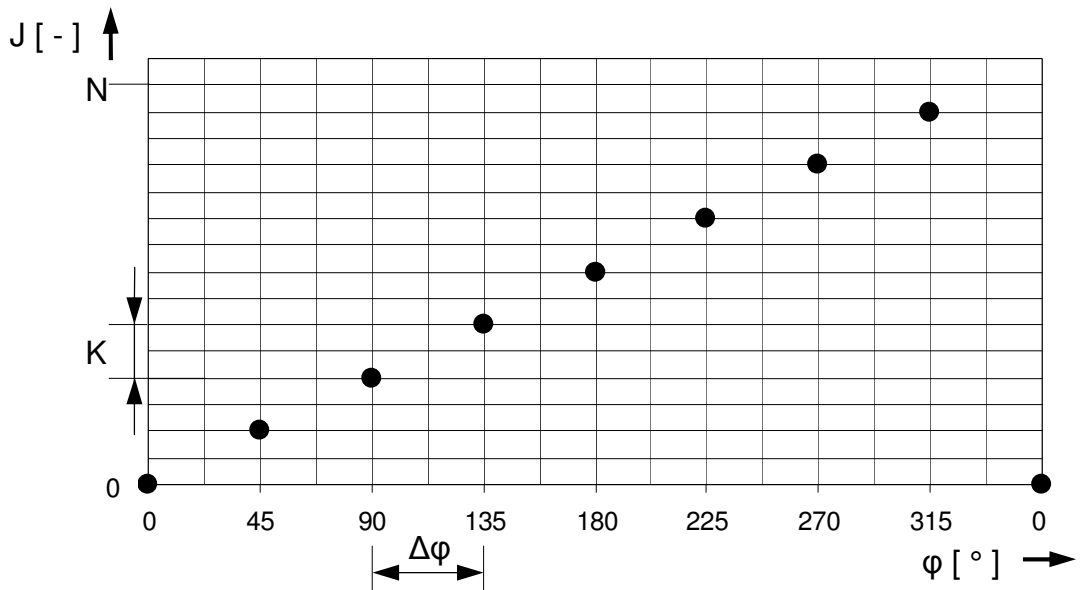
Jádro systému přímé digitální syntézy tvoří akumulátor fáze, skládající se ze sčítačky a fázového registru. Jedná se v podstatě o čítač. Hodnota tohoto čítače je s každým hodinovým cyklem referenčního oscilátoru o frekvenci f_0 zvyšována o číslo přicházející z registru přírůstku fáze. Jakmile čítač přeteče, čítá opět od nuly. Tuto funkci lze znázornit graficky pomocí digitálního fázového kruhu. Digitální fázový kruh je zobrazen na Obr. 8.

Digitální fázový kruh graficky znázorňuje vztah mezi číslem K přiváděným na vstup akumulátoru fáze a přírůstkem fáze $\Delta\varphi$. Pokud toto číslo uložíme do akumulátoru a následně budeme číslo k hodnotě uložené v akumulátoru opakovaně přičítat, opíšeme celý obvod kruhu a vrátíme se zpět na počátek. Tento návrat znamená přetečení akumulátoru. Následně se do akumulátoru opět uloží číslo reprezentující přírůstek fáze a celý cyklus se opakuje. Je zřejmé, že čím je hodnota přičítaného čísla K větší, tím je větší i přírůstek fáze. Celá kružnice se poté opíše rychleji. Tento konkrétní fázový kruh má 16 hodnot a odpovídal by 4-bitovému akumulátoru fáze ($2^4=16$).

Obr. 9 znázorňuje tuto funkci v lineární ose. Zde je znázorněna pouze fáze, binární hodnoty byly vypuštěny, k jejich zjištění slouží předchozí graf. Vertikální osa odpovídá okamžitým hodnotám uloženým v akumulátoru fáze.



Obr. 8 Digitální fázový kruh



Obr. 9 Závislost hodnoty akumulátoru fáze na velikosti fáze

Číslo J představuje výstup akumulátoru fáze. Jeho okamžitá hodnota je přivedena do paměti ROM, kde jsou uloženy všechny hodnoty vzorků požadovaných signálů. Tato hodnota slouží jako adresa aktuálního požadovaného vzorku generovaného signálu, přičemž hodnota 0

ukazuje na první a hodnota N na poslední vzorek. Čím je větší hodnota K , tím ukazatel J projde celou tabulkou vzorků v paměti rychleji a více jich vynechá.

Podobným způsobem lze zobrazit průběhy, definované čtením paměti ROM, pro různé hodnoty K v časové ose. Protože kmitočet hodinového signálu f_0 a velikost akumulátoru N jsou konstantní, je fáze φ přímo úměrná času t . Koeficient úměrnosti určuje právě velikost řídicího čísla K . Pokud bychom čas považovali za nezávisle proměnnou, lze určit okamžitou hodnotu fáze:

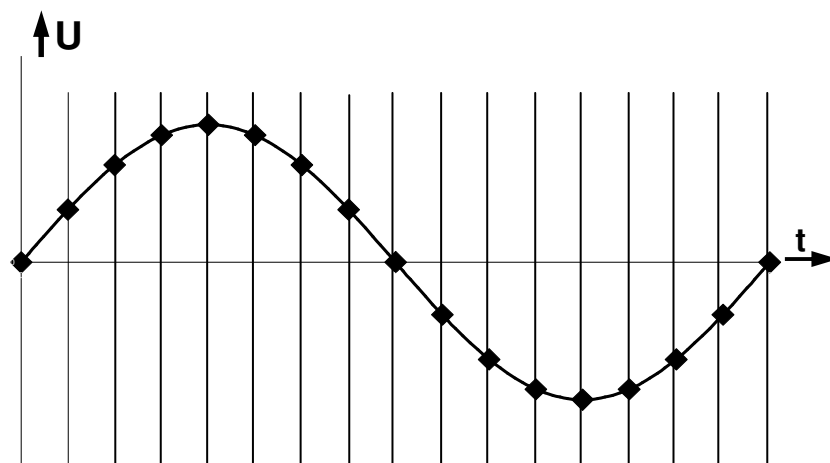
$$\varphi = K \frac{360^\circ \cdot f_0}{N} t \text{ [}^\circ, -, \text{Hz}, -, \text{s]} \quad (4)$$

kde φ odpovídá okamžité hodnotě fáze ve stupních, K číslu přiřítanému k akumulátoru fáze, f_0 je frekvence referenčního oscilátoru, N je velikost akumulátoru a t představuje okamžitou hodnotu času.

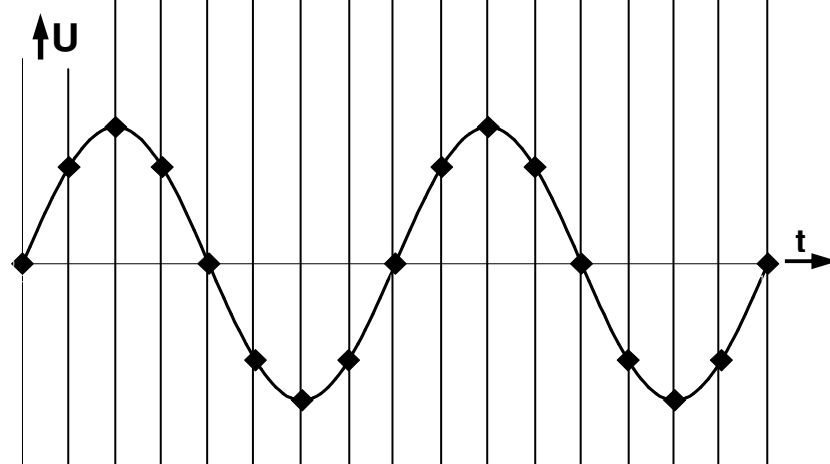
Grafy na *Obr. 10* naznačují časový průběh funkce sinus pro různé hodnoty čísla K . Rozdíl fází na konci a na začátku každé periody činí vždy 360° . Všechny tři grafy mají stejné měřítko.

Jak lze z grafů vypočítat, čím má číslo K vyšší hodnotu, tím za stejný čas proběhne vyšší počet period signálu, čili má signál vyšší frekvenci. Počet generovaných vzorků za jednotku času je však konstantní, z čehož plyne, že při vyšší frekvenci je v každé periodě generováno méně vzorků a signál vykazuje větší zkreslení. Podle Nyquistova kritéria musí být v každé periodě alespoň 2 vzorky. Možnost právě dvou vzorků v periodě však v tomto případě není přípustná, neboť by se na výstupu generátoru objevil buď konstantní signál o nulové úrovni nebo obdélníkový signál o náhodné amplitudě. Navíc v praxi je nutno maximální hodnotu K ještě snížit kvůli omezené strmosti výstupního antialiasing filtru.

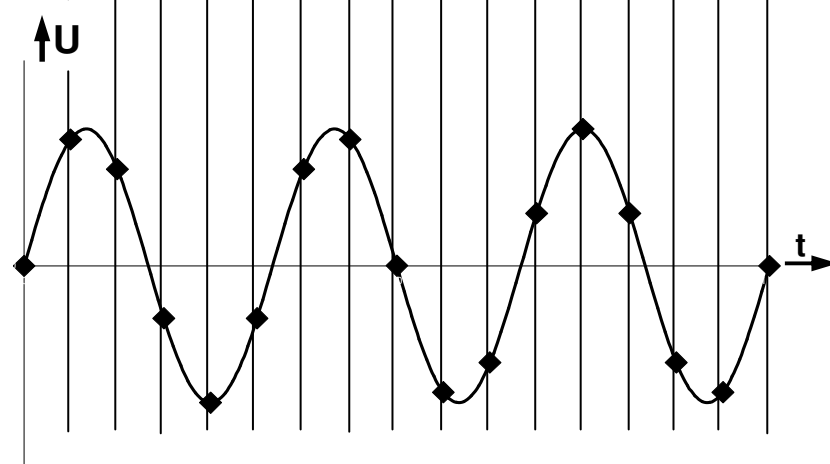
K=1



K=2



K=3



Obr. 10 Časový průběh generovaného signálu pro různé hodnoty K

Úpravou vzorce (4) lze odvodit vztah pro výpočet frekvence výstupního signálu generátoru. Za čas t dosadíme periodu signálu T a za úhel φ změnu fáze odpovídající tomuto času:

$$360^\circ = K \frac{360^\circ \cdot f_0}{N} T \quad [^\circ, -, \text{Hz}, -, \text{s}] \quad (5)$$

Rovnici lze nyní podělit úhlem 360° a za periodu T dosadit frekvenci signálu f :

$$1 = K \frac{f_0}{N} \cdot f^{-1} \quad (6)$$

Poslední krok úpravy spočívá ve vynásobení rovnice frekvencí f :

$$f = f_0 \frac{K}{N} \quad (7)$$

Velikost akumulátoru fáze N má být co největší z důvodu malého kroku v nastavování frekvence. V praxi se volí 32 až 48 bitů. Pro adresaci paměti se však nevyužívá celá bitová šířka, neboť by paměť musela být příliš velká. Navíc to není vhodné ani z hlediska výstupního šumu. Proto se do paměti ROM přivádí pouze horních 12 až 14 bitů akumulátoru fáze. Výstupem paměti ROM jsou data pro digitálně – analogový převodník.

3.3 D/A převodník

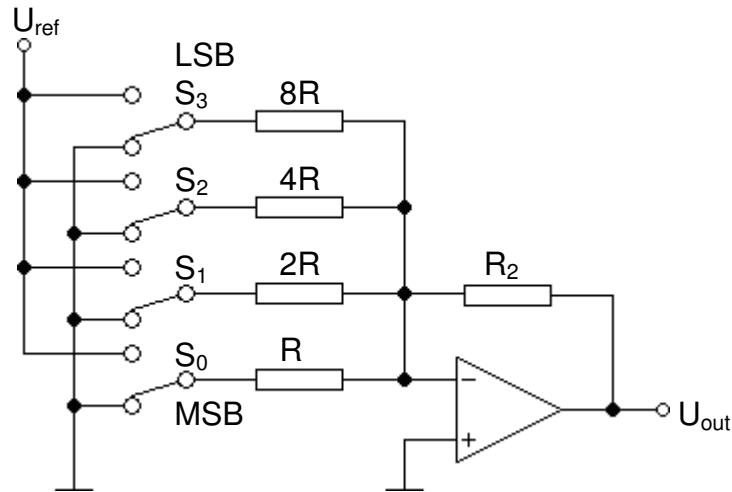
Digitálně-analogový převodník konvertuje informaci v číslicové podobě na analogový signál, v případě funkčního generátoru napěťový.

Nejjednodušší provedení převodníku sestávají ze sítě rezistorů o daných hodnotách, resp. poměrech, a dále operačního zesilovače, zapojeného jako sumátor. Tuto technologii lze rozdělit na zapojení s váhovými odpory a na zapojení R-2R.

Další možnost provedení D/A převodníku představuje integrovaná forma založená na polovodičové technologii CMOS.

3.3.1 D/A převodník s váhovými odpory

Schéma zapojení převodníku je na Obr. 11.



Obr. 11 Zapojení D/A převodníku s váhovými odpory

Funkci tohoto převodníku lze popsat velice jednoduše. Přepínače S_0 až S_3 reprezentují jednotlivé bity slova přiváděného na vstup převodníku. Přepínač přivádějící k danému odporu referenční napětí U_{ref} představuje logickou jedničku a přepínač v poloze opačné představuje logickou nulu. Celkový proud odebíraný ze zdroje je pak určen součtem proudů tekoucích jednotlivými větvemi, přičemž větvemi připnutými na logickou nulu teče proud nulový. Velikosti proudů jsou dány podílem velikosti referenčního napětí a příslušného odporu. Operační zesilovač zde pracuje ve funkci sumátoru a převádí uvedený součet proudů na požadované výstupní napětí, které je kromě velikosti referenčního napětí a hodnot odporů v síti definováno také odporem R_2 , umístěným v jeho zpětné vazbě.

Pro tento obvod lze snadno odvodit vzorec pro výpočet výstupního napětí. Jako příklad je zvolen stav, kdy jsou S_0 a S_2 přepnuté do polohy pro připojení U_{ref} a S_1 a S_3 do polohy uzemňující:

$$I_0 = \frac{U_{ref}}{R} \quad I_1 = 0 \quad I_2 = \frac{U_{ref}}{4R} \quad I_3 = 0 \quad (8)$$

Díky záporné zpětné vazbě operačního zesilovače lze napětí mezi jeho vstupy v ideálním případě považovat za nulové (u reálného operačního zesilovače existuje jistá nesymetrie vstupů, díky které se napětí od nuly liší, ale tuto nesymetrii lze změřit a následně provést korekci). Z této vlastnosti lze odvodit následující vzorec:

$$I_F = \frac{U_{out}}{R_2} \quad (9)$$

Ideální operační zesilovač má vstupní odpor nekonečný. To znamená, že do obou vstupů operačního zesilovače teče nulový proud. Díky této vlastnosti a platnosti prvního Kirchhoffova zákona platí pro jednotlivé proudy následující vztah:

$$I_0 + I_1 + I_2 + I_3 + I_F = 0 \quad (10)$$

Nyní je možno za tyto proudy dosadit odpovídající výrazy obsahující napětí a odpory:

$$\frac{U_{ref}}{R} + 0 + \frac{U_{ref}}{4R} + 0 + \frac{U_{out}}{R_2} = 0 \quad (11)$$

Další krok představuje vyjádření výstupního napětí U_{out} :

$$U_{out} = -U_{ref} \frac{R_2}{R} - 0 - U_{ref} \frac{2R_2}{4R} - 0 \quad (12)$$

Na závěr odvození se z předchozího vztahu vytkne $\frac{-U_{ref} R_2}{R}$:

$$U_{out} = -U_{ref} \frac{R_2}{R} \left(1 + 0 + \frac{1}{4} + 0 \right) \quad (13)$$

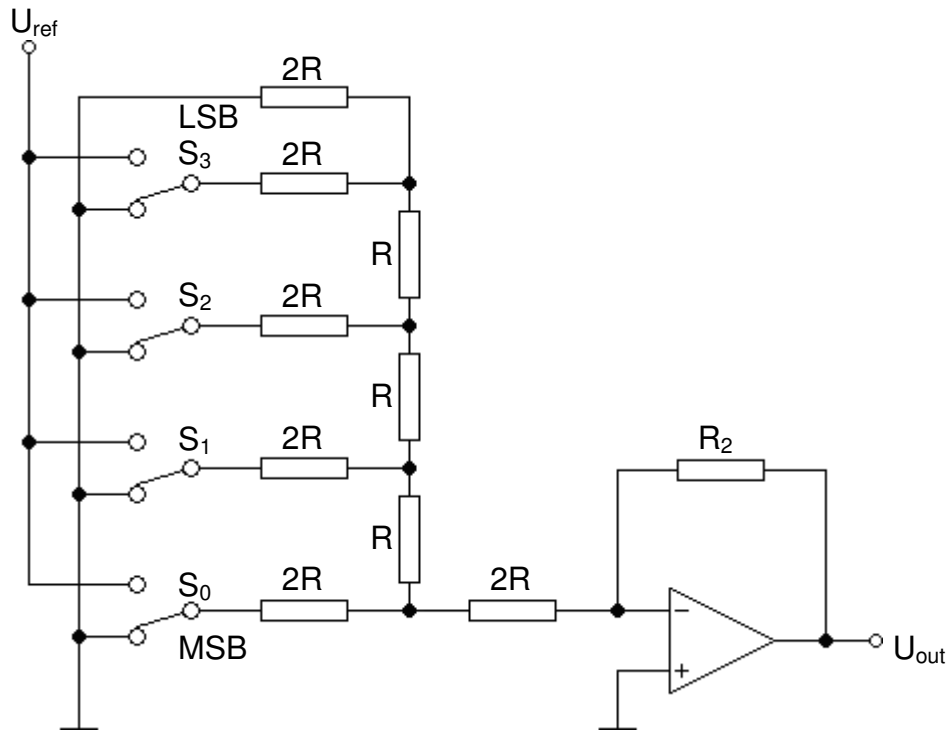
Různými kombinacemi přepnutí spínačů je tento vzorec obměňován pomocí zlomků v závorce, čímž vzniká na výstupu převodníku požadované napětí. Vzorec navíc díky zápornému znaménku vypovídá o vlastnosti opačné polaritě výstupního napětí vzhledem k napětí referenčnímu (invertující zapojení operačního zesilovače).

Nevýhoda tohoto typu převodníku spočívá především v tom, že pro správnou funkci je nutno použít řadu odporů o navzájem různých hodnotách, ale daných vzájemných poměrech. Proto se mnohem častěji než tento typ používá D/A převodník s odporovou sítí R-2R.

3.3.2 D/A převodník s odporovou sítí R-2R

Tento typ převodníku je podobný typu předchozímu. Zásadní rozdíl však představují hodnoty odporů v jeho síti. Zatímco předchozí typ musel obsahovat rezistory s navzájem odlišnými hodnotami a tyto hodnoty musely být velmi přesné, D/A převodník s odporovou sítí R-2R potřebuje pro svou správnou činnost ve své síti pouze rezistory o dvou hodnotách

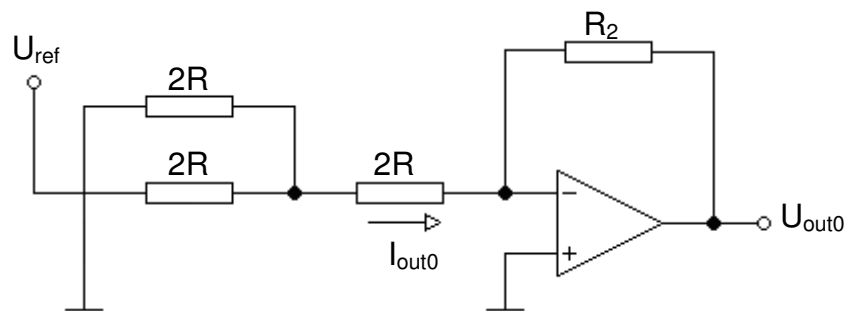
odporů, přičemž jedna hodnota je dvojnásobkem hodnoty druhé. Tyto odpory lze snadno vybrat z řady, například 10 kΩ a 20 kΩ. Toto zapojení je navíc možné jednoduše vyrobit v integrované podobě. Schéma zapojení převodníku je na *Obr. 12*.



Obr. 12 Zapojení D/A převodníku s odporovou sítí R-2R

Obdobně jako pro převodník s váhovými odpory lze i pro tento typ odvodit velikost výstupního napětí vzhledem ke kombinaci přepnutí jednotlivých přepínačů (příklad opět pro S_0 a S_2 přepnuté na U_{ref} a S_1 a S_3 přepnuté na zem). Pro analýzu tohoto převodníku je vhodné pro jednotlivé bity vstupního slova nastavené na stav *log. 1* vytvořit náhradní schéma. Konečný vzorec pro výstupní napětí se následně získá pomocí principu superpozice.

Náhradní schéma pro příspěvek bitu spínače S_0 znázorňuje *Obr. 13*.



Obr. 13 Náhradní schéma převodníku s odporovou sítí R-2R pro příspěvek bitu spínače S_0

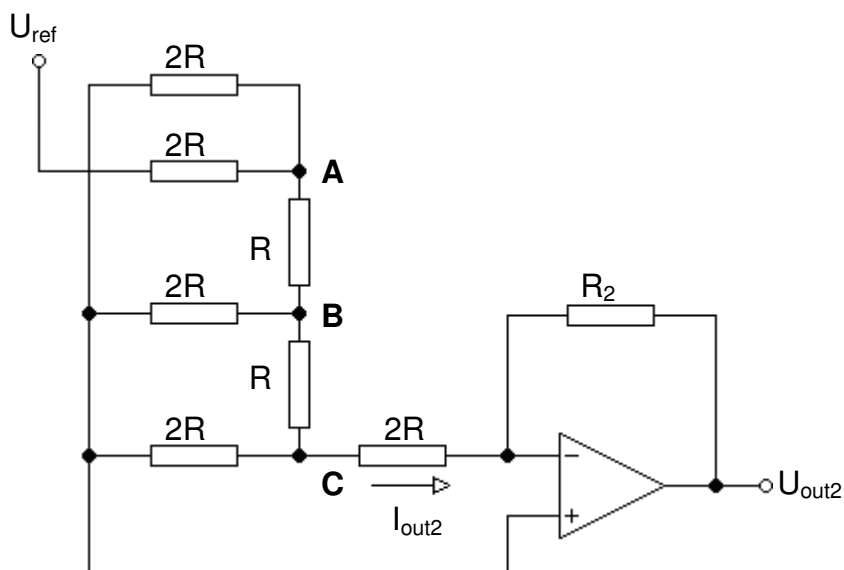
Pro proud I_{out0} platí vztah:

$$I_{out0} = \frac{U_{ref}}{6R} \quad (14)$$

a pro výstupní napětí U_{out0} :

$$U_{out0} = -R_2 I_0 = -R_2 \frac{U_{ref}}{6R} = -U_{ref} \frac{R_2}{6R} \quad (15)$$

Náhradní schéma pro příspěvek bitu spínače S_2 znázorňuje *Obr. 14*.



Obr. 14 Náhradní schéma převodníku s odporovou sítí R-2R pro příspěvek bitu spínače S_2

Celkový odpor mezi svorkou U_{ref} a zemí je po zjednodušení sítě roven hodnotě $3R$.

Proud odebíraný ze zdroje referenčního napětí má poté hodnotu:

$$I_{celk} = \frac{U_{ref}}{3R} \quad (16)$$

Tento proud se v uzlu A dělí na dvě části: část tekoucí přes horní odpor o hodnotě $2R$ do země a část tekoucí do bodu B. Vzhledem ke shodným hodnotám odporů v obou větvích jsou tyto části shodné s velikostí:

$$I_{A-0} = I_{A-B} = \frac{I_{celk}}{2} = \frac{U_{ref}}{6R} \quad (17)$$

Obdobný vztah platí pro uzel B:

$$I_{B-0} = I_{B-C} = \frac{I_{A-B}}{2} = \frac{U_{ref}}{12R} \quad (18)$$

a pro uzel C:

$$I_{C-0} = I_{out2} = \frac{I_{B-C}}{2} = \frac{U_{ref}}{24R} \quad (19)$$

Pro proud I_{out2} platí vzorec:

$$I_{out2} = -\frac{U_{out2}}{R_2} \quad (20)$$

a pro výstupní napětí:

$$U_{out2} = -R_2 I_{out2} = -R_2 \frac{U_{ref}}{24R} = -U_{ref} \frac{R_2}{24R} \quad (21)$$

Po uplatnění principu lineární superpozice lze sečtením předchozích výrazů vyjádřit celkové výstupní napětí:

$$U_{out} = U_{out0} + U_{out1} + U_{out2} + U_{out3} = -U_{ref} \frac{R_2}{6R} + 0 - U_{ref} \frac{R_2}{24R} + 0 \quad (22)$$

Konečná forma vzorce vypadá následovně:

$$U_{out} = -U_{ref} \frac{R_2}{6R} \left(1 + 0 + \frac{1}{4} + 0 \right) \quad (23)$$

Tento vzorec je velmi podobný vzorci pro výpočet výstupního napětí převodníku předchozího, liší se pouze konstantou $\frac{1}{6}$, z čehož vyplývá, že při stejné hodnotě odporu o velikosti R u obou typů převodníků, stejném referenčním napětí a shodné velikosti odporu R_2 by u převodníku s odporovou sítí R/2R bylo při daném vstupním slově výstupní napětí o šestkrát menší velikosti než u převodníku s váhovými odpory. Nejjednodušší možnost nastavení rozsahu výstupního napětí představuje změna hodnoty odporu R_2 .

3.3.3 D/A převodníky založené na polovodičové technologii CMOS

Tento typ převodníku má značně složitější strukturu než převodníky předcházející. Vyrábí se vždy jako integrovaný obvod v jednom pouzdře, zpravidla typu určeném pro povrchovou montáž (SMD). Vnitřní struktura většinou nebývá uživateli známa, jsou definovány pouze důležité parametry a popis vývodů pouzdra.

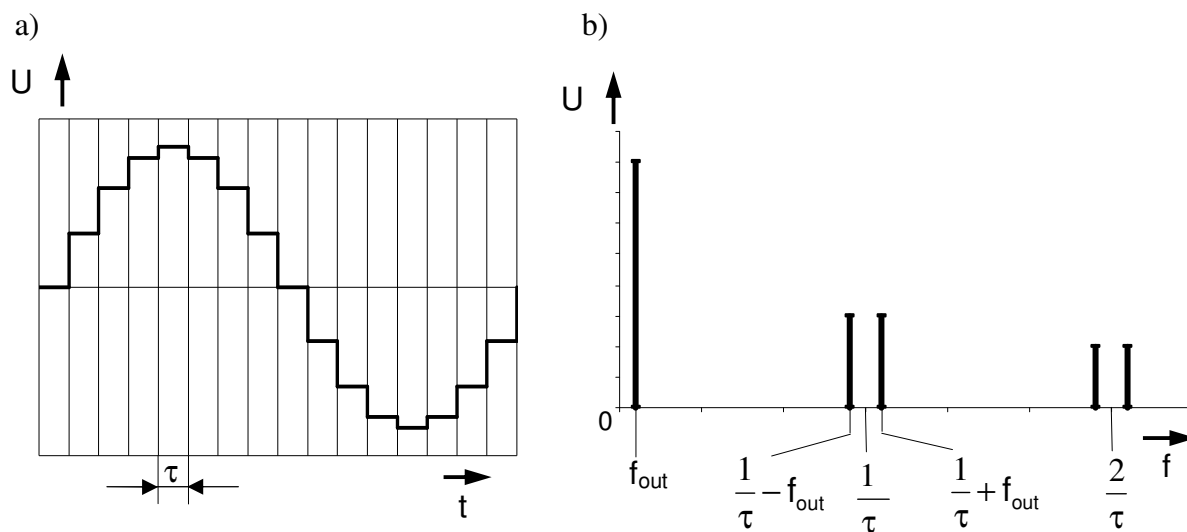
Tento převodník již pro svou funkci potřebuje vlastní (externí) napájecí napětí a také zdroj napětí referenčního. Z pouzdra jsou také separovaně vyvedeny kontakty pro napájení

vstupní digitální části (v dokumentaci značené obvykle jako *DGTL V_{DD}* a *DGTL GND*) a pro napájení výstupní analogové části (značené jako *ANLG V_{DD}* a *ANLG GND*). Možnost takto oddělit napájecí napětí má výhodu v tom, že lze omezit rušení analogového výstupu od digitálních částí, neboť prvky digitální technologie odebírají proud pulzního charakteru, který v rozvodu napájení způsobuje šum, přičemž prvky technologie analogové odebírají proud spojitý. Další výhody této technologie spočívají především v nízké spotřebě proudu a dále v možnosti přesného časování okamžiků převodu.

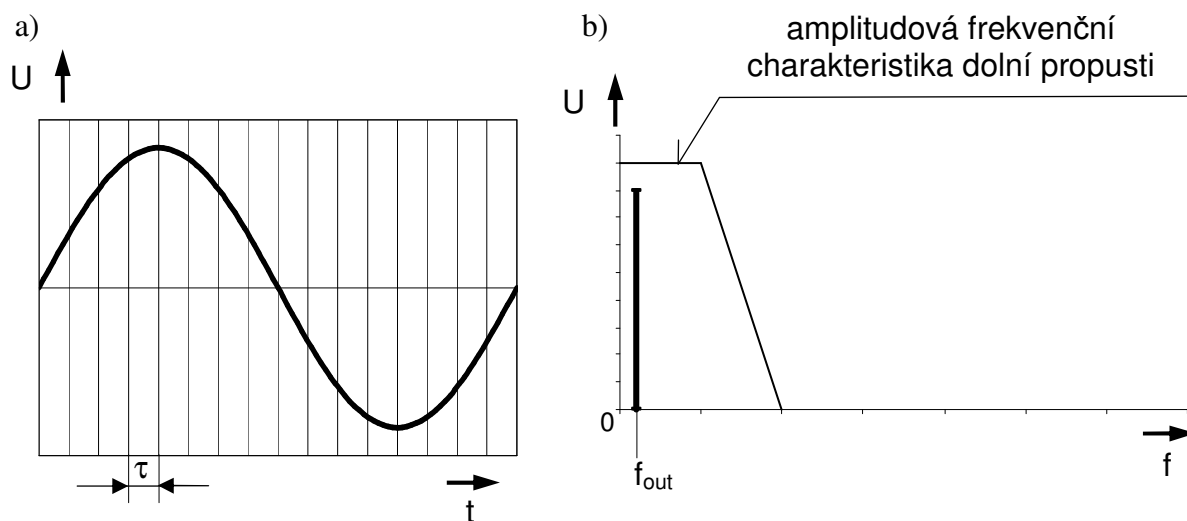
3.4 Antialiasing filtr

Signál vycházející z D/A převodníku je navzorkován. To znamená, že požadovaný signál má v daném časovém intervalu konstantní hodnotu, která se na jeho konci mění nespojitě (skokově). Délka tohoto intervalu odpovídá jedné periodě hodinového signálu převodníku, resp. procesoru. V důsledku tohoto jevu, který je také nazýván aliasing, signál vykazuje značné zkreslení a jeho frekvenční spektrum je obohaceno o složky vyšších harmonických frekvencí. Hodnoty těchto frekvencí záleží právě na frekvenci hodinového signálu D/A převodníku a do jisté míry i na frekvenci výstupního signálu. Filtr umístěný za D/A převodníkem má za úkol superponované signály těchto frekvencí omezit, a tím vylepšit tvar a vlastnosti generovaného signálu. Časový průběh signálu na výstupu D/A převodníku je na *Obr. 15a* a jeho frekvenční spektrum na *Obr. 15b*, časový průběh signálu na výstupu filtru pak na *Obr. 16a* a jeho frekvenční spektrum na *Obr. 16b*. Jedná se vždy o filtr typu dolní propust. Horizontální osy frekvenčních závislostí mají logaritmické měřítko.

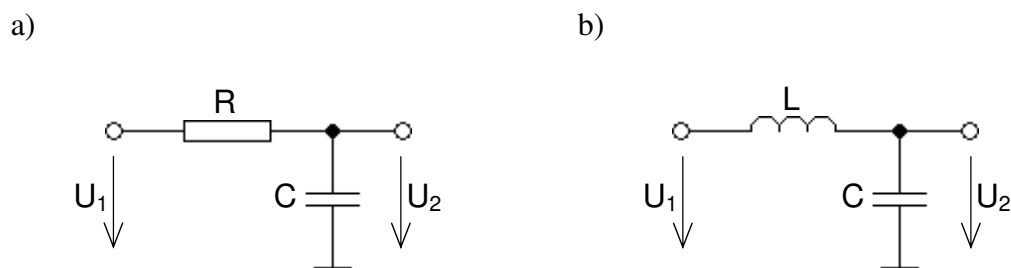
Nejsnazší realizaci antialiasing filtru představuje pasivní integrační článek nebo článek typu L-C. Schéma zapojení integračního článku s odporem a kapacitorem naznačuje *Obr. 17a* a nejjednodušší zapojení filtru s induktorem a kapacitorem *Obr. 17b*. U_1 značí napětí přiváděné na vstup článku zvnějšku a U_2 napětí upravené daným filtrem. Nevýhodou pasivních filtrů představuje nízká strmost jejich amplitudové frekvenční charakteristiky, která způsobuje značné výkonové ztráty výstupního signálu oproti signálu vstupnímu. Z tohoto důvodu je vhodnější použití filtru aktivního, který kromě zmíněných pasivních komponentů obsahuje také prvek zesilující, kterým může být tranzistor nebo v současné době častěji používaný operační zesilovač.



Obr. 15 Sinusový signál za D/A převodníkem: a) časový průběh; b) frekvenční spektrum



Obr. 16 Sinusový signál za antialiasing filtrem: a) časový průběh; b) frekvenční spektrum



Obr. 17 Pasivní dolnoprostopustné filtry: a) integrační článek; b) filtr typu L-C

4 Konstrukční řešení funkčního generátoru

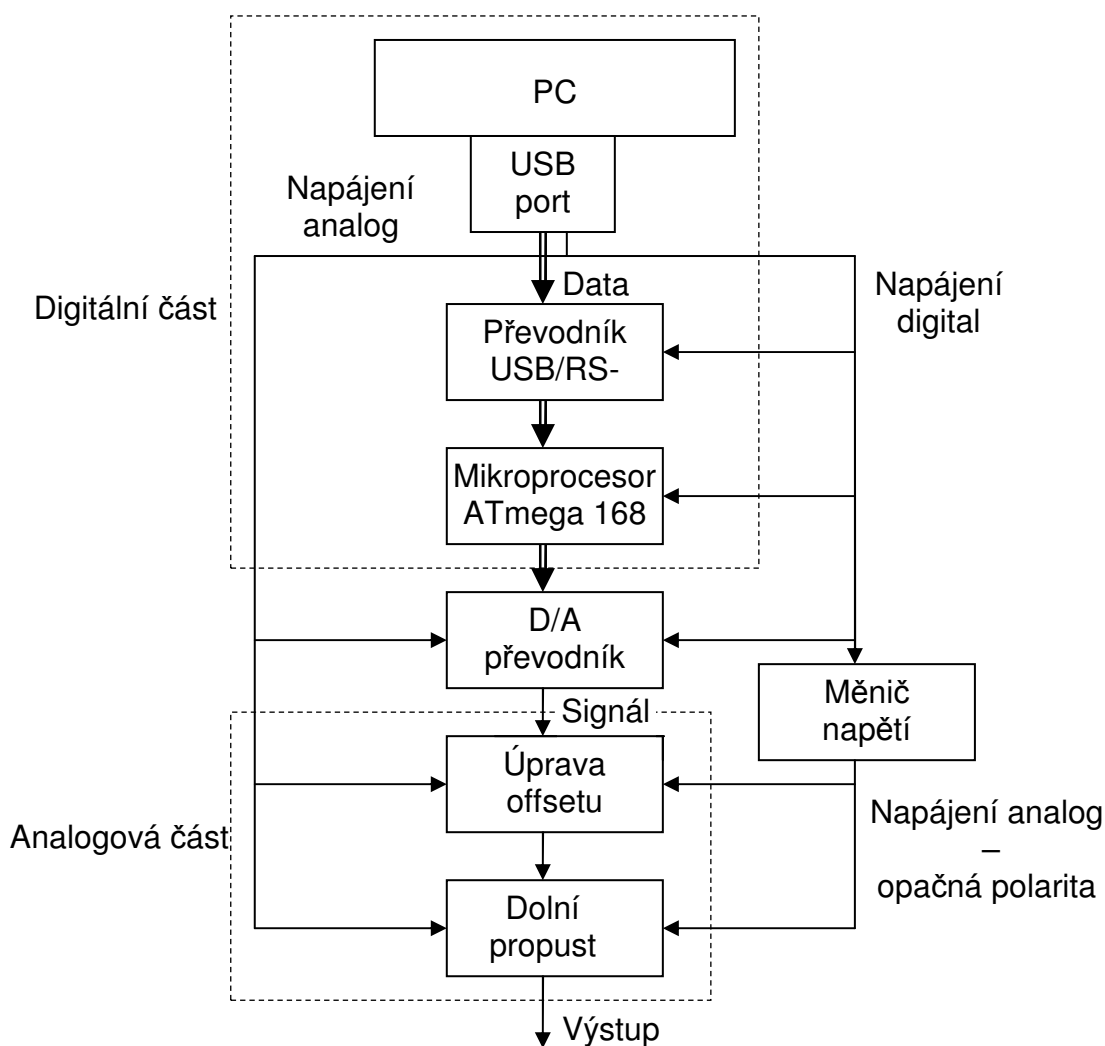
4.1 Hardware

Konstrukce se skládá celkem z pěti hlavních částí. Jádro systému tvoří jednočipový mikrokontrolér ATmega 168 od firmy Atmel, který se stará především o generování číslicové podoby výstupního signálu a dále zpracovává povely odesílané do přístroje ze stolního počítače.

Další obvody v zásadě představují převážně úpravu signálů, které se objevují nebo se mají objevovat na vstupním, resp. výstupním konektoru generátoru. Těmito obvody jsou především dva převodníky – integrovaný obvod FT232RL, převádějící signál ze sběrnice USB na signál sběrnice RS-232, a digitálně-analogový převodník TLC5602C, který konvertuje slova v číslicové podobě vycházející ze zmíněného mikrokontroléru na analogovou úroveň napětí. Poslední část představují dva operační zesilovače typu LM1458. Tyto komponenty mají za úkol upravit signál vycházející z D/A převodníku do konečné podoby tak, aby měl požadované parametry, konkrétně se jedná o korekci offsetu signálu a odstranění nežádoucích složek vyšších harmonických frekvencí (filtrace).

Celé zařízení je napájeno pomocí sběrnice USB připojeného počítače totožným konektorem, kterým se zároveň přenáší data. Kvůli možnosti správné korekce symetrie signálu bylo nutné operační zesilovače výstupních obvodů napájet symetrickým napětím. Protože sběrnice USB není schopna poskytnout napětí záporné polaritty vzhledem k zemnicí elektrodě, muselo být uvažováno jeho umělé vytvoření. Toto zajišťuje spínaný měnič napětí nesoucí označení MC34063A.

Blokové schéma generátoru je na *Obr. 18*.

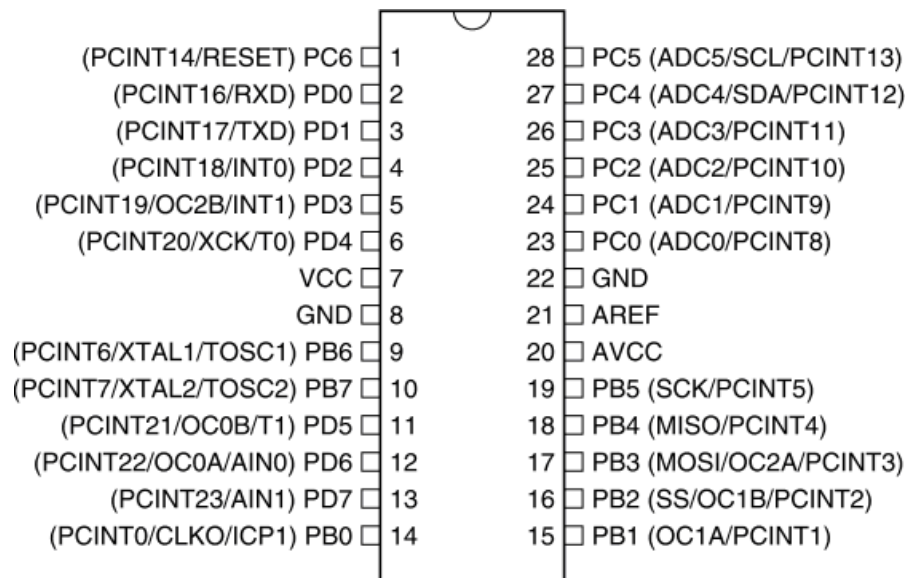


Obr. 18 Blokové schéma funkčního generátoru

4.1.1 Procesor ATmega 168

Jak již bylo uvedeno, tato součástka má za úkol zpracovávat veškerá číslíková data, díky čemuž se stává nejdůležitějším komponentem celého systému. Při výběru mikrokontroléru byl dbán důraz především na dostupnost procesoru na českém trhu, dostupnost programátorů a podpora výrobce spočívající v dostupnosti vývojových prostředků. Jistou roli zde hrála také maximální možná frekvence hodinového signálu procesoru. Dále bylo nutné zvážit dostatečný počet vývodů pouzdra. V neposlední řadě je také velkou výhodou procesoru možnost ISP programování.

Použitý procesor je umístěn v plastickém pouzdře DIL s 28 vývody, z toho 5 pinů je určeno pro napájení a zbytek je možno použít pro datové účely. Každý datový vývod procesoru může nezávisle sloužit buď jako vstupní nebo výstupní, případně je možno použít jeho alternativní funkci. V konstrukci popisovaného zařízení byla alternativní funkce využita celkem u osmi vývodů, z toho konkrétně čtyři pro výše uvedené rozhraní ISP programování (RESET, MOSI, MISO a SCK), dva pro sériovou komunikaci s počítačem pomocí rozhraní UART (RXD a TXD) a dva pro připojení externího keramického rezonátoru (XTAL1 a XTAL2). Pouzdro včetně popisu jednotlivých vývodů ukazuje *Obr. 19*.



Obr. 19 Pouzdro procesoru ATmega a jeho vnitřní uspořádání [1]

Základní vlastnosti procesoru ATmega lze shrnout následovně:

- architektura RISC,
- pracovní napětí 2,7 až 5,5 V,
- maximální frekvence hodinového signálu 20 MHz,
- paměť programu FLASH 16 kB,
- paměť EEPROM 512 B,
- paměť dat SRAM 1 kB,
- 23 vstupních/výstupních pinů,
- 6-kanálový 10-bitový A/D převodník,
- 3 čítače/časovače,
- sériové rozhraní USART.

Z vnitřních komponent procesoru bylo kromě paralelních bran využito pro funkci zařízení především osmibitového Čítače/časovače 0 jako akumulátoru fáze a dále sériového rozhraní USART v asynchronním režimu pro komunikaci se stolním počítačem.

Pro generaci hodinového taktovacího signálu je použit externí krystal o frekvenci 20 MHz, což je maximální přípustný kmitočet procesoru. Horní frekvenční mez bylo nutno zvolit kvůli požadavku na pokrytí co možná nejširšího kmitočtového pásma výstupním signálem přístroje. Bylo sice možné použít interní oscilátor procesoru typu R-C a tím ušetřit součástky a piny, ovšem tento oscilátor má menší přesnost a především nižší kmitočet – pouze 8 MHz. Krystal je pro správnou funkci doplněn dvěma keramickými kondenzátory o kapacitě 22 pF doporučené výrobcem.

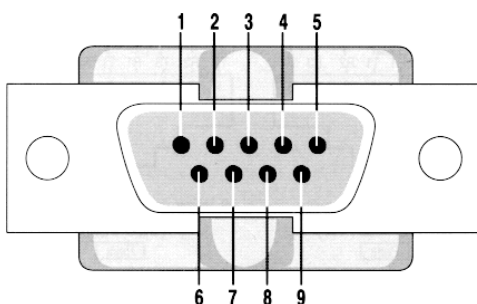
Procesor je dále doplněn o blokovací keramické kondenzátory o hodnotě 100 nF, které mají za úkol vyhladit průběh napájecího napětí a odfiltrovat nežádoucí vysokofrekvenční rušivé složky. Tato hodnota je u mikrokontrolérů standardně používána.

Poslední doplnění procesoru o externí součástky představuje signál RESET. V klidovém stavu je příslušný vývod procesoru připojen k úrovni napájecího napětí, a to přes odpor o hodnotě 10 k Ω . Toto zapojení udržuje signál v úrovni logické jedničky. Dále je resetovací pin připojen na tlačítko, jehož opačný pól se nachází na úrovni logické nuly. Stisknutím tlačítka se provede nulování procesoru. Signál RESET je dále přiveden na konektor pro ISP programování, neboť zde je rovněž zapotřebí.

4.1.2 Převodník FT232RL

Protože je generátor navržen tak, aby byl zcela řízen stolním počítačem, bylo nutné určit rozhraní pro jeho připojení. Jako nejvhodnější volba se vzhledem ke kompatibilitě zdálo být univerzální sériové rozhraní USART, konkrétně v asynchronním režimu UART. Komunikace přes toto rozhraní probíhá pomocí dvou datových vodičů a společným zemním vodičem. Datové vodiče, resp. připojovací piny zařízení bývají standardně značeny TxD pro vysílání (transfer - přenos) a RxD pro přijímání (recieve). Mezi zařízeními jsou tyto vývody propojeny navzájem opačně (z linky, na kterou je z jedné strany vysíláno, musí být na druhé straně přijímáno).

Tato komunikace měla plnou podporu u zastaralé sběrnice RS-232, která piny s těmito názvy přímo obsahovala. Na *Obr. 20* je naznačen konektor tohoto rozhraní. Popis jednotlivých pinů je uveden v *Tab. 1*. Jedná se o konektor s kolíky (typu „samec“), kterýžto bývá zabudovaný v počítači.



Obr. 20 Konektor sběrnice RS-232 [2]

Číslo pinu	Zkratka	Funkce
1	DCD	Detekce nosného signálu
2	RxD	Data přijímaná
3	TxD	Data posílaná
4	DTR	Připravenost
5	GND	Signálová zem
6	DSR	Připravenost protistrany
7	RTS	Požadavek na vysílání
8	CTS	Povolení k vysílání
9	RI	Příchozí hovor

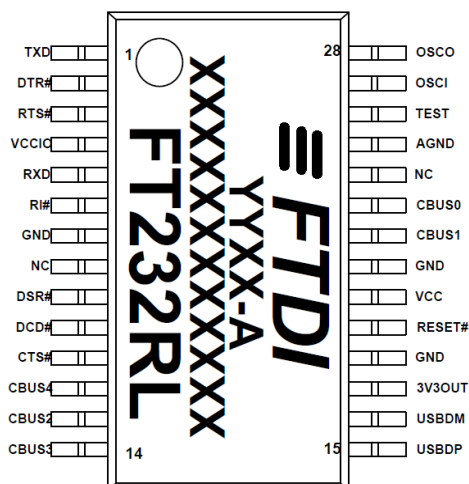
Tab. 1 Popis pinů konektoru rozhraní RS-232 [3]

Je zřejmé, že se zde objevují piny stejně označené, jako výše uvedené signály pro přenos dat – RxD a TxD. Rovněž se zde nachází společný zemní signál GND. Ostatní signály sběrnice RS-232 by byly pro přenos pomocí UART nevyužity.

V dnešní době se již od sběrnice RS-232 ustupuje a v drtivé většině je nahrazena univerzální sériovou sběrnici USB. Přenosné počítače (notebooky) zpravidla obsahují výhradně tuto sběrnici. Výhodou může být například možnost napájení připojeného zařízení stejným konektorem, kterým se přenáší data, nebo možnost připojování Plug & Play bez nutnosti restartování počítače nebo ručního instalování ovladačů [4].

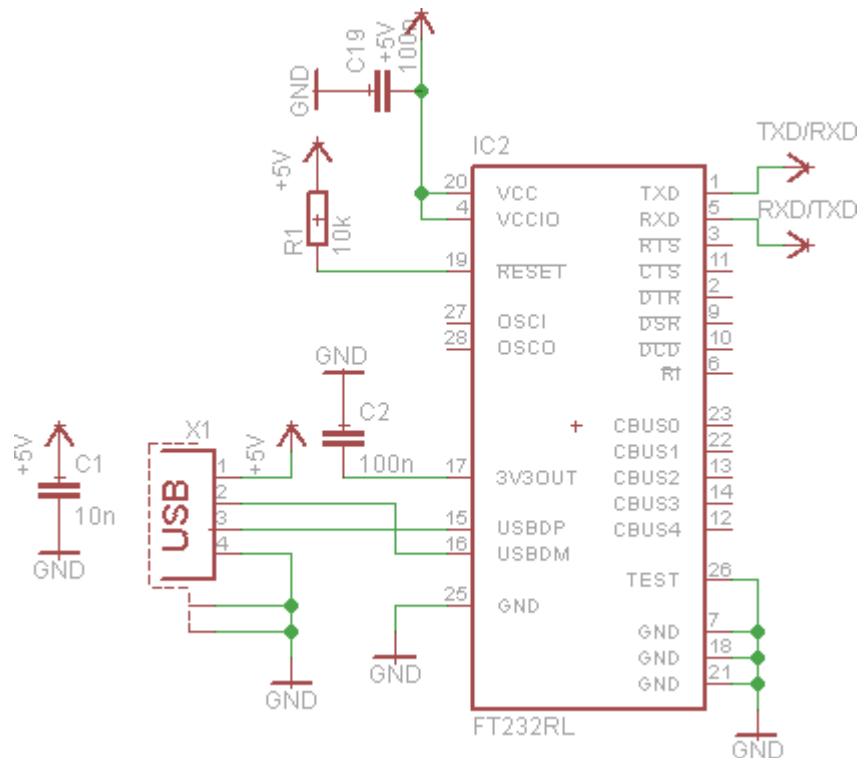
Vzhledem k uvedenému byl k mikrokontroléru připojen integrovaný obvod od firmy FTDI s označením FT232RL. Jak již název napovídá, jedná se o řadič sběrnice RS-232, který lze připojit ke sběrnici USB. Tato verze obvodu FT232 ke své činnosti vyžaduje minimum externích komponentů. Po připojení k počítači je obvod operačním systémem automaticky rozpoznán a ten následně nainstaluje ovladače. V případě nutnosti lze ovladače stáhnout z internetových stránek výrobce a nainstalovat ručně. Po nainstalování ovladačů lze ve Správci zařízení nalézt položku s názvem „USB Serial Port“ a se zařízením je možno pracovat jako s běžným sériovým portem RS-232, také nazývaným COM.

Pouzdro integrovaného obvodu FT232RL včetně popisu jednotlivých vývodů ukazuje Obr. 21. Jak je vidět, obvod obsahuje všechny signály sběrnice RS-232. Vývody s názvy USBDM a USBDP jsou určeny pro připojení na datové vodiče sběrnice USB. Většina signálů určených pro sběrnici má inverzní logiku, což definuje logickou jedničku jako klidový stav. Vzhledem k obvodu to znamená negovaný tvar signálu, který je znázorněn negací u příslušného signálu (v tomto konkrétním případě označenou křížkem (#) za názvem signálu).



Obr. 21 Pouzdro integrovaného obvodu FT232RL a jeho vnitřní uspořádání [1]

Na Obr. 22 je naznačeno schéma zapojení integrovaného obvodu FT232RL v obvodu funkčního generátoru včetně připojených dodatečných komponentů. Toto schéma včetně doporučených hodnot součástek je rovněž dostupné v datovém souboru výrobce [5], ze kterého bylo použito. Signály OSCI a OSCO slouží k připojení externího krystalu, který však u této verze převodníku není zapotřebí a je možno použít oscilátor interní.



Obr. 22 Schéma zapojení integrovaného obvodu FT232RL v obvodu funkčního generátoru

4.1.3 D/A převodník TLC5602C

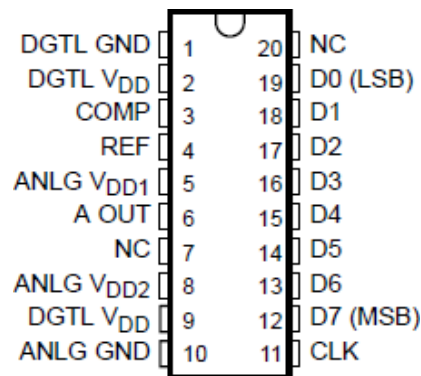
Tento komponent představuje hranici mezi digitální a analogovou částí systému. Jedná se o jeden z nejdůležitějších prvků principu funkce generátoru. Jeho umístění lze nalézt přímo v blokovém schématu přímé digitální syntézy. D/A převodník je připojen na piny procesoru, které byly předem určeny jako výstupní.

Tento konkrétní typ je založen na integrované technologii CMOS a je schopen zpracovávat slova o délce osmi bitů. Jedná se o převodník synchronní, který vyžaduje rovněž pravidelnou dodávku synchronizačních hodinových impulzů, určujících přesný čas převodu. Maximální frekvence hodinového signálu může být až 30 MHz [6]. Tyto impulzy jsou

generovány procesorem. Z uvedeného vyplývá, že převodník musí být připojen k procesoru pomocí celkem devíti datových vodičů.

Výstupní stranu převodníku představuje vývod pouzdra, na kterém se objevuje analogové napětí dané tvarem vstupního digitálního slova. V tomto případě se jedná pouze o jediný pin. Napětí je vztaženo, podobně jako většina signálů v přístroji, ke společnému zemnímu vodiči, který v tomto případě představuje rozlitá měď.

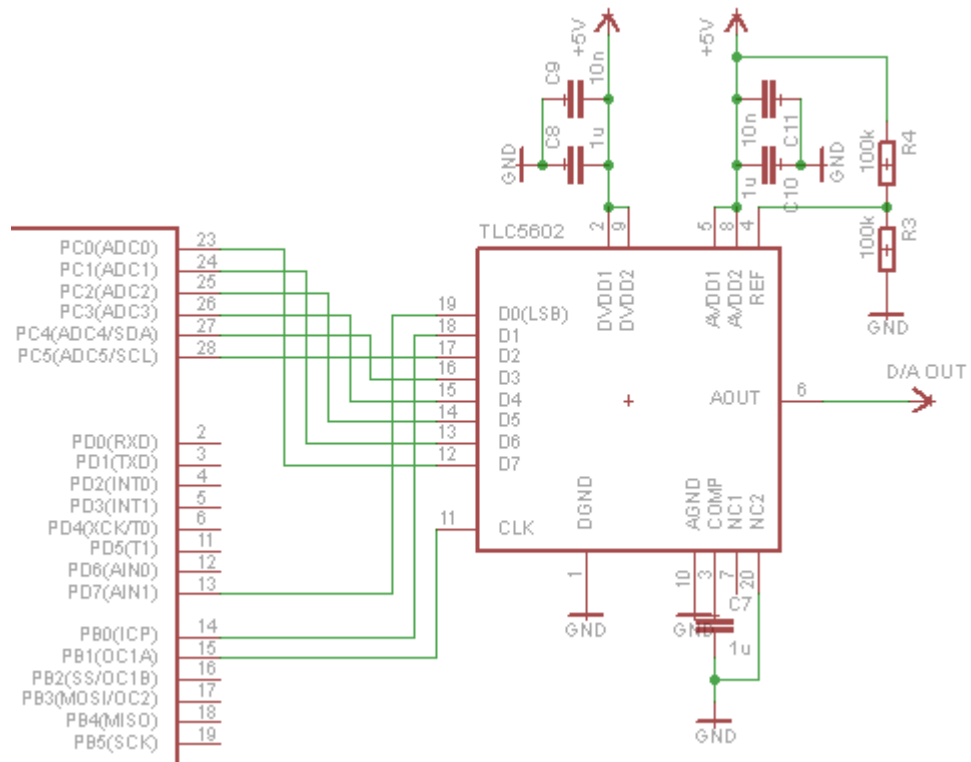
Pouzdro použitého převodníku nese označení DW a obsahuje celkem 20 vývodů. Kromě výše uvedených signálů se zde objevuje také důležitý přívod referenčního napětí, jehož velikost určuje rozsah výstupního napětí převodníku. Referenční napětí je odporovým děličem s dělicím poměrem 0,5 nastaveno na polovinu napájecího napětí z důvodu možnosti maximálního rozkmitu napětí výstupního. Použity byly dva rezistory o shodné hodnotě odporu 100 k Ω kvůli minimálnímu odběru proudu ze zdroje. Šest pinů slouží pro připojení napájecího napětí, které je v tomto případě výhodně rozděleno na digitální a analogové (viz kapitola 3.3.3: *D/A převodníky založené na polovodičové technologii CMOS*). Pouzdro včetně popisu jednotlivých vývodů ukazuje *Obr. 23*.



Obr. 23 Pouzdro DW D/A převodníku TLC5602C a jeho vnitřní uspořádání [6]

Kladné póly jednotlivých napájecích napětí se zde vyskytují dvakrát. K napájecímu vodiči bylo nutno připojit všechny čtyři vývody, přičemž vývody s označením *DGTL V_{DD}* musely být vedeny separovaně od vývodů s označením *ANLG V_{DD1}* a *ANLG V_{DD2}*. Dále byly co nejbližší k těmto vývodům připojeny dvě dvojice kondenzátorů, jejichž úkol spočívá ve filtraci napájecího napětí. Jeden pin s označením *COMP* je určen pro připojení kompenzačního kondenzátoru. Hodnoty všech pěti použitých kondenzátorů jsou totožné

s hodnotami uvedenými v datovém souboru výrobce. Poslední dva piny nejsou zapojeny (piny s označením *NC – No Connection*) a mohou být připojeny k nulovému potenciálu. Schéma zapojení D/A převodníku v obvodu funkčního generátoru je na *Obr. 24*.



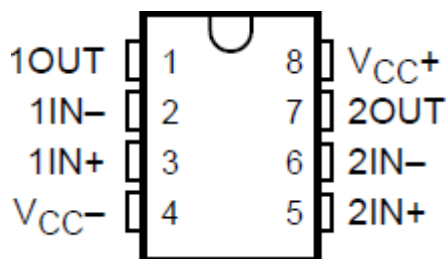
Obr. 24 Schéma zapojení integrovaného obvodu FT232RL v obvodu funkčního generátoru

4.1.4 Operační zesilovač LM1458

Tento obvod jako jediný již tvoří plně analogovou část generátoru. Jeho úkolem je upravit generovaný signál do konečné podoby, která je vyžadována. Z tohoto důvodu nemůže být tento prvek číslicový, neboť digitálním prvkem lze vytvořit signál pouze s konečným počtem hodnot. Toto se týká i D/A převodníku. Základní vlastností výstupního signálu funkčních generátorů je však u většiny druhů spojitost jeho průběhu. Výjimku může tvořit signál s pravoúhlým průběhem, u kterého se naopak vyžaduje co největší nespojitost daná vysokou strmostí náběžné a sestupné hrany.

V přístroji je využito obou totožných operačních zesilovačů, které obsahuje pouzdro součástky. Tyto jednotlivé operační zesilovače pracují v odlišných zapojeních, která jsou zapojena kaskádně.

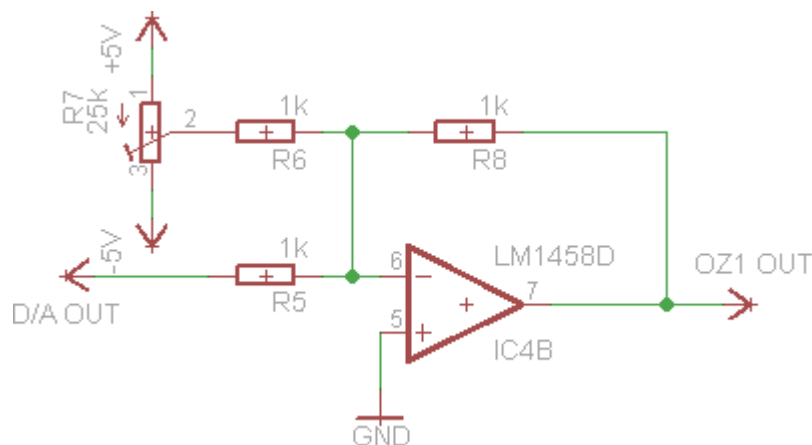
Operační zesilovače jsou napájeny symetrickým napájením o velikosti rovné logické úrovni TTL, která činí 5 V. Pouzdro včetně popisu jednotlivých vývodů ukazuje *Obr. 25*.



Obr. 25 Pouzdro operačního zesilovače LM1458 a jeho vnitřní uspořádání [8]

- Odstranění offsetu

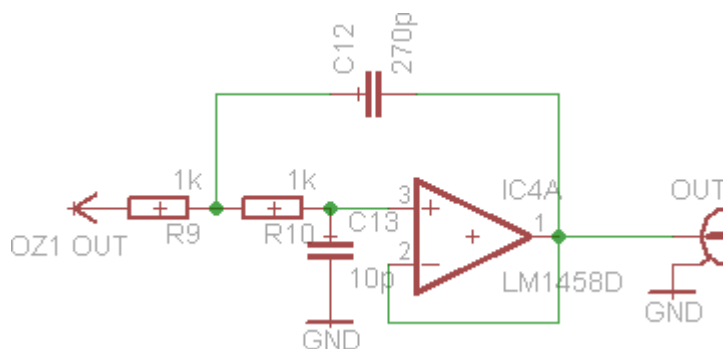
Vstup prvního zapojení je připojen na výstup D/A převodníku a jeho úkolem je provedení symetrizace generovaného signálu, spočívající v odstranění offsetu. Zapojení je řešeno jako invertující zesilovač se základním zesílením 1 daném shodnými hodnotami odporů 1 k Ω před zesilovačem a v jeho zpětné vazbě. Zesílení je dále možno nastavit dělicím poměrem napěťového děliče, který představuje odporový trimr. Správné nastavení prakticky spočívá v přivedení slova, při kterém má být na výstupu generátoru nulová úroveň napětí, na D/A převodník. Bude se zřejmě jednat o slovo nacházející se přesně v polovině rozsahu převodníku. Pro osmibitový převodník je binární tvar tohoto slova 0111 1111. Následně se trimr nastaví do takové polohy, aby se na výstupní svorce zmíněného zapojení prvního operačního zesilovače odpovídající napětí skutečně objevovalo. Schéma zapojení je na *Obr. 26*.



Obr. 26 Schéma zapojení operačního zesilovače upravujícího offset signálu

- Filtrace signálu

Druhý operační zesilovač má za úkol provést filtraci signálu, spočívající v omezení jeho možného frekvenčního spektra. Jedná se o aktivní elektronický filtr typu dolní propust. Filtr byl navržen metodou Sallen-Key pomocí kalkulátoru dostupného na internetu [7], podle kterého byly určeny a použity hodnoty součástek, přičemž hodnota odporů byla stanovena na 1 k Ω podobně, jako v předchozím případě. Schéma zapojení je na Obr. 27



Obr. 27 Schéma zapojení operačního zesilovače provádějícího filtraci signálu

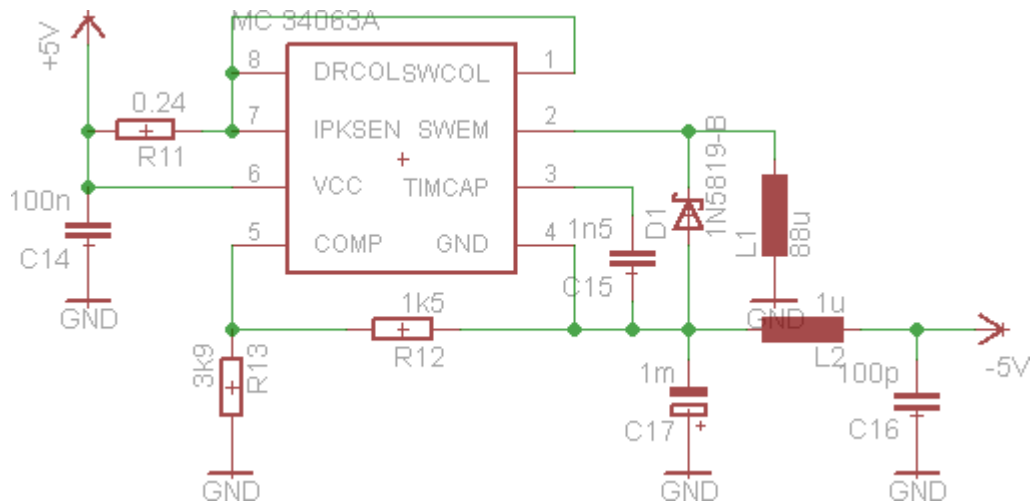
4.1.5 Spínaný měnič MC34063A

Posledním samostatným funkčním blokem zařízení se stává měnič napětí. Jeho úloha spočívá v transformaci kladného napětí, dodávaného portem USB, na napětí záporné polarity. Toto napětí je následně použito pro napájení výše zmíněných operačních zesilovačů. Důvod jeho použití byl již zmíněn – cílem bylo odstranění offsetu generovaného signálu. Pokud by neexistovalo napětí opačné polarity, než je napětí, které umožňuje příslušný port osobního počítače, tato korekce by nebyla možná a napětí vytvářené generátorem by nabývalo pouze jedné polarity napětí, což je při generování měřicího signálu, zvláště pak harmonického, značně nežádoucí.

Podle datového souboru výrobce [9] byl tento obvod zapojen za pomoci přiloženého schématu ve funkci invertoru napětí, přičemž jeho správná velikost je zajištěna dělicím poměrem odporového děliče napětí, sestávajícího z rezistorů označených $R12$ a $R13$ ve schématu zapojení. Dělič napětí lze řešit jako nezatížený, neboť jeho odbočka je zapojena na takový vývod měniče, který představuje vstup operačního zesilovače, jehož vstupní odpor lze podle definice považovat za nekonečně velký. Hodnoty odporů v děliči byly vypočteny pomocí dvou známých napětí, kterými bylo napětí požadované na výstupu (záporné napětí pro napájení operačních zesilovačů) a napětí referenční, při kterém se překlápí komparátor uvnitř měniče. Odporů děliče byly zvoleny ve stejných řádech jako ty, které jsou uvedeny v příslušném schématu v datovém souboru. Rezistor s hodnotou $0,24 \Omega$ nebyl dostupný, proto byl nahrazen čtyřmi paralelně zapojenými rezistory s odporem 1Ω .

Jisté vysvětlení vyžaduje zapojení napájení daného obvodu. Ačkoli měnič je určen pro vytváření napájení pro analogovou část generátoru, samotná součástka z principu generuje vysokofrekvenční signál, který způsobuje rušení. Z tohoto důvodu je obvod připojen na napájecí větev definovanou jako digitální. Napětí generované měničem, určené pro napájení operačních zesilovačů, proto musí být náležitě vyfiltrováno pomocí příslušného článku typu dolní propust. Použit je nesymetrický článek topologie Π . První prvek tohoto článku představuje elektrolytický kondenzátor o kapacitě 1 mF . Při zapojování bylo nutné věnovat značnou pozornost polaritě, neboť v tomto případě se na výstupní svorce měniče objevuje nižší potenciál než na svorce zemnicí. Filtrační článek je dále tvořen menším kondenzátorem s velikostí kapacity rovnou 100 pF . Podélným prvkem filtru měla být podle doporučení výrobce cívka o indukčnosti $1 \mu\text{H}$ (označená jako $L2$ ve schématu). Ta však rovněž nebyla

dostupná, proto byla nahrazena rezistorem o malém odporu 1 mΩ. Schéma zapojení je na *Obr. 28*.



Obr. 28 Schéma zapojení spínaného měniče invertujícího napětí

Pouzdro spínaného měniče je totožné s pouzdem použitých operačních zesilovačů. Signály příslušející k jednotlivým vývodům pouzdra jsou označeny na *Obr. 28* u integrovaného obvodu shodnými čísly jako příslušné vývody na *Obr. 25*.

4.2 Software

Programové vybavení, obsluhující mikropočítač, je kompletně napsáno v programovacím jazyce C vzhledem ke kompatibilitě s hardwarem a předchozích zkušeností. K programování bylo využito vývojového prostředí AVR Studio 4.18 spolu s ISP programátorem (In System Programming – programování v systému).

Samotný program lze rozdělit do dvou celků. První část realizuje vlastní generování signálu a druhá komunikaci se stolním počítačem pomocí rozhraní UART.

4.2.1 Generování signálu

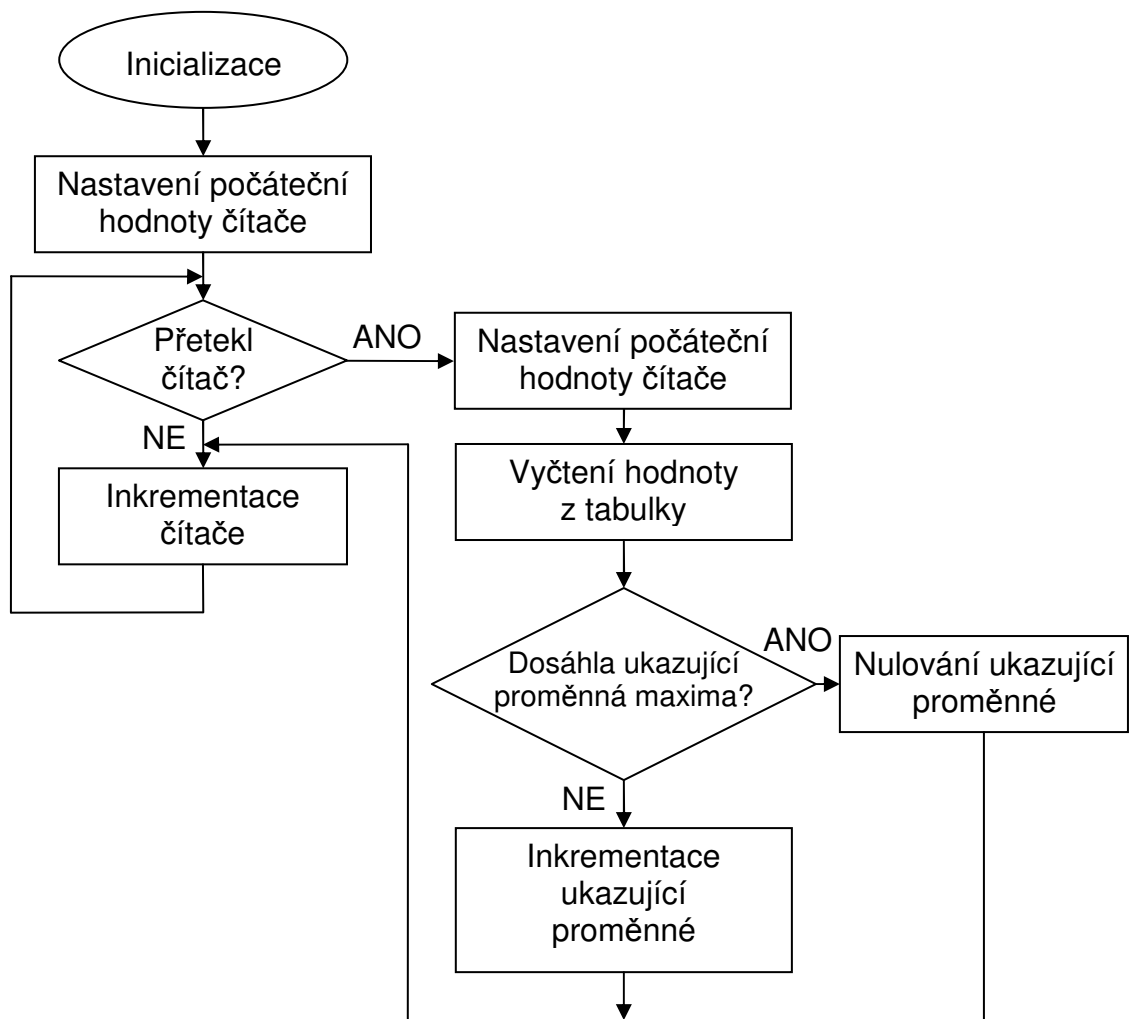
Jak již bylo uvedeno v teoretické části v textu popisujícím princip přímé digitální syntézy (konkrétně kapitola 3.2), základní prvek tohoto systému představuje čítač, tvořící akumulátor fáze.

ATmega 168 obsahuje celkem tři čítače/časovače – dva osmibitové a jeden šestnáctibitový. Jako akumulátoru fáze je použito čítače/časovače osmibitového označeného jako Timer/Counter 0.

Frekvence generovaného signálu je určena časovým odstupem mezi vyčtením jednotlivých vzorků signálu z paměti. Příslušný vzorek je získán vždy v okamžiku, kdy je vykonán patřičný podprogram. Ten je vyvoláván vždy po jisté době pomocí odezvy na hodnotu čítače. Tuto odezvu představuje přerušení programu, které je vyvoláno vždy, když čítač přeteče. To znamená, že jeho hodnota se změní z 1111 1111 na hodnotu počáteční, která byla předem uložena do příslušného registru. Čím bude tato hodnota vyšší, tím bude čítač přetékat častěji, častěji se bude rovněž vykonávat příslušný obslužný podprogram a za jednotku času se bude generovat více vzorků.

V obslužném podprogramu se nachází proměnná, která udává pozici právě toho vzorku v tabulce, jehož hodnota má být v aktuálním čase vyčtena. Po získání požadovaného vzorku je hodnota proměnné inkrementována takovým způsobem, aby ukazovala na další vzorek. Tato proměnná je definována jako statická, tudíž je možno její předchozí hodnotu použít i při příštím vyvolání daného podprogramu. Tímto způsobem je možno postupně používat hodnoty z celé tabulky vzorků.

Základní princip tohoto programu znázorňuje vývojový diagram na *Obr. 29*.



Obr. 29 Princip programu realizujícího akumulátor fáze

Zdrojový kód pro akumulátor fáze by v jazyce C vypadal následovně:

```
unsigned char initValue = 0x69;
unsigned char hodnota;

ISR (TIMER_OVF_vect)
{
    static unsigned char i;
    TCNT0 = initValue;
    hodnota = tabulka [i];
    generuj (hodnota);
    if (i < 255)
        i++;
    else
        i=0;
}
```

Hlavička funkce je napsána stejnou syntaxí, jaká je v generátoru použita – jedná se o zápis podprogramu vyvolávaného přerušením od přetečení čítače. Ostatní příkazy jsou ve skutečnosti napsány poněkud jiným způsobem, než výše uvedeným, z důvodu rychlejšího zpracování.

V uvedeném zdrojovém kódu se předpokládá, že tabulka, která obsahuje vzorky signálu, má právě 256 hodnot. Statická proměnná `i` určuje svou hodnotou pozici aktuálního vzorku, určeného pro generování. Tento vzorek je poté uložen do pomocné proměnné `hodnota`. Pomocí funkce `generuj` je následně přiveden v binární podobě na výstupní port procesoru a zpracován D/A převodníkem. Jakmile program přečte poslední vzorek v tabulce, vynuluje se pomocná proměnná a tabulka se začne číst opět od začátku.

Proměnná `initValue` představuje počáteční hodnotu, která je ukládána do příslušného registru čítače. Tato hodnota je do registru vložena při každém vyvolání přerušení (přetečení čítače) a čítač poté začne postupovat z této hodnoty až do příštího přetečení. Obsah proměnné `initValue` tedy určuje frekvenci generovaného signálu. Čím je hodnota proměnné vyšší, tím dříve čítač přeteče. Výstupní signál přitom vykazuje vyšší frekvenci. Uvedený formální

zápis čísla 0x69 překladač rozpozná jako číslo v šestnáctkové soustavě. Hodnota 69 je zvolena jako příklad, kdy generátor vytváří na základním rozsahu signál o frekvenci 100 Hz.

Tento algoritmus představuje pouze základní regulaci. Výhodou je, že frekvenci lze nastavovat v poměrně malých krocích. Podle principu přímé digitální syntézy je pro možnost regulace frekvence v širokém rozsahu nutno při procházení tabulky funkce některé vzorky vynechávat. Takto lze realizovat regulaci hrubou, ovšem v mnohem širším rozsahu frekvencí. Ve výše uvedeném zdrojovém kódu by to znamenalo zavedení další proměnné (nazvěme ji například `inc`), která by určovala, kolik vzorků v tabulce se při čtení má vynechávat, a dále úpravu řádku, ve kterém se inkrementuje proměnná `i`:

```
unsigned char initValue = 0x69;
unsigned char hodnota;
unsigned char inc;

ISR (TIMER_OVF_vect)
{
    ...
    generuj(hodnota);
    i += inc;
    ...
}
```

Protože je proměnná `i` typu `unsigned char` (viz předchozí úryvek kódu), není nutné testovat, zda se její hodnota nachází v povoleném rozsahu (řádek `if (i < 255)`), neboť inkrementace, po které by měla proměnná dosáhnout vyššího čísla než 255, způsobí přetečení rozsahu proměnné a její hodnota se vrátí zpět na počátek. Je zde však podmínka, že tabulka vzorků musí mít právě takový počet prvků, jaký je rozsah datového typu proměnné `i`, neboť v opačném případě by tato proměnná ukazovala do paměti, ve které již neleží prvky tabulky, nebo naopak přeskakovala prvky pole s indexy, jejichž hodnoty není schopna dosáhnout.

Jemná regulace by byla realizována stejným způsobem jako v prvním případě, tzn. nastavováním počáteční hodnoty čítače.

4.2.2 Komunikace s počítačem

Komunikace pomocí sériové sběrnice USART zabezpečuje přijímání informací z klávesnice stolního počítače. Zde je provozována v asynchronním režimu, nazvaném UART. Obsluha je realizována, podobně jako čítač, pomocí přerušování programu. Důvodem je omezení časových ztrát, neboť přerušování se vyvolává pouze při příjmu informací a v klidovém stavu zdroje nebrzdí vykonávání zbytku kódu. Celý algoritmus příslušející k obsluze UART se skládá ze čtyř podprogramů. První funkce představuje inicializaci celého rozhraní. Jedná se zde o nastavení komunikační rychlosti na 9600 Bd (registry UBRR0H pro horní bajt a UBRR0L pro dolní bajt), dále o vyprázdnění datového registru (nastavení bitu UDRE0 v registru UCSR0A), povolení vysílání a přijímání (nastavení bitů RXCIE0, TXCIE0, RXEN0 a TXEN0 v registru UCSR0B) a nastavení formátu dat (bity UPM01, UCSZ01 a UCSZ00 v registru UCSR0C). Následně se příslušný vývod pouzdra nastaví jako výstupní - konkrétně se jedná pin PD1, u kterého je nastavena alternativní funkce, kterou představuje vysílání dat pomocí sběrnice USART. Druhý podprogram má za úkol aktuálně příchozí znak uložit do zásobníku, který je realizován polem znaků o velikosti 80 prvků. Každý znak je po načtení uložen do políčka s indexem o jedničku vyšším než znak předchozí. Po naplnění celého zásobníku se ukazatel vrátí zpět na počátek a další nově příchozí data začnou přepisovat data nejstarší. Obdobně pracuje i podprogram třetí, sloužící k vysílání dat. Poslední dvě funkce představují přerušování programu, a to jednak od příjmu dat (nastavení příznaku Rx) a jednak od vysílání dat (nastavení příznaku Tx).

Jak již bylo zmíněno, přijaté znaky se ukládají do pole, přičemž každý prvek pole představuje jeden přijatý znak. Pomocí zadaných znaků je nutno získat informaci o signálu, který si uživatel přeje generovat. Z tohoto důvodu se zde nachází podmínka, zda uživatel stiskl klávesu určující konec zadávání. Pro konec je standardně používaná klávesa ENTER. Tato klávesa je při požadavku jejího zápisu reprezentována řetězcem „\n”, který při generování textu (pomocí programovacího jazyka) rovněž signalizuje přechod na nový řádek.

Nejprve je nutno ze sekvence zadaných znaků určit hodnotu samotné frekvence. To se provede sečtením jednotlivých přijatých číslic nejprve vynásobených příslušným řádem. Hodnotu jednotlivých řádů je nutno zjistit pomocí informace, kolik znaků bylo zadáno mezi příchodem počátečního a potvrzujícího znaku. Toto realizuje cyklus typu for. Syntaxe by vypadala následovně:

```
for (i = ukazatelZapis, j = 0; i >= 0; i--, j++)  
    fout += zasobnik_RD[i]*pow(10, j);
```

Zde je vysvětlení použitých proměnných:

- `fout` je požadovaná frekvence,
- `zasobnik_RD` je pole, do kterého se ukládají příchozí znaky,
- `ukazatelZapis` je index toho prvku pole, do kterého se naposlady zapsalo,
- `i` a `j` jsou pomocné proměnné, jejichž hodnota se s každou iterací cyklu inkrementuje či dekrementuje.

pozn.: `pow(x, y)` je zápis mocniny čísla (x^y).

Výše uvedený kód se provede vždy, když je stisknuta potvrzovací klávesa ENTER (tzn. ve vyšší úrovni struktury kódu se nachází podmínka typu `if (data == '\n')`, kde proměnná `data` představuje přijatý znak). Také je nutné zajistit, aby se po ukončení zadávání ukazatel zásobníku vrátil na počátek.

Jakmile je frekvence zjištěna, proběhne další zpracování čísla. Zde se nabízí několik možností, jak `data` interpretovat. Předchozí kapitola vypovídala o realizaci hrubé a jemné regulace frekvence signálu. Z tohoto důvodu by bylo vhodné nejprve realizovat hrubou regulaci (zjištění užšího rozsahu, ve kterém se požadovaná frekvence nachází) a následně frekvenci „doladit“ pomocí regulace jemné.

Jednoznačná závislost frekvence generovaného signálu na vstupních datech byla zjištěna experimentálně. Stačilo změřit frekvenci pouze v jednom „hrubém“ rozsahu, hodnoty pro ostatní rozsahy bylo možno s jistou tolerancí dopočítat. Hodnotu požadované frekvence je vzhledem k rozsahu generátoru možno zadávat pouze v Hz.

Pro komunikaci bývá běžně využito prostředí hyperterminálu, který je standardní součástí operačního systému Windows až do verze XP. Protože však byl software laděn v operačním systému, který tento program neobsahuje, bylo nutno využít program alternativní. Pro tento účel byl využit program Hercules, který je volně dostupný na internetu – například [10]. Navíc není nutná ani instalace. Po jeho spuštění bylo nutné nejprve provést správné nastavení, které spočívalo především ve volbě správného sériového portu a přenosové rychlosti. Zvolené

číslo portu se muselo shodovat s číslem uvedeným ve Správci zařízení a přenosová rychlost se musela shodovat s rychlostí nastavenou pomocí zápisu dat do registrů UBRR0L a UBRR0H.

- Výpočet proměnných pro generování signálu

Zadání vstupní informace v Hz představuje pohodlí pro uživatele, avšak pro vlastní výkonný algoritmus, generující signál, je zcela nevhodné. Tento algoritmus vyžaduje dodání vstupních dat ve dvou proměnných – jednak pro hrubou regulaci, která určuje, kolik vzorků v tabulce funkce se má přeskakovat, a jednak pro regulaci jemnou, která spočívá v nastavení počáteční hodnoty čítače – viz str. 44 a 45. Proto je nutno najít jednoznačnou závislost mezi frekvencí signálu a zmíněnými proměnnými.

Nejprve je nastavena proměnná `inc`, která určuje, kolik vzorků v tabulce se má přeskakovat. Toto je zajištěno postupným dělením frekvence a testováním, zda se výsledné číslo již nachází v základním rozsahu, kdy `inc = 1`. Počet dělení se ukládá do pomocné proměnné. Následně je podobným způsobem zjišťováno, která počáteční hodnota čítače nejlépe odpovídá výslednému číslu. Je zřejmé, že pro tento účel je vhodný cyklus řízený podmínkou měnící se v těle cyklu `while`. Nakonec se zajistí skutečné nastavení hodnot proměnných `initValue` a `inc`. Zápis by vypadal následujícím způsobem:

```
unsigned int frekv_del = fout;
unsigned char delitel = 1;
while (frekv_del > 106)
{
    frekv_del = fout / delitel;
    delitel++;
}
inc = delitel;
```

Konstanta `106` představuje nejvyšší hodnotu frekvence dosaženou na základním rozsahu (`inc = 1`).

Závěr

Cílem této bakalářské práce bylo prostudovat problematiku softwarových funkčních generátorů a dále navrhnout a sestavit funkční vzorek generátoru s vhodnými komponenty. Po studiu současných metod používaných ke generování signálu pomocí informací zadávaných v číslicové podobě se zdálo být jako nejvhodnější použití přímé digitální syntézy.

Pro zpracovávání všech číslicových informací byl použit mikroprocesor ATmega 168 vzhledem k předchozím zkušenostem a rozšířenosti těchto typů procesorů. Další komponenty již nebylo nutno příliš volit, neboť musely splňovat velmi specifické požadavky. Převodník FT232RL, nezbytný pro možnost přijímání dat z osobního počítače, byl použit kvůli minimálnímu množství požadovaných externích komponentů vzhledem k podobným typům integrovaných obvodů. Digitálně/analogový převodník TLC5602C byl zvolen na základě možnosti získání bezplatných vzorků od firmy Texas Instruments. Typ operačního zesilovače, jehož úkolem bylo odstranit offset a omezit frekvenční spektrum generovaného signálu, musel splňovat požadavky ohledně pouzdra, neboť musel nahradit typ, který byl předtím nevhodně zvolený. Spínaný regulátor napětí MC34063A, jehož úloha spočívala ve vytvoření záporného napětí, potřebného pro odstranění offsetu signálu, musel splňovat požadavek dostupnosti na českém trhu, možnosti volby pouzdra určeného pro povrchovou montáž a především možnosti nastavení požadovaného napětí.

Celé zařízení bylo zhotoveno na jednostranné jednovrstvé desce plošného spoje. Při návrhu motivu byly uvažovány kromě vzájemných elektrických vazeb součástek také pravidlo separace analogových a digitálních částí vzhledem k připojení k napájecí svorce přístroje a pozice vstupního a výstupního konektoru přístroje.

Programové vybavení bylo kompletně napsáno v jazyce C a laděno na zařízení pomocí ISP programátoru v prostředí AVR Studio. Program se skládal ze dvou samostatných celků, a to jednak z části určené pro generování signálu a jednak části zprostředkující přenos dat z osobního počítače. Kvůli efektivitě je téměř celý program založený na přerušení, neboť to eliminuje časové ztráty vzniklé čekáním. Dále je program zefektivněn úpravou kódu určeného pro čtení hodnot z tabulky funkce do poněkud jiného tvaru, než jaký by se mohl na první pohled nabízet.

Po oživení byla zjištěna závislost frekvence generovaného signálu na hodnotě, která je ukládána do příslušného registru použitého čítače. Tato závislost se zdála být téměř lineární. Zároveň byla zjištěna i maximální možná frekvence generovaného signálu, která činila

25,9 kHz. Tato frekvence není příliš vysoká a leží těsně za hranicí slyšitelného pásma, jejíž hodnota je stanovena na 20 kHz. Z naměřených časových závislostí je zřejmé, že tvar výstupního harmonického signálu je značně deformován, z čehož plyne, že filtr umístěný za D/A převodníkem nebyl příliš účinný. Z uvedeného vyplývá, že generátor je možné použít pro účely měření jen při nenáročných podmínkách. V současné době je mnohem lepším řešením této problematiky využití některého integrovaného obvodu určeného a navrženého výhradně pro přímou digitální syntézu.

Seznam literatury a informačních zdrojů

- [1] Atmel [online]. Poslední změna 24.6.2012. [Cit. 6.8.2012]. Dostupné z: <http://www.atmel.com/Images/doc2545.pdf>
- [2] RS-232 Tutorial on Data Interface and cables [online]. Poslední změna 30.9.2011. [Cit. 6.8.2012]. Dostupné z: <http://www.arcelect.com/RS-232.htm>
- [3] RS-232 – Wikipedie [online]. Poslední změna 8.7.2012. [Cit. 6.8.2012]. Dostupné z: <http://cs.wikipedia.org/wiki/RS-232>
- [4] Universal Serial Bus – Wikipedie [online]. Poslední změna 24.7.2012. [Cit. 6.8.2012]. Dostupné z: http://cs.wikipedia.org/wiki/Universal_Serial_Bus
- [5] FTDI Chip [online]. Poslední změna 31.7.2012. [Cit.6.8.2012]. Dostupné z: http://www.ftdichip.com/Support/Documents/DataSheets/ICs/DS_FT232R.pdf
- [6] Digital to Analog Converter - High Speed DAC (>10MSPS) - TLC5602 - TI.com: [online]. Poslední změna 7.8.2012. [Cit. 7.8.2012]. Dostupné z: <http://www.ti.com/lit/ds/symlink/tlc5602.pdf>
- [7] Sallen-Key Low Pass Butterworth Calculator: [online]. Poslední změna 8.8.2012. [Cit. 8.8.2012]. Dostupné z: <http://www.daycounter.com/Filters/Sallen-Key-LP-Calculator.phtml>
- [8] Operational Amplifier (Op Amp) - Standard Linear Amplifier - MC1458 - TI.com: [online] Poslední změna 8.8.2012 [Cit. 8.8.2012]. Dostupné z: <http://www.ti.com/lit/ds/symlink/mc1458.pdf>
- [9] Step Up/Down Inverting Switching Regulator - SparkFun Electronics: [online]. Poslední změna 16.2.2010 [Cit. 21.8.2012]. Dostupné z: <http://www.sparkfun.com/datasheets/IC/MC34063A.pdf>
- [10] RS232 terminal, serial port terminal, udp terminal, tcp/ip client server - Hercules: [online]. Poslední změna 22.8.2012 [Cit. 22.8.2012]. Dostupné z: http://www.hw-group.com/products/hercules/index_en.html
- [11] MANN, Burkhard. *C pro mikrokontroléry: ANSI-C, kompilátory C, spojovací programy - linkery, práce s ATMEL AVR a MSC-51, příklady programování v jazyce C, nástroje pro programování, tipy a triky*. 1. vyd. Praha: BEN – technická literatura. 2003. 279 s. : il. + 1 CD-ROM. ISBN 80-7300-077-6.
- [12] MATOUŠEK, David. *Práce s mikrokontroléry ATMEL. 3. díl, AVR AT90S*. 2. vyd. Praha: BEN – technická literatura. 2006. 375 s. : il. + 1 CD-ROM. ISBN 80-7300-209-4.
- [13] MATOUŠEK, David. *Práce s mikrokontroléry ATMEL. 4. díl, AVR ATmega16*. 1. vyd. Praha: BEN – technická literatura. 2006. 319 s. : il. ; 23 cm + 1 CD-ROM. ISBN 80-7300-174-8

Seznam obrázků

<i>Obr. 1</i>	<i>Základní tvary časových průběhů signálů: sinusový, obdélníkový a trojúhelníkový ...</i>	<i>11</i>
<i>Obr. 2</i>	<i>Harmonický signál s konkrétními hodnotami veličin</i>	<i>12</i>
<i>Obr. 3</i>	<i>Demonstrace parametrů upravujících symetrii signálu</i>	<i>13</i>
<i>Obr. 4</i>	<i>Blokové schéma analogového oscilátoru</i>	<i>15</i>
<i>Obr. 5</i>	<i>Blokové schéma přímé analogové syntézy.....</i>	<i>15</i>
<i>Obr. 6</i>	<i>Blokové schéma nepřímé syntézy</i>	<i>16</i>
<i>Obr. 7</i>	<i>Blokové schéma přímé digitální syntézy.....</i>	<i>18</i>
<i>Obr. 8</i>	<i>Digitální fázový kruh</i>	<i>19</i>
<i>Obr. 9</i>	<i>Závislost hodnoty akumulátoru fáze na velikosti fáze</i>	<i>19</i>
<i>Obr. 10</i>	<i>Časový průběh generovaného signálu pro různé hodnoty K</i>	<i>21</i>
<i>Obr. 11</i>	<i>Zapojení D/A převodníku s váhovými odpory</i>	<i>23</i>
<i>Obr. 12</i>	<i>Zapojení D/A převodníku s odporovou sítí R-2R</i>	<i>25</i>
<i>Obr. 13</i>	<i>Náhradní schéma převodníku s odporovou sítí R-2R pro příspěvek bitu spínače S_0.....</i>	<i>25</i>
<i>Obr. 14</i>	<i>Náhradní schéma převodníku s odporovou sítí R-2R pro příspěvek bitu spínače S_2.....</i>	<i>26</i>
<i>Obr. 15</i>	<i>Sinusový signál za D/A převodníkem: a) časový průběh; b) frekvenční spektrum</i>	<i>29</i>
<i>Obr. 16</i>	<i>Sinusový signál za antialiasing filtrem: a) časový průběh; b) frekvenční spektrum.....</i>	<i>29</i>
<i>Obr. 17</i>	<i>Pasivní dolnoproputné filtry: a) integrační článek; b) filtr typu L-C.....</i>	<i>29</i>
<i>Obr. 18</i>	<i>Blokové schéma funkčního generátoru.....</i>	<i>31</i>
<i>Obr. 19</i>	<i>Pouzdro procesoru ATmega a jeho vnitřní uspořádání [1]</i>	<i>32</i>
<i>Obr. 20</i>	<i>Konektor sběrnice RS-232 [2].....</i>	<i>34</i>
<i>Obr. 21</i>	<i>Pouzdro integrovaného obvodu FT232RL a jeho vnitřní uspořádání [1]</i>	<i>35</i>
<i>Obr. 22</i>	<i>Schéma zapojení integrovaného obvodu FT232RL v obvodu funkčního generátoru.....</i>	<i>36</i>
<i>Obr. 23</i>	<i>Pouzdro DW D/A převodníku TLC5602C a jeho vnitřní uspořádání [6]</i>	<i>37</i>
<i>Obr. 24</i>	<i>Schéma zapojení integrovaného obvodu FT232RL v obvodu funkčního generátoru.....</i>	<i>38</i>
<i>Obr. 25</i>	<i>Pouzdro operačního zesilovače LM1458 a jeho vnitřní uspořádání [8]</i>	<i>39</i>
<i>Obr. 26</i>	<i>Schéma zapojení operačního zesilovače upravujícího offset signálu</i>	<i>40</i>
<i>Obr. 27</i>	<i>Schéma zapojení operačního zesilovače provádějícího filtraci signálu</i>	<i>40</i>
<i>Obr. 28</i>	<i>Schéma zapojení spínaného měniče invertujícího napětí.....</i>	<i>42</i>
<i>Obr. 29</i>	<i>Princip programu realizujícího akumulátor fáze</i>	<i>44</i>

Přílohy

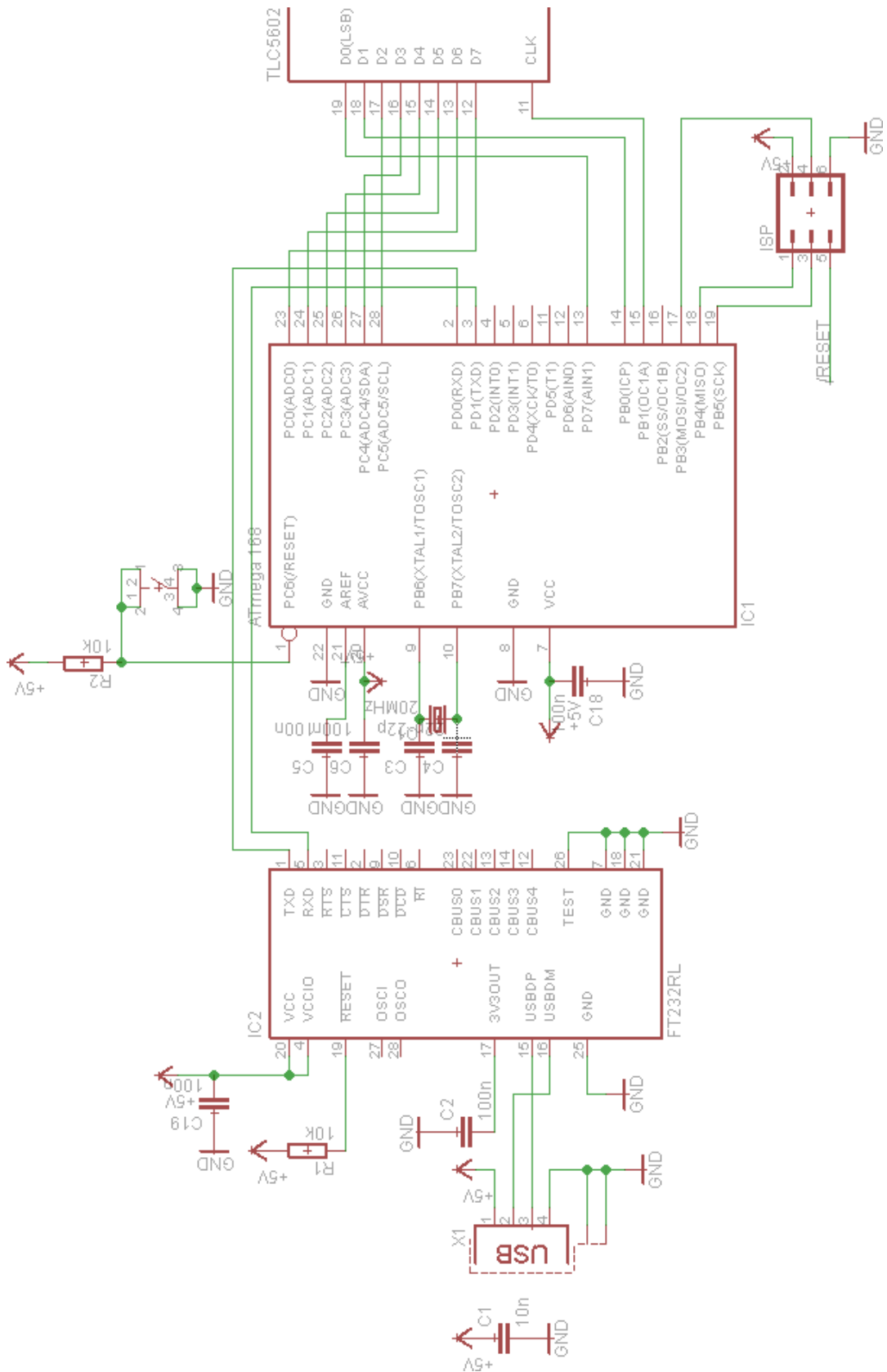


Schéma zapojení – první část

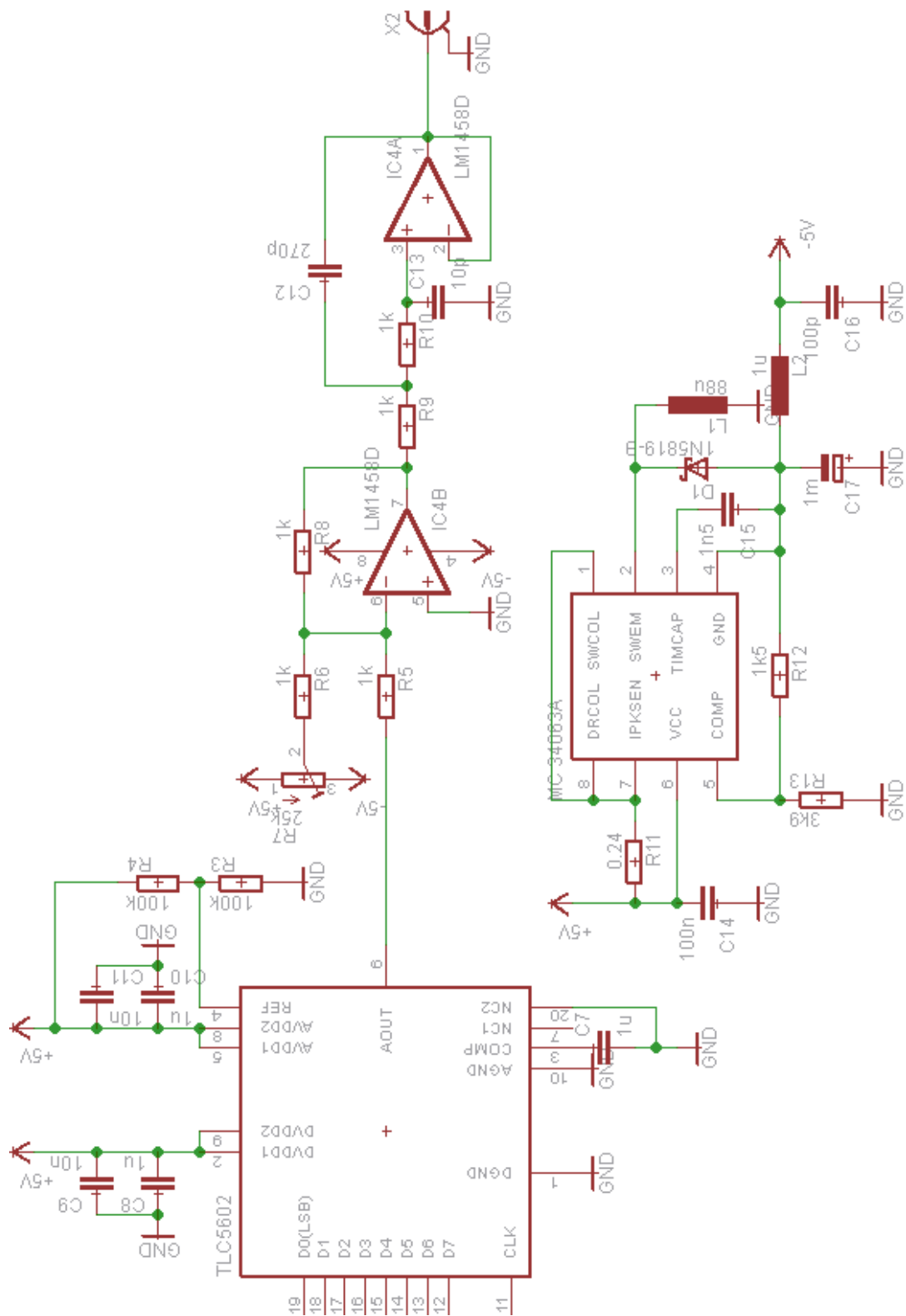
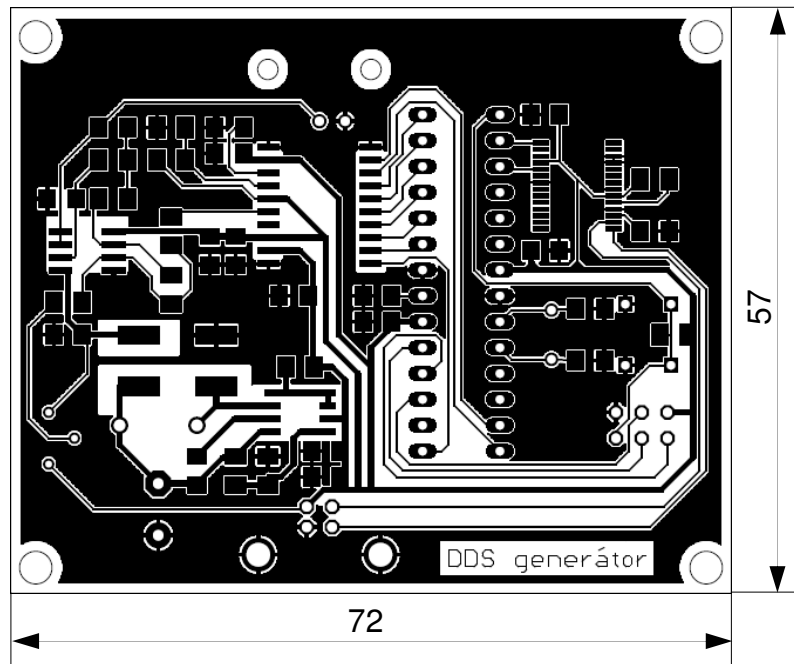
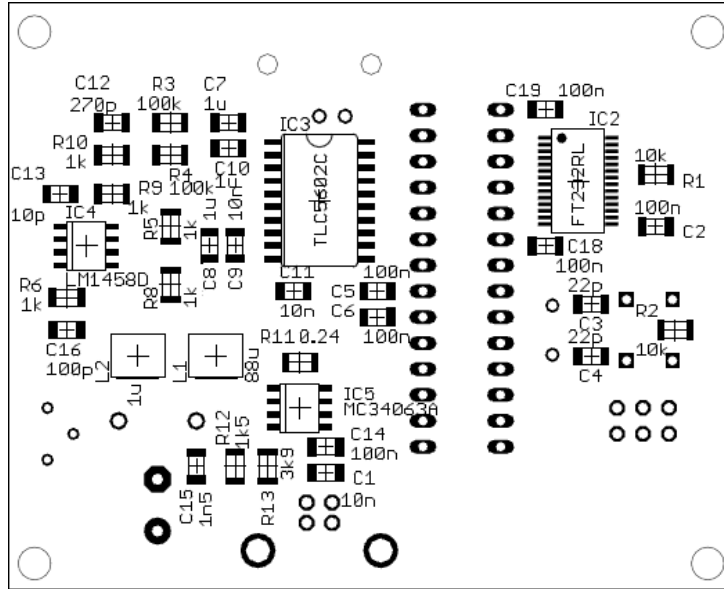


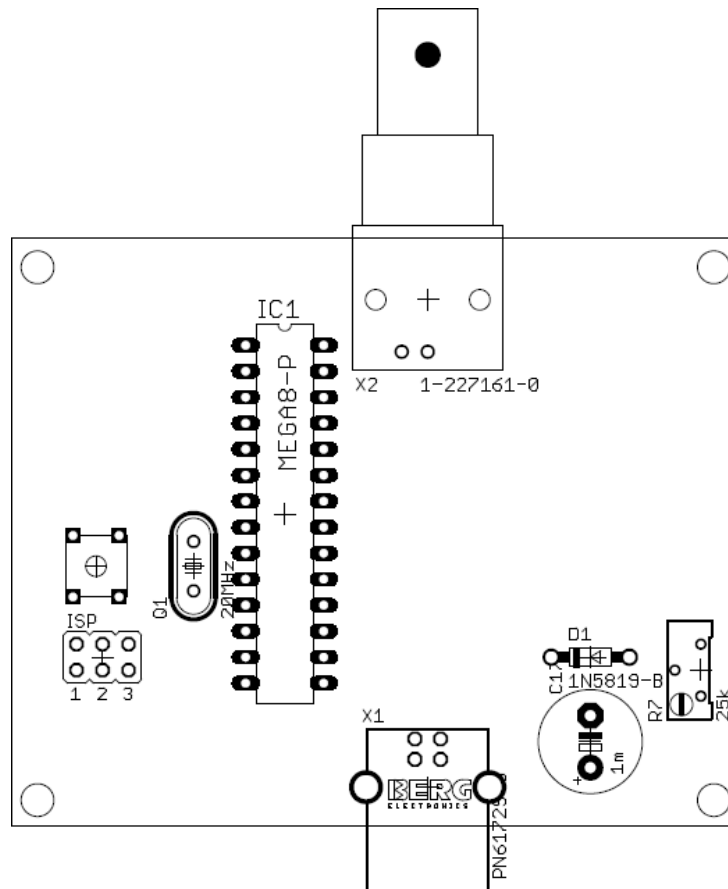
Schéma zapojení – druhá část



Motiv desky plošného spoje



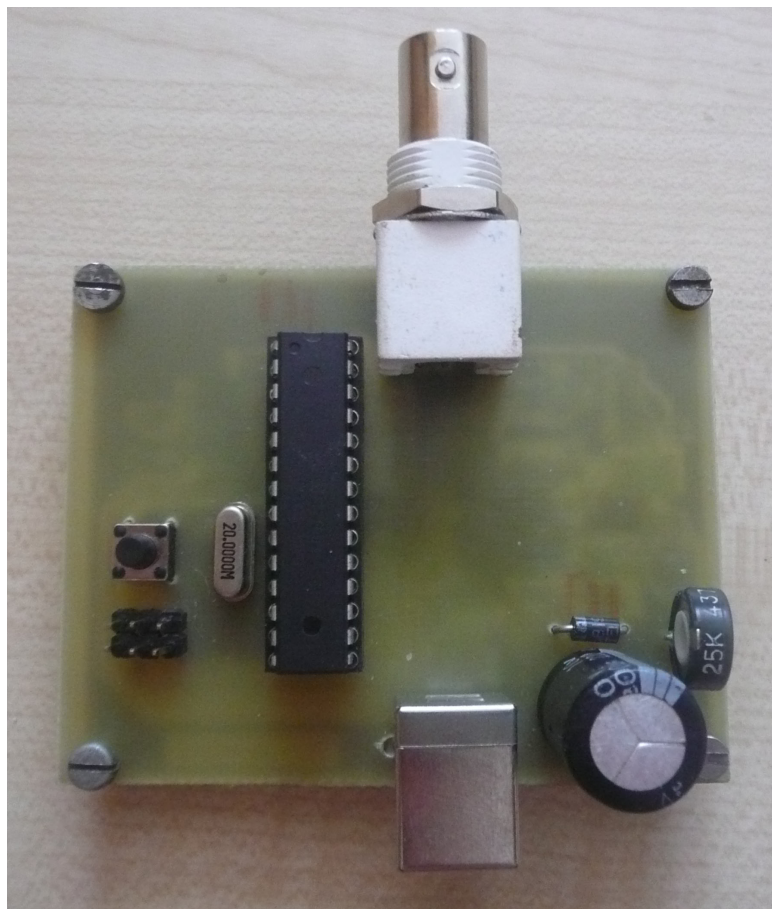
Osazovací plán – spodní část



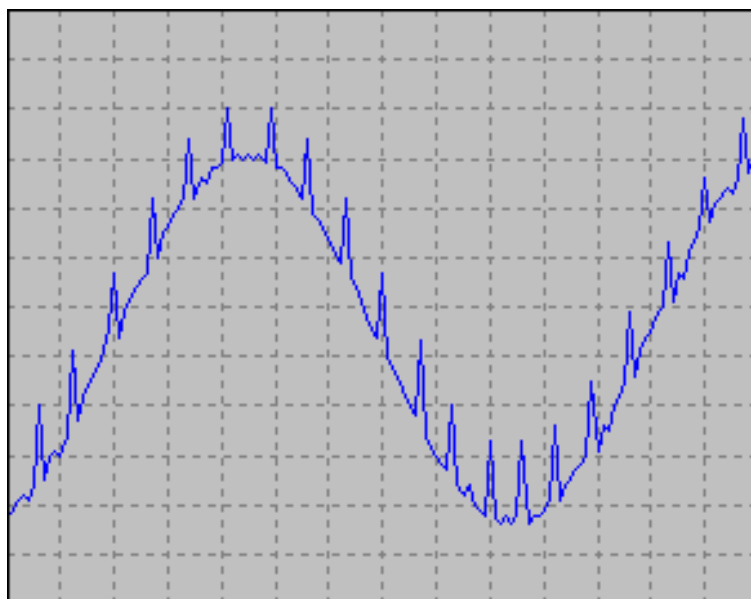
Osazovací plán – vrchní část

Označení	Typ	Hodnota	Pouzdro
R1	Rezistor	10 kΩ	1206
R2	Rezistor	10 kΩ	1206
R3	Rezistor	100 kΩ	1206
R4	Rezistor	100 kΩ	1206
R5	Rezistor	1 kΩ	1206
R6	Rezistor	1 kΩ	1206
R7	Rezistor	25 kΩ	1206
R8	Rezistor	1 kΩ	1206
R9	Rezistor	1 kΩ	1206
R10	Rezistor	1 kΩ	1206
R11	Rezistor	0,24 Ω	1206
R12	Rezistor	1,5 kΩ	1206
R13	Rezistor	3,9 kΩ	1206
C1	Kondenzátor ker.	10 nF	1206
C2	Kondenzátor ker.	100 nF/50 V	1206
C3	Kondenzátor ker.	22 pf/50 V	1206
C4	Kondenzátor ker.	22 pf/50 V	1206
C5	Kondenzátor ker.	100 nF/50 V	1206
C6	Kondenzátor ker.	100 nF/50 V	1206
C7	Kondenzátor ker.	1 μF/16 V	1206
C8	Kondenzátor ker.	1 μF/16 V	1206
C9	Kondenzátor ker.	10 nF/50 V	1206
C10	Kondenzátor ker.	1 μF/16 V	1206
C11	Kondenzátor ker.	10 nF/50 V	1206
C12	Kondenzátor ker.	270 pf/50 V	1206
C13	Kondenzátor ker.	10 pF/50 V	1206
C14	Kondenzátor ker.	100 nF/50 V	1206
C15	Kondenzátor ker.	1,5 nF/50 V	1206
C16	Kondenzátor ker.	100 pF/50 V	1206
C17	Kondenzátor el.	1 mF/6,3 V	10x12,5 RM5 BULK
C18	Kondenzátor ker.	100 nF/50 V	1206
C19	Kondenzátor ker.	100 nF/50 V	1206
L1	Cívka	88 μH	L5650M
L2	Cívka	1 μH	L5650M
D1	Schottkyho dioda	1N5819	DO41
Q1	Krystal	20 MHz	HC49US
IC1	IO	ATmega 168	DIL28
IC2	IO	FT232RL	SSOP28
IC3	IO	TLC5602	SO20W
IC4	IO	LM1458	SOIC8
IC5	IO	MC34063A	SOIC8
X1	Konektor	-	USB1X90B
X2	Konektor	-	BNC-Z 50RW
ISP	Jumper	-	S2G34
-	Mikrosplínač	-	P-B1720C9

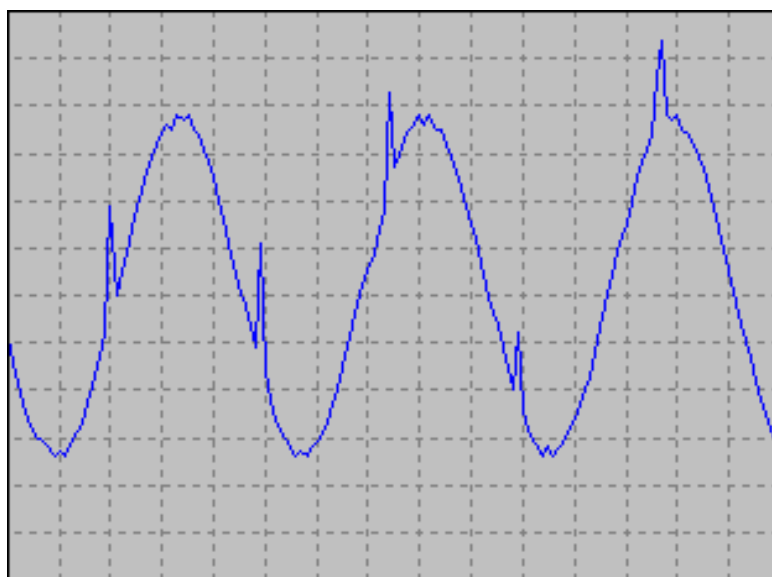
Rozpiska součástek



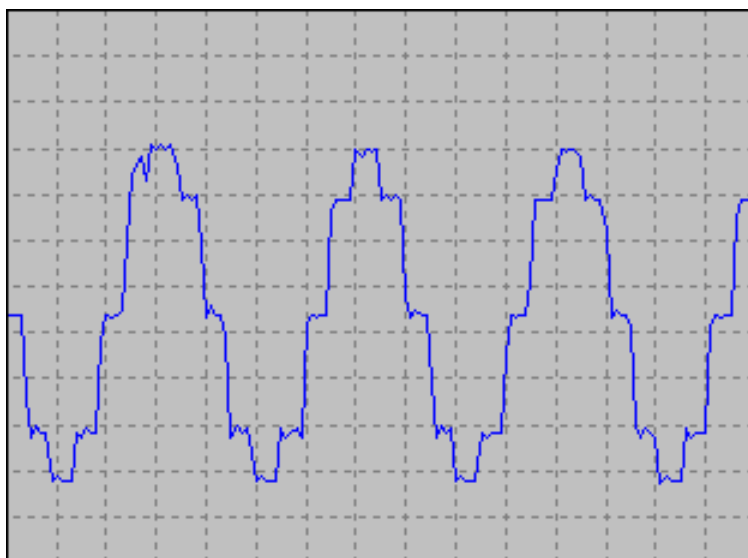
Fotografie výrobku



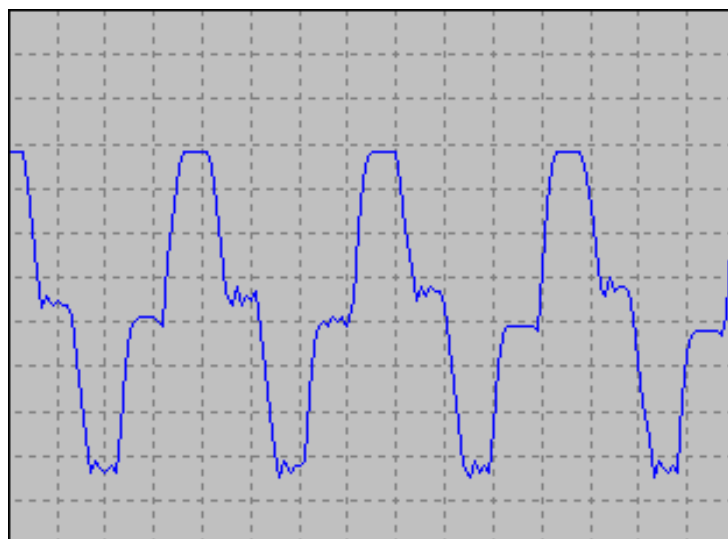
Průběh výstupního signálu: $f_{out} = 100$ Hz



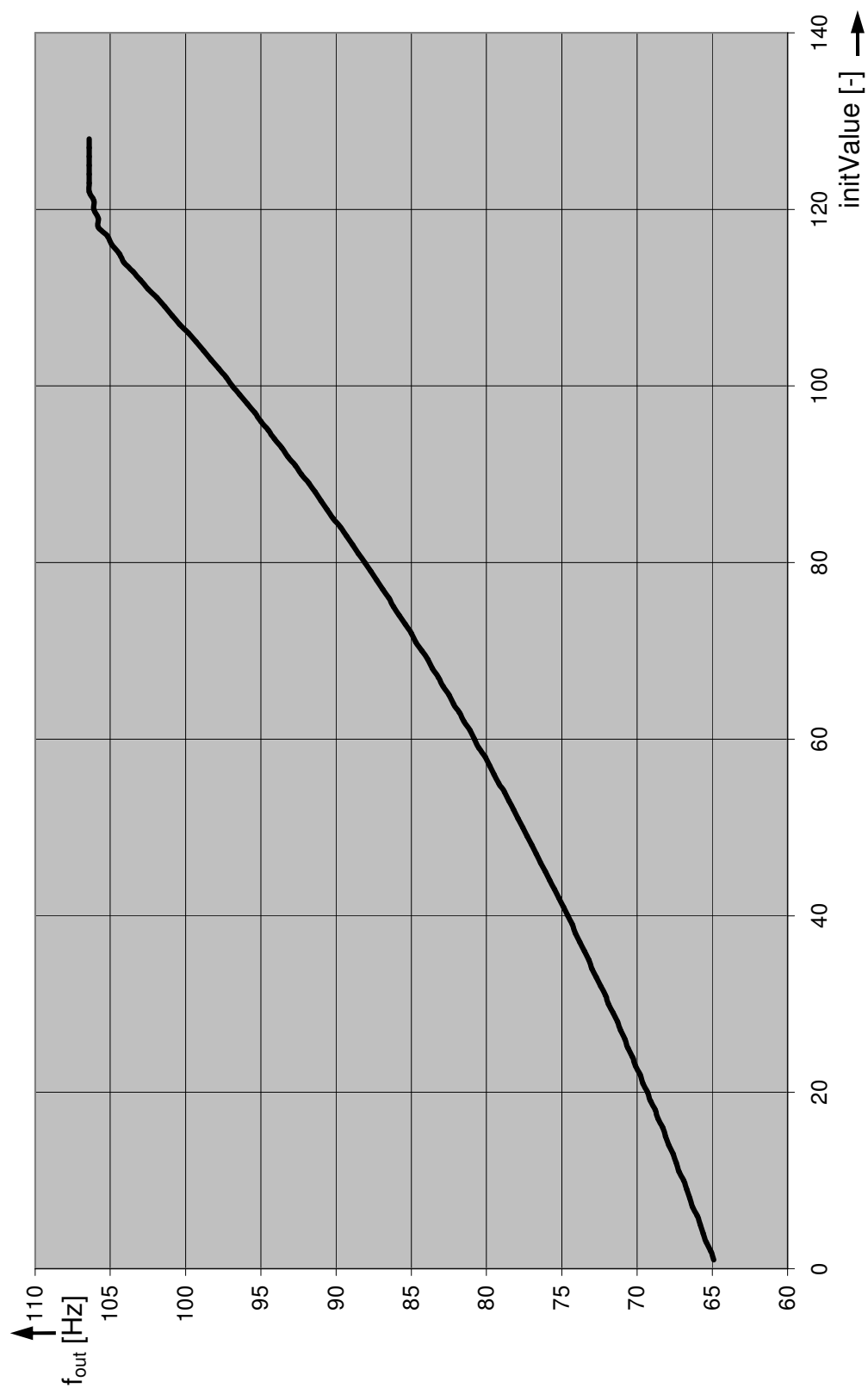
Průběh výstupního signálu: $f_{out} = 1$ kHz



Průběh výstupního signálu: $f_{out} = 10$ kHz



Průběh výstupního signálu: $f_{out} = 25,9$ kHz



Závislost frekvence výstupního signálu generátoru na velikosti počáteční hodnoty čítače v dekadickém tvaru při $inc = 1$