

**ZÁPADOČESKÁ UNIVERZITA V PLZNI
FAKULTA ELEKTROTECHNICKÁ**

KATEDRA ELEKTRONIKY A INFORMAČNÍCH TECHNOLOGIÍ

DISERTAČNÍ PRÁCE

Rychlé výběrové obvody pro časový detektor částic



**FAKULTA ELEKTROTECHNICKÁ
ZÁPADOČESKÉ UNIVERZITY
V PLZNI**

Disertační práce

k získání akademického titulu doktor v oboru

Elektronika

Ing. Jan Zich

Rychlé výběrové obvody pro časový detektor částic

Školitel: doc. Dr. Ing. Vjačeslav Georgiev

Abstrakt

Tato disertační práce se zabývá architekturou, funkcí a realizací rychlých výběrových obvodů pro časové detektory částic. Samotná částicová fyzika je velmi dynamicky se rozvíjející obor a mezi hlavní předměty jejího zkoumání patří povaha částic tvořících hmotu a radiaci. Práce si klade za cíl přinést komplexní přehled výběrových obvodů používaných v částicových detektorech a vytvořit zcela nový systém výběru událostí pro časový detektor v oblasti fyziky elastického či difrakčního rozptylu v rámci projektu ToF AFP. Podstatou kvalitativního zlepšení vybudovaného trigger systému je vysoká flexibilita rekonfigurace vyhodnocovacích funkcí, sofistikované řízení systému pro sběr dat z detekčního řetězce a také pokročilé možnosti monitorování a řízení samotného trigger modulu. Krom toho má nový trigger systém za úkol přinést kvantitativní zlepšení ve formě snížení latence nezbytné pro rozhodnutí o akceptování či blokování detekované události. Mezi vědecké metody použité pro dosažení vytyčených cílů patří především analýza požadovaných funkcí a parametrů systému následovaná syntézou architektury a obvodového zapojení. Po fázi návrhu a sestavení prototypu byly provedeny laboratorní experimenty, měření vybraných parametrů, a komparace výsledků. Ze zjištěných skutečností plyne, že byly všechny vytyčené cíle naplněny a zkonstruovaný trigger systém bude nasazen na urychlovači LHC v CERNu v rámci provozní periody Run 3.

Klíčová slova

AFP, ATLAS, CERN, částicová fyzika, Čerenkovův detektor, DAQ, dopředná fyzika, FPGA, nukleární instrumentace, Time-of-Flight, trigger, urychlovač částic, ultrarychlé zpracování signálu s nízkou spotřebou, výběrový obvod.

Abstract

This thesis is devoted to the architecture, function and realization of the fast selection circuits for timing particle detectors. The particle physics itself is a dynamically evolving branch of the physics and the main search subjects are the particles that constitute the matter and radiation. The work aims to provide a comprehensive overview of selection circuits used in particle detectors and to create a completely new event selection system for a time detector in the field of physics elastic or diffractive scattering for the ToF AFP project. The essence of the qualitative improvement of the built trigger system is the high flexibility of reconfiguration of signal processing functions, sophisticated control of the system for data collection from the detection chain and also advanced possibilities of monitoring and control of the trigger unit itself. In addition, the new trigger system aims to bring quantitative improvements in the form of reducing the latency necessary to decide whether to accept or block a detected event. The scientific methods used to achieve the set goals include, in particular, the analysis of the required functions and parameters of the system, followed by a synthesis of architecture and circuitry. After the design and assembly phase of the prototype the laboratory experiments, measurements of selected parameters and comparison of results were performed. The findings show that all set targets have been met and the constructed trigger system will be installed at the LHC accelerator at CERN within the Run 3 period.

Key words

AFP, ATLAS, CERN, Cherenkov detector, DAQ, forward physics, FPGA, nuclear instrumentation, particle accelerator, particle physics, selection circuit, ultrafast signal processing with low power, Time-of-Flight, trigger.

Prohlášení

Prohlašuji, že jsem tuto disertační práci vypracoval samostatně, s použitím odborné literatury a pramenů uvedených v seznamu, který je součástí této disertační práce.

Dále prohlašuji, že veškerý software, použitý při řešení této disertační práce, je legální.

V Plzni dne 29.4.2021

.....

Ing. Jan Zich

Poděkování

Tímto bych v první řadě velice rád poděkoval vedoucímu disertační práce doc. Dr. Ing. Vjačeslavu Georgievovi za praktické připomínky, cenné rady a metodické vedení práce.

Dále děkuji kolegům z projektu ToF AFP Mgr. Tomáši Sýkorovi, Ph.D. a RNDr. Karlu Černému, Ph.D. za přínosné konzultace v oblasti dopředné fyziky.

Obsah

OBSAH	7
SEZNAM SYMBOLŮ A ZKRATEK	11
SEZNAM OBRÁZKŮ	17
SEZNAM TABULEK	19
1 ÚVOD	20
2 PROJEKT ATLAS FORWARD PROTON	22
2.1 DOPŘEDNÁ FYZIKA	22
2.1.1 <i>Obecná charakteristika</i>	22
2.1.2 <i>LHC experimenty</i>	23
2.2 EVROPSKÁ ORGANIZACE PRO JADERNÝ VÝZKUM.....	23
2.3 PROJEKT AFP	25
2.4 DETEKTORY AFP.....	26
2.4.1 <i>SiT detekční systém</i>	27
2.4.2 <i>ToF detekční systém</i>	28
2.4.2.1 Čerenkovův detektor	28
2.4.2.2 Zpracování signálu detektoru ToF	30
3 TRIGGER SYSTÉMY V ČÁSTICOVÉ FYZICE	32
3.1 ČETNOST INTERAKCÍ NA URYCHLOVAČÍCH ČÁSTIC	32
3.2 AKVIZICE DAT	33
3.3 VÝZNAM A FUNKCE TRIGGER SYSTÉMŮ	34
3.4 KONCEPTY A PARAMETRY TRIGGER SYSTÉMŮ	35
3.4.1 <i>Druhy trigger systémů dle použití</i>	35
3.4.2 <i>Druhy trigger systémů dle topologie</i>	36
3.4.2.1 Periodický trigger systém.....	36
3.4.2.2 Základní reálný trigger systém.....	37
3.4.2.3 Trigger systém s busy logikou	38
3.4.3 <i>Mrtvý čas a účinnost</i>	39
3.4.3.1 Minimalizace mrtvého času	42
3.4.3.1.1 <i>Paralelismus</i>	42
3.4.3.1.2 <i>Pipeline zpracování</i>	42
3.4.3.2 <i>Derandomizace a teorie front</i>	42
3.4.3.3 <i>Kaskáda vyrovnávacích pamětí a filtrů</i>	44
3.4.3.4 <i>Škálovatelnost</i>	44
3.4.3.5 <i>Úrovně trigger systémů</i>	45
3.4.3.5.1 L1 trigger	46
3.4.3.5.2 HLT trigger	46
3.4.3.6 <i>Výběrové parametry událostí</i>	47
3.5 PŘÍKLADY MODERNÍCH TRIGGER SYSTÉMŮ.....	47
3.5.1.1 ATLAS detektor.....	48
3.5.1.2 CMS detektor	48
4 MOTIVACE, CÍLE A METODIKA	49
4.1 MOTIVACE.....	49
4.2 CÍLE.....	50
4.3 POŽADOVANÉ FUNKCE A PARAMETRY	50
4.4 METODIKA.....	51
5 ANALOGOVĚ DIGITÁLNÍ TRIGGER MODUL DETEKTORU TOF AFP	52
5.1 ZÁKLADNÍ DESKA ADTM.....	52
5.1.1 <i>Architektura, parametry a funkce</i>	52
5.1.2 <i>Řízení přes I2C sběrnici</i>	54
5.1.2.1 Úprava taktovacího signálu urychlovače	54
5.1.2.2 Teplotní senzory.....	54

5.1.2.3	Konfigurace MCC.....	54
5.1.3	Praktická realizace	55
5.2	VÍCEKANÁLOVÝ KOINCIDENČNÍ OBVOD	56
5.2.1	Architektura, parametry a funkce	56
5.2.2	Časování digitálních obvodů	58
5.2.3	Praktická realizace	59
5.3	KOMPLETNÍ ZAŘÍZENÍ.....	60
5.4	TESTY ADTM	62
5.4.1	Popis experimentu pro měření parametrů ADTM.....	62
5.4.2	Výsledky měření	64
5.4.2.1	Průběhy signálů na MCC	64
5.4.2.2	Prahové úrovně WCMP komparátorů	65
5.4.2.3	Účinnost ADTM a závislost na teplotě	65
5.4.2.4	Časový posun kanálů MCC.....	66
5.4.2.5	Příkon.....	67
5.4.2.6	Zhodnocení výsledků a funkčnosti.....	67
6	DIGITÁLNÍ TRIGGER MODUL DETEKTORU TOF AFP	69
6.1	ZÁKLADNÍ DESKA DTM	70
6.1.1	Architektura, parametry a funkce	71
6.1.2	Řízení přes I2C sběrnici.....	72
6.1.2.1	Úprava taktovacího signálu urychlovače pro kvalifikaci CFD signálů.....	72
6.1.2.2	Teplotní senzory.....	74
6.1.2.3	Konfigurace MCC.....	74
6.1.2.4	Firmware	74
6.1.3	Vícekanálový koincidenční obvod.....	75
6.1.3.1	Architektura, parametry a funkce.....	75
6.1.3.2	Časování digitálních obvodů.....	76
6.1.3.3	Firmware	76
6.1.4	Praktická realizace	78
6.1.5	Kompletní zařízení	79
6.1.6	Testování obvodů COTS.....	80
6.2	KODEK.....	81
6.2.1	Vývojový kit.....	82
6.2.1.1	Architektura, parametry a funkce.....	82
6.2.1.2	Praktická realizace	82
6.2.2	Vysílač.....	83
6.2.2.1	Architektura, parametry a funkce.....	83
6.2.2.2	Firmware	83
6.2.2.3	Praktická realizace	84
6.2.3	Přijímač	84
6.2.3.1	Architektura, parametry a funkce.....	84
6.2.3.2	Firmware	85
6.2.3.3	Praktická realizace	85
6.2.4	Testy.....	86
6.2.4.1	Popis experimentu.....	86
6.2.4.2	Výsledky měření	86
6.2.5	Zhodnocení výsledků a funkčnosti.....	87
6.2.6	Další vývoj	88
6.3	TESTER	89
6.3.1	Architektura, parametry a funkce	89
6.3.2	Firmware	90
6.3.2.1	Testování účinnosti	90
6.3.2.2	Testování kvalifikace	91
6.3.3	Praktická realizace	92
6.4	TESTY DTM	92
6.4.1	Popis experimentů.....	93
6.4.1.1	Laboratorní testy	93
6.4.1.2	Testy s detekčním řetězcem ToF.....	94
6.4.2	Výsledky měření	96

6.4.2.1	Průběhy signálů na MCC	96
6.4.2.2	Účinnost DTM a závislost na teplotě	97
6.4.2.2.1	Laboratorní testy	97
6.4.2.2.2	Testy s detekčním řetězcem ToF	98
6.4.2.3	Kvalifikace vstupních signálů pro MCC	100
6.4.2.4	Časový posun kanálů MCC	101
6.4.2.5	Jitter	101
6.4.2.6	Příkon	102
6.4.2.7	Zhodnocení výsledků a funkčnosti	103
7	ZÁVĚR	105
7.1	SHRNUTÍ VÝSLEDKŮ PRO ADTM	105
7.2	SHRNUTÍ VÝSLEDKŮ PRO DTM	106
7.3	PŘÍNOS PRO VĚDU A PRAXI	107
7.4	POUŽITÍ TM A PLÁNOVANÉ ÚPRAVY	107
	POUŽITÁ LITERATURA	108
	SEZNAM PUBLIKACÍ VZTAHUJÍCÍCH SE K DISERTAČNÍ PRÁCI	111
	SEZNAM OSTATNÍCH PUBLIKACÍ	113
	FUNKČNÍ VZORKY	113
	UŽITNÉ VZORY	113
	VÝČET PEDAGOGICKÉ A VĚDECKÉ ČINNOSTI AUTORA	114
	VÝČET ODBORNÉ NEPEDAGOGICKÉ ČINNOSTI AUTORA	115
	ÚČAST NA SOUTĚŽÍCH A OCENĚNÍ AUTORA	115
	PŘÍLOHY	1
	PŘÍLOHA A – ATM – ZÁKLADNÍ DESKA – HIERARCHICKÁ STRUKTURA	1
	PŘÍLOHA B – ATM – ZÁKLADNÍ DESKA – ÚPRAVA SYNCHRONIZAČNÍHO SIGNÁLU URYCHLOVAČE	2
	PŘÍLOHA C – ATM – ZÁKLADNÍ DESKA – I2C OBVODY (TEPLOMĚRY, DAC, GPIO)	3
	PŘÍLOHA D – ATM – ZÁKLADNÍ DESKA – LOGIKA PRO DAQ A BUDIČE KOAXIÁLNÍHO KABELU	4
	PŘÍLOHA E – ATM – ZÁKLADNÍ DESKA – NAPÁJECÍ ZDROJE	5
	PŘÍLOHA F – ATM – ZÁKLADNÍ DESKA – TERMOSTAT	6
	PŘÍLOHA G – ATM – TRIGGER TRAIN – VSTUPNÍ ČÁST A VYHODNOCENÍ MAJORITY	7
	PŘÍLOHA H – ATM – TRIGGER TRAIN – VÝSTUPNÍ ZACHYCOVACÍ OBVODY	8
	PŘÍLOHA CH – KODEK – VÝVOJOVÝ KIT – FPGA, KONEKTORY, USB/UART PŘEVODNÍK	9
	PŘÍLOHA I – KODEK – VÝVOJOVÝ KIT – PODPŮRNÉ OBVODY (NAPÁJENÍ, LED, TLAČÍTKA)	10
	PŘÍLOHA J – KODEK – VÝVOJOVÝ KIT – TERMINACE	11
	PŘÍLOHA K – KODEK – VYSÍLAČ	12
	PŘÍLOHA L – KODEK – PŘIJÍMAČ	13
	PŘÍLOHA M – TESTER – DUT	14
	PŘÍLOHA N – TESTER – TESTOVACÍ FPGA – PRVNÍ ČÁST	15
	PŘÍLOHA O – TESTER – TESTOVACÍ FPGA – DRUHÁ ČÁST	16
	PŘÍLOHA P – TESTER – NAPÁJENÍ – REGULÁTORY	17
	PŘÍLOHA Q – TESTER – NAPÁJENÍ – DUT	18
	PŘÍLOHA R – TESTER – NAPÁJENÍ – TESTOVACÍ FPGA	19
	PŘÍLOHA S – DTM – HIERARCHICKÁ STRUKTURA	20
	PŘÍLOHA T – DTM – KABELOVÝ BUDIČ	21
	PŘÍLOHA U – DTM – TERMOSTAT	22
	PŘÍLOHA V – DTM – ÚPRAVA SYNCHRONIZAČNÍHO SIGNÁLU URYCHLOVAČE	23
	PŘÍLOHA W – DTM – ŘÍDICÍ FPGA	24
	PŘÍLOHA X – DTM – NAPÁJECÍ ZDROJE	25
	PŘÍLOHA Y – DTM – TEPLOTNÍ ČIDLA	26
	PŘÍLOHA Z – DTM – TRIGGER TRAIN 1	27
	PŘÍLOHA AA – DTM – TRIGGER TRAIN 2	28
	PŘÍLOHA AB – DTM – TRIGGER TRAIN 3	29
	PŘÍLOHA AC – DTM – TRIGGER TRAIN 4	30
	PŘÍLOHA AD – COTS – VÝSLEDKY TESTŮ, MCP9903T	31

PŘÍLOHA AE – COTS – VÝSLEDKY TESTŮ, 1N914BWT	32
PŘÍLOHA AF – COTS – VÝSLEDKY TESTŮ, BAT54SLT1G	33
PŘÍLOHA AG – COTS – VÝSLEDKY TESTŮ, SK34AR3G	34
PŘÍLOHA AH – COTS – VÝSLEDKY TESTŮ, KDZVTR4.7B	35
PŘÍLOHA ACH – COTS – VÝSLEDKY TESTŮ, TLV2462A	36
PŘÍLOHA AI – COTS – VÝSLEDKY TESTŮ, IRLML6346	37
PŘÍLOHA AJ – COTS – VÝSLEDKY TESTŮ, NSVF6003SB6	38
PŘÍLOHA AK – COTS – VÝSLEDKY TESTŮ, BC857BLT	39

Seznam symbolů a zkratek

Symbols

A_{OL} [-]	zisk v otevřené smyčce
c [m/s]	rychlost světla ve vakuu
e [-]	elektron
E_{MIN} [J]	minimální kinetická energie částice
f_{BC} [Hz]	bunch-crossing frekvence
f_{ER} [Hz]	průměrná četnost událostí ve fyzikálním experimentu
f_O [Hz]	mezní výkonový kmitočet
f_{SAMPLE} [Hz]	vzorkovací kmitočet
f_{TX} [Hz]	vysílací kmitočet
h_{FE} [-]	proudové zesílení
I_C [A]	proud elektrodou Collector
I_D [A]	proud elektrodou Drain
I_{GSS} [A]	Svodový proud mezi elektrodami Gate-Source
I_F [A]	proud diodou v propustném směru
I_{IB} [A]	vstupní klidový proud
I_{IO} [A]	vstupní proudová nesymetrie
L [cm-2s-1]	luminosita
m_0 [kg]	klidová hmotnost částice
n [-]	index lomu
N_{BIT} [-]	počet bitů
N_{CREAT} [-]	počet vytvořených událostí
N_{REC} [-]	počet přijatých událostí
N_{SAMPLE} [-]	počet vzorků
N_{SAVED} [-]	počet uložených událostí
N_{TOTAL} [-]	celkový počet událostí
p [-]	proton
P_D [W]	výkonová ztráta
P_{MAX} [W]	mezní výkonová ztráta
$P(\text{busy})$ [-]	pravděpodobnost obsazenosti DAQ systému
$P(\text{ready})$ [-]	pravděpodobnost připravenosti DAQ systému
R [Hz]	četnost událostí
R_{DS_ON} [Ω]	odpor vodivého kanálu
SR [V/ μ s]	rychlost přeběhu
t [s]	čas
t_{AND} [s]	zpoždění mezi vstupem a výstupem AND hradla
t_{AND-OR} [s]	zpoždění mezi výstupem AND hradla a vstupem OR hradla
t_{BC} [s]	bunch-crossing perioda
t_{BIT} [s]	délka bitu
T_{BOX} [$^{\circ}$ C]	teplota v NIM boxu
T_{CHIP} [$^{\circ}$ C]	teplota na čipu teplotního senzoru
T_{EXT} [$^{\circ}$ C]	teplota měřená pomocí externího PNP tranzistoru
t_{BP} [s]	by-pass zpoždění TR-TR IN signálů na DPS
t_{BUFF} [s]	zpoždění mezi vstupem a výstupem opakovače signálu

$t_{\text{BUFF-FPGA}}$ [s]	zpoždění mezi výstupem opakovače a vstupem FPGA
t_{DQ} [s]	zpoždění mezi D vstupem a Q výstup D KO
$t_{\text{D-RCMP}}$ [s]	zpoždění mezi Q výstupem D KO a vstupem W komparátoru
$t_{\text{D-WCMP}}$ [s]	zpoždění mezi Q výstupem a D KO a vstupem W komparátoru
t_{FPGA} [s]	zpoždění mezi vstupem a výstupem FPGA
T_{FPGA} [°C]	teplota obvodu FPGA
$t_{\text{FPGA-WF}}$ [s]	zpoždění mezi výstupem FPGA a vstupem W rozbočovače
t_{FRAME} [s]	délka časového rámce
$t_{\text{MAX-IN}}$ [s]	maximální šířka vstupního pulzu
$t_{\text{MAX-OUT}}$ [s]	maximální šířka výstupního pulzu
$t_{\text{MEAN-IN}}$ [s]	střední šířka vstupního pulzu
$t_{\text{MEAN-OUT}}$ [s]	střední šířka výstupního pulzu
$t_{\text{MIN-IN}}$ [s]	minimální šířka vstupního pulzu
$t_{\text{MIN-OUT}}$ [s]	minimální šířka výstupního pulzu
t_{OR} [s]	zpoždění mezi vstupem a výstupem OR hradla
$t_{\text{OR-AND}}$ [s]	zpoždění mezi výstupem OR hradla a vstupem AND hradla
$t_{\text{PD-1/4, 2/4, 3/4, 4/4}}$ [s]	zpoždění pulzu pro konfigurace 1/4, 2/4, 3/4 a 4/4
$t_{\text{PD-SET}}$ [s]	nastavené zpoždění pulzu
$t_{\text{PW-SET}}$ [s]	nastavená šířka pulzu
$t_{\text{PW-1/4, 2/4, 3/4, 4/4}}$ [s]	šířka pulzu pro konfigurace 1/4, 2/4, 3/4 a 4/4
t_{RCMP} [s]	zpoždění mezi vstupem a výstupem R komparátoru
$t_{\text{RCMP-RF}}$ [s]	zpoždění mezi výstupem R komparátoru a vstupem R rozbočovače.
t_{RF} [s]	zpoždění mezi vstupem a výstupem R rozbočovače
$t_{\text{RF-D}}$ [s]	zpoždění mezi výstupem R rozbočovače a R vstupem D KO
t_{RR} [s]	čas zotavení u diody
t_{RQ} [s]	zpoždění mezi R vstupem a Q výstupem D KO
t_{TXC} [s]	perioda vysílacího kmitočtu
t_{WCMP} [s]	zpoždění mezi vstupem a výstupem W komparátoru
$t_{\text{WCMP-WF}}$ [s]	zpoždění mezi výstupem W komparátoru a vstupem W rozbočovače
t_{WF} [s]	zpoždění mezi vstupem a výstupem W rozbočovače
$t_{\text{WF-L}}$ [s]	zpoždění mezi výstupem W rozbočovače a vstupem OR hradla
v [m/s]	rychlost částice
V_{CC} [V]	záporné napájecí napětí
V_{CE} [V]	napětí mezi elektrodami Collector-Emitter
V_{CMP} [V]	prahové napětí komparátoru CMP
V_{DD} [V]	kladné napájecí napětí
V_{DS} [V]	napětí mezi elektrodami Drain-Source
V_{F} [V]	napětí na diodě v propustném směru
$V_{\text{GS_MAX}}$ [V]	maximální napětí mezi elektrodami Gate-Source
$V_{\text{GS_TH}}$ [V]	prahové napětí mezi elektrodami Gate-Source
V_{IO} [V]	vstupní napěťová nesymetrie
$V_{\text{MCC, 32 °C}}$ [V]	prahové napětí MCC pro teplotu 32 °C
$V_{\text{MCC, 67 °C}}$ [V]	prahové napětí MCC pro teplotu 67 °C
$V_{\text{MCC1/2/3/4}}$ [V]	prahové napětí pro MCC 1, 2, 3 a 4
V_{R} [V]	napětí na diodě v závěrném směru
V_{Z} [V]	napětí na Zenerově diodě

Z_{OUT} [Ω]	výstupní impedance
β [-]	činitel zkrácení
μ [-]	mion
μ_{PP} [-]	průměrný počet pp interakcí
γ [-]	gama
η_{DAQ} [%]	účinnost DAQ
η_{DET} [%]	účinnost detektoru
η_{GEOM} [%]	účinnost geometrie
$\eta_{\text{MCC, 150 mV}}$ [%]	účinnost MCC pro 150 mV prahové napětí v CFD
$\eta_{\text{MCC, 300 mV}}$ [%]	účinnost MCC pro 300 mV prahové napětí v CFD
$\eta_{\text{MCC1/2/3/4}}$ [%]	účinnost MCC 1, 2, 3 a 4
$\eta_{\text{Q-CH1/2/3/4}}$ [%]	účinnost kvalifikace vstupních signálů
η_{TOT} [%]	celková účinnost systému
η_{TRIG} [%]	účinnost triggeru
ϑ [$^\circ$]	úhel mezi směrem vyzařování a dráhou částice
λ [s]	průměrná doba mezi událostmi ve fyzikálním experimentu
ν [Hz]	průměrná četnost událostí z DAQ
ρ [-]	intenzita provozu
σ_{IN} [mm ²]	účinný průřez
τ [s]	mrtvý čas

Zkratky

ADC	analogově/digitální převodník
ADTM	analogově digitální trigger modul
AFP	ATLAS Forward Proton
ALICE	A Large Ion Collider Experiment
APB	Advanced Peripheral Bus
ATLAS	A Toroidal LHC Apparatus
BC	bunch-crossing
CD	centrální difrakce
CERN	Evropská organizace pro jaderný výzkum
CFD	constant fraction discriminator
CLK	hodinový signál
CML	current-mode logic
CMOS	complementary metal-oxide-semiconductor
CMP	komparátor
CMS	Compact Muon Solenoid
COTS	commercial off-the-shelf
CPLD	complex programmable array logic
CSV	comma-separated value
CTPIN	central trigger processor input module
CTRL	control
DAC	digitálně/analogový převodník
DAQ	system pro sběr dat
DC	stejnoseměrný proud/napětí
DCS	Detector Control System
DESY	Deutsches Elektronen-Synchrotron
DIFF	diferenciální
DPS	deska plošných spojů
DSP	digital signal processor
DTM	digitální trigger modul
DUT	device under test
ECL	emitter-coupled logic
EEPROM	electrically erasable programmable read-only memory
ESA	European Space Agency
FE	front-end
FIFO	paměť typu fronta
FPGA	field-programmable gate array
GPIO	univerzální vstupní/výstupní piny
HLT	high-level trigger
HPTDC	High-Performance Time-To-Digital Converter
HSIO	High-Speed I/O
HW	hardware
I/O	vstup/výstup
I2C	Inter-Integrated Circuits
IO	integrováný obvod
IP	interakční bod
IT	informační technika
KO	klopný obvod

L1/L2/L3	úrovně L1, L2 a L3
LDO	low-dropout regulator
LED	light-emitting Diode
LEIR	Low Energy Ion Ring
LEP	Large Electron-Positron Collider
LHC	velký hadronový urychlovač
LHCb	LHC beauty
LHCf	LHC forward
LINAC 2	Linear Accelerator 2
LINAC 3	Linear Accelerator 3
LQ	L profil, quartz
LTB	Local Trigger Board
LUT	lookup table
LVC MOS	low-voltage complementary metal oxide semiconductor
LVDS	low-voltage differential signaling
LVPECL	low-voltage emitter-coupled logic
LVTTL	low-voltage transistor-transistor logic
MCC	vícekanálový koincidenční obvod
MCP-PMT	mikrokanálový deskový fotonásobič
MCU	mikrokontrolér
MKO	monostabilní klopný obvod
MoEDAL	Monopole and Exotics Detector at the LHC
MUX	multiplexor
NASA	National Aeronautics and Space Administration
NF	nízkofrekvenční
NIM	Nuclear Instrumentation Module
OB	OptoBoard
OLC	výstupní zachycovací obvod
PAa	předzesilovač a
PAb	předzesilovač b
PAc	předzesilovač c
PAL	programmable array logic
PC	osobní počítač
PMT	fotonásobič
pp	proton-proton
PS	Proton Synchrotron
PSB	Proton Synchrotron Booster
QCD	kvantová chromodynamika
QDC	nábojově/digitální převodník
RAM	random access memory
RCE	Reconfigurable Cluster Element
RCMP	resetovací komparátor
RMS	root mean square
ROS	ATLAS ReadOut System
RP	římský hrnec
RST	reset
RX	přijímač
SCL	sériový hodinový signál
SDA	sériový datový signál

SE	signalizace se společnou zemí
SEU	single event upset
SiT	Silicon Tracker
SoC	system on a chip
SPS	Super Proton Synchrotron
SW	software
TDC	time-to-digital converter
TM	trigger modul
TMU	Time-Measurement Unit
ToF	Time-of-Flight
ToT	timer over threshold
TOTEM	Total Elastic and Diffractive Cross Section Measurement
TTC	Timing and Trigger Control
TX	vysílač
UART	universal asynchronous receiver-transmitter
USB	universal serial bus
WCMP	okénkový komparátor
WWW	World Wide Web

Seznam obrázků

Obr. 1 Komplex urychlovačů CERN [1]	24
Obr. 2 Znázornění pozice detektorů projektu AFP vůči interakčnímu bodu ATLAS [10]	26
Obr. 3 SiT a ToF detektory přichycené k přírubě římského hrnce – konfigurace pro Far RP na Obr. 2 [12]	26
Obr. 4 SiT detektor a řetězec pro zpracování signálu	27
Obr. 5 Řez kuželem tvořeným společnou obálkou kulových vlnoploch [14]	29
Obr. 6 LQ tyčinky prolétávané protony [11]	29
Obr. 7 ToF detektor a řetězec pro zpracování signálu	30
Obr. 8 Spouštění na prahovou úroveň (vlevo) a na konstantní zlomek z velikosti amplitudy (vpravo) [16]	30
Obr. 9 Obecná architektura DAQ systému [19].....	34
Obr. 10 Cesty pro zpracování dat z částicových detektorů.....	35
Obr. 11 Periodický trigger systém.....	36
Obr. 12 Reálný trigger systém	37
Obr. 13 Základní princip generování trigger signálu.....	37
Obr. 14 Trigger systém s busy logikou	38
Obr. 15 Četnost událostí z DAQ v závislosti na četnosti událostí experimentu [20].....	40
Obr. 16 Účinnost DAQ systému v závislosti na četnosti událostí experimentu [20].....	41
Obr. 17 Pipeline struktura v trigger systémech	42
Obr. 18 Účinnost zpracování událostí v závislosti na intenzitě provozu [20]	43
Obr. 19 Trigger systém s busy logikou a derandomizací.....	43
Obr. 20 Obecná architektura škálovatelného DAQ systému	45
Obr. 21 Schéma víceúrovňového trigger systému [18].....	45
Obr. 22 Architektura základní desky ADTM.....	52
Obr. 23 Skladba DPS pro základní desku ADTM – 4 vrstvy [26]	55
Obr. 24 DPS základní desky ADTM	55
Obr. 25 Architektura modulu MCC ADTM	56
Obr. 26 Časový diagram signálů ve MCC ADTM.....	59
Obr. 27 Skladba DPS pro modul MCC ADTM – 6 vrstev [26].....	59
Obr. 28 DPS modulu MCC ADTM – pohled shora a zdola.....	60
Obr. 29 Přední panel ADTM	60
Obr. 30 Pohled do NIM ADTM osazeného základní deskou a moduly MCC	61
Obr. 31 Zapojení experimentu pro měření parametrů ADTM.....	62
Obr. 32 Přední (vlevo) a zadní (vpravo) panely TMU THS788.....	63
Obr. 33 Program pro sběr dat s TMU THS788	63
Obr. 34 Měřicí pracoviště pro měření parametrů ADTM.....	64
Obr. 35 Průběh signálů na jednom MCC ADTM pro konfiguraci train signálů 1/4	64
Obr. 36 Histogram period hodinového signálu zpracovávaného MCC 1 v ADTM 1	66
Obr. 37 Architektura základní desky DTM	71
Obr. 38 Šířka pulzu kvalifikačního signálu v závislosti na nastavené hodnotě pro teplotu 44,5 °C.....	73
Obr. 39 Zpoždění pulzu kvalifikačního signálu v závislosti na nastavené hodnotě pro teplotu 44,5 °C.....	73
Obr. 40 Firmware řídicího FPGA v DTM	74
Obr. 41 Architektura MCC DTM.....	75
Obr. 42 Časový diagram signálů ve MCC DTM	76
Obr. 43 Firmware ve MCC FPGA v DTM.....	77
Obr. 44 DPS základní desky DTM.....	78
Obr. 45 Přední panel DTM.....	79
Obr. 46 Pohled do NIM DTM modulu osazeného základnou deskou	79
Obr. 47 Architektura kodeku včetně přenosové trasy	81
Obr. 48 DPS vývojového kitu.....	82
Obr. 49 Firmware kodéru.....	83
Obr. 50 DPS kabelového budiče.....	84
Obr. 51 Firmware dekodéru	85
Obr. 52 DPS regenerátoru signálu.....	85
Obr. 53 Průběh signálu na 50 Ω terminačním odporu, vzor 10101, rychlost vysílání 250 MHz	86
Obr. 54 Průběh signálu na 50 Ω terminačním odporu, vzor 10101, rychlost vysílání 400 MHz	87
Obr. 55 Připojení dekodéru k DCS, CTPIN a TTC.....	88
Obr. 56 Architektura testeru.....	89
Obr. 57 Firmware testeru pro test účinnosti DTM	90

<i>Obr. 58 Firmware testeru pro test kvalifikace DTM.....</i>	<i>91</i>
<i>Obr. 59 DPS testeru.....</i>	<i>92</i>
<i>Obr. 60 Zapojení experimentu pro měření parametrů DTM v laboratoři FEL ZČU v Plzni.....</i>	<i>93</i>
<i>Obr. 61 Měřicí pracoviště pro měření parametrů DTM v laboratoři.....</i>	<i>94</i>
<i>Obr. 62 Zapojení experimentu pro měření parametrů DTM na urychlovači v DESY.....</i>	<i>95</i>
<i>Obr. 63 Měřicí pracoviště pro měření parametrů DTM na urychlovači v DESY.....</i>	<i>95</i>
<i>Obr. 64 Průběh signálů na výstupních zachycovacích obvodech MCC, vstupy AND hradla</i>	<i>96</i>
<i>Obr. 65 Průběh signálů na výstupu testeru a na vstupu AND hradla.....</i>	<i>96</i>
<i>Obr. 66 Průběh signálů na vstupu a výstupu AND hradla.....</i>	<i>97</i>
<i>Obr. 67 Výstupní pulzy Z DTM, TRAIN2</i>	<i>99</i>
<i>Obr. 68 Trigger signál pro DAQ, start bit a aktivita na TRAIN2</i>	<i>100</i>

Seznam tabulek

<i>Tab. 1 Vybrané urychlovače a jejich parametry pro výpočet četnosti interakcí [18]</i>	32
<i>Tab. 2 Četnost výskytu vybraných bosonů a kvarků na LHC [18]</i>	33
<i>Tab. 3 Vybrané urychlovače a parametry jejich trigger systémů [22]</i>	47
<i>Tab. 4 Konektory a signalizační standardy ADTM</i>	54
<i>Tab. 5 Zpoždění komponentu a motivů DPS u MCC ADTM</i>	58
<i>Tab. 6 Měrné zpoždění šíření signálu pro použitou 6V skladbu DPS</i>	59
<i>Tab. 7 Prahové úrovně WCMP a CMP komparátorů pro ADTM 1 a 2</i>	65
<i>Tab. 8 Prahová napětí MCC modulu 4 pro ADTM 1 při dvou různých teplotách</i>	65
<i>Tab. 9 Účinnost ADTM 1 při dvou různých teplotách</i>	66
<i>Tab. 10 Proudový odběr na napájecích větvích ADTM</i>	67
<i>Tab. 11 Konektory a signalizační standardy DTM</i>	72
<i>Tab. 12 Zpoždění komponent a motivů DPS u MCC DTM</i>	76
<i>Tab. 13 Počty vzorků datových rámců a jednotlivých bitů v dekodéru v závislosti na frekvenci vysílače</i>	88
<i>Tab. 14 Měření vlivu teploty na FPGA použitého ve MCC DTM</i>	98
<i>Tab. 15 Účinnost DTM v detekčním řetězci ToF, TRAIN2</i>	98
<i>Tab. 16 Účinnost kvalifikace vstupních signálů, TRAIN3, $t_{PD-SET} = 220$ ps</i>	100
<i>Tab. 17 Šířky pulzů před a po průchodu DTM</i>	101
<i>Tab. 18 Rozdíly mezi šířkami pulzů před a po průchodu DTM</i>	102
<i>Tab. 19 Proudový odběr na napájecích větvích DTM</i>	102

1 Úvod

Obor částicové fyziky (také známé jako fyzika vysokých energií) se zabývá studiem povahy částic, které tvoří hmotu a radiaci. Samotným pojmem *částice* se přitom v tomto kontextu rozumí neredukovatelně malé, avšak stále detekovatelné částice a jejich fundamentální interakce. V současné době jsou tyto elementární částice považovány za excitace kvantových polí, která také řídí jejich interakce. Dominantní teorií, která popisuje tyto elementární částice a interakce (silná, slabá, elektromagnetická) je tzv. standardní model. Moderní částicová fyzika pak většinou pracuje právě se standardním modelem a různými možnostmi jeho experimentálního potvrzení, vyvrácení či rozšíření, jako je například objev částice Higgsův boson v roce 2013.

Moderní vysokoenergetické urychlovače částic typu velký hadronový urychlovač (LHC) či Tevatron mají za cíl prozkoumávat právě oblasti ležící za hranicí standardního modelu. Jeden ze směrů experimentálního výzkumu se zabývá srážkami typu proton-proton, při kterých sražené protony zůstávají po interakci intaktní. Tyto reakce se díky excitaci protonů do hadronického systému označují často jako hadronická difrakce. Samotná difrakce se během experimentů projevuje tak, že jsou všechny hadrony produkovány pod malým úhlem blízko původního směru letu protonu. Na základě tohoto jevu vznikl samotný termín *dopředná fyzika*.

Jedním z projektů, které se zaměřují právě na oblast dopředné fyziky, je projekt ATLAS Forward Proton (AFP) na víceúčelovém detektoru ATLAS v Evropské organizaci pro jaderný výzkum (CERN). Detekční systém Time-of-Flight (ToF) používaný v projektu AFP je detailněji popsán v kapitole 2.4.

Pro samotný fyzikální experiment existuje jenom omezené množství relevantních událostí produkovaných detektorem, jelikož je projekt AFP zaměřený primárně na identifikaci událostí, při kterých dochází k difrakčnímu či elektromagnetickému rozptylu protonů s velmi malými úhly odklonu od osy urychlovače. Digitalizace a následné ukládání všech analogových signálů splňujících pouze podmínku prahové úrovně (minimální úroveň energie částice) by vedly k nadměrným datovým tokům do systému pro sběr dat (DAQ), vysokým nárokům na úložný prostor a výpočetní výkon při následné analýze. Z těchto důvodů vyvstal požadavek na návrh a konstrukci rychlých výběrových obvodů (respektive trigger modulu – TM), které budou sloužit jakožto součást řetězce pro zpracování signálu z Čerenkovova detektoru a k redukci datového toku na základě aktuálně nastavených podmínek pro požadovanou koincidence digitalizovaných signálů.

Hlavním cílem této disertační práce je vývoj rychlých výběrových obvodů pro časový detektor ToF AFP. Mezi dílčí cíle se pak řadí vývoj systému pro selekci vzácných událostí

ze skupiny centrální difrakce, snížení počtu událostí zpracovávaných detekčním řetězcem ToF, zkrácení latence při formování signálů pro řízení sběru dat, identifikace aktivních částí detektoru pro danou událost (směr letu protonu) a tvorba flexibilní TM s možností rekonfigurace vyhodnocovací logiky.

Disertační práce využívá ve své praktické části kombinaci empirických a obecně teoretických vědeckých metod, a to zejména analýzu, syntézu, experimenty, měření a komparaci.

Práce je členěna na 7 samostatných kapitol. Po úvodu následuje představení projektu AFP z hlediska fyzikálního zaměření, koncepce a současného technického řešení. Kapitola 3 se zaměřuje na popisy struktury, funkce a parametrů trigger systémů v částicové fyzice. V další kapitole je nastíněna motivace vedoucí právě k volbě tématu rychlých výběrových obvodů pro časový detektor částic a jsou zde také uvedeny hlavní cíle práce společně s použitými metodami. Kapitola 5 představuje první generaci TM ve formě analogově digitálního trigger modulu. Následující kapitola se zaměřuje na druhou (plně digitální) generaci TM včetně vývoje a použití dedikovaného testovacího zařízení. Hlavní dosažené výsledky jsou včetně přínosů pro vědu a praxi sumarizovány v závěru disertační práce.

2 Projekt ATLAS Forward Proton

Pro uvedení fyzikálního kontextu, ve kterém se předkládaná práce pohybuje, popisuje kapitola 2.1 základní informace o dopředné fyzice a jejím výzkumu na urychlovači LHC.

Jelikož se projekt AFP řadí mezi značné množství fyzikálních experimentů realizovaných v CERNu, popisuje kapitola 2.2 stručně tuto organizaci společně s rozložením a skladbou komplexu urychlovačů. Bližším ukotvením v rámci detektoru ATLAS, fyzikálním významem projektu a použitými detekčními systémy se zabývají kapitoly 2.3 a 2.4.

2.1 Dopředná fyzika

2.1.1 Obecná charakteristika

Hlavní cíl vysokoenergetických experimentů na hadronových urychlovačích typu Tevatron či LHC leží za hranicí standardního modelu fyziky slabých interakcí. Pro vytvoření těžkých částic srážejí experimentátoři protony a vybírají tvrdé srážky, které jsou doprovázeny rozptyle jednotlivých kvarků a gluonů pod velkými úhly. V těchto rozptylech jsou protony plně rozpadnuty a klidová hmotnost zbytků jednotlivých protonů je velmi vysoká.

Existuje ovšem také další třída vysokoenergetických hadronických procesů, které jsou značně odlišné od tvrdých srážek. U tohoto typu reakcí je hlavní fakt to, že původně sražené protony zůstávající po interakci intaktní (či téměř intaktní). To v praxi znamená, že jsou tyto protony excitovány do hadronického systému se spíše menší klidovou hmotností, která je podstatně menší než energie srážky. Tyto reakce jsou často označovány jako polo-tvrdé (semihard) či jako difrakční procesy, případně také jako hadronická difrakce. Při experimentech se difrakce projevuje tak, že jsou všechny hadrony produkované pod malým úhlem blízko původního směru letu protonu.

Difrakční procesy mají velkou vypovídací hodnotu ve vztahu ke komplikované struktuře hadronů, které jsou jedním z hlavních předmětů výzkumu moderní fyziky. Pro teoretické fyziky je tato problematika velmi zajímavá, neboť zde dochází k situacím, kdy velká část teoretických konceptů umožňuje dobře zachytit a popsat část reality. Tyto koncepty sahají od teorie pole dle Tullia Regge přes rigorózní kvantovou chromodynamiku (QCD) až po Maldacenuv dualitu [1], [2]. Vzniká tedy ideální prostor pro modely a metody, jejichž cílem je interpolace mezi měkkými a tvrdými režimy silných interakcí [3].

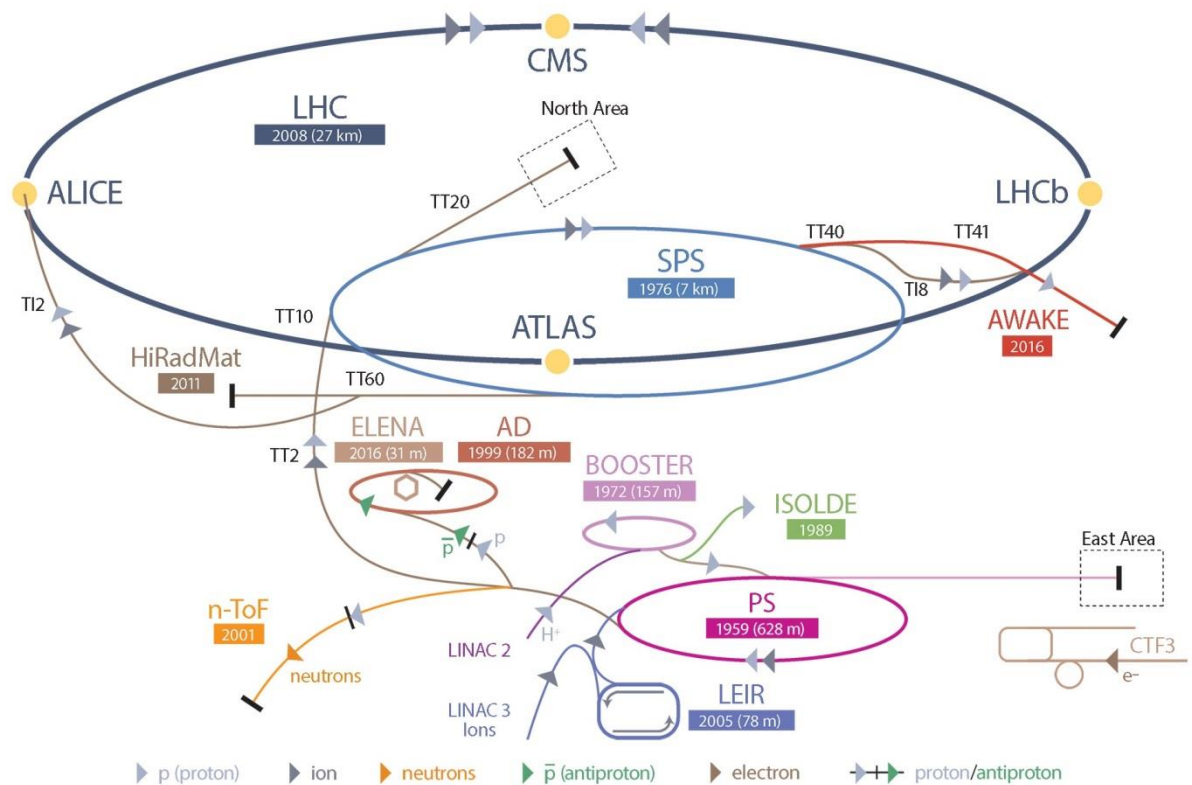
Historie této oblasti fyziky je velmi bohatá a rozšiřována je i nyní s tím, jak jsou publikovány výsledky jednotlivých experimentů na LHC zaměřujících se na difrakční procesy.

2.1.2 LHC experimenty

Přibližně ve třetině kolizí typu proton-proton na LHC v CERNu alespoň jeden proton ze srážky uniká a je vychýlen pod velmi malým úhlem. Detekce takovýchto dopředných protonů umožňuje nejen detailnější charakterizaci události, ale rozšiřuje také fyzikální program urychlovače LHC. Nejčastěji jsou události s unikajícím protonem (respektive protony) spojeny s malým přenosem hybnosti mezi interagujícími protony (například elastický nebo difrakční rozptyl). To odpovídá neperturbativnímu režimu QCD, kde je obtížné stanovit teoretické předpoklady, které navíc v této oblasti z velké části zcela chybí. Prováděné experimenty se tedy skládají ze vzrušující výzkumné práce. Navíc se počítá s tím, že objekty vyměňované mezi protony jsou bohaté na gluony a poskytují zajímavou příležitost k výzkumu tzv. *glueballs*, tedy kompozitních částic sestavených z gluonů bez valenčních kvarků tak, jak je predikováno mřížkovou teorií QCD. Intaktní protony mohou unikat také z interakcí s velkým přenosem hybnosti. V takovýchto případech mohou být pozorovány centrálně produkováné stavy s hmotnostmi na TeV škále, přičemž tyto události jsou pak zajímavé pro výzkum jevů mimo standardní model částic. Měření dopředných protonů může být v těchto případech klíčové. V exkluzivních procesech může přinést kinematická korelace mezi dopřednými protony a centrálním systémem velmi silné potlačení pozadí a umožnit tak přesná měření. Obdobně může dojít také k identifikaci jinak doposud nepozorovatelných produktů srážek, jako jsou například částice temné hmoty. Na LHC je hned několik experimentů vybavených detektory dopředných protonů. Mezi ně patří detektory ATLAS a kombinace CMS s detektorem TOTEM. Z hlediska konstrukce mají tyto systémy podobné možnosti [4].

2.2 Evropská organizace pro jaderný výzkum

Mezinárodní organizace CERN se sídlem v Ženevě vznikla v roce 1954. Jejím cílem je spolupráce především evropských států v oblasti základního a přidruženého výzkumu orientovaného na částicovou fyziku. Za tímto účelem bylo vybudováno na území švýcarsko-francouzské hranice množství částicových lineárních a kruhových urychlovačů pro zkoumání fyziky vysokých energií. Krom vynikajících výsledků na poli fyziky je Evropská organizace pro jaderný výzkum také význačná v počítačové vědě, přičemž mezi nejznámější výsledky patří vznik celosvětové sítě World Wide Web (WWW) a rozvoj gridových výpočtů. CERN se nezabývá činnostmi pro vojenské účely a experimentální i teoretické výsledky jsou zveřejňovány. Česká republika byla do organizace přijata v roce 1993 [1].



Obr. 1 Komplex urychlovačů CERN [1]

Urychlovačový komplex na Obr. 1 ilustruje systém navazujících urychlovačů, ze kterých jsou pro provoz LHC důležité především [6]:

- **Linear Accelerator 2 (LINAC2)** - urychluje protony na energii 50 MeV a tyto pak injektuje do urychlovače Proton Synchrotron Booster (PSB), kde dojde k nárůstu energie až na 1,4 GeV.
- **Linear Accelerator 3 (LINAC3)** - slouží k urychlení těžkých iontů na energii 4,2 MeV. Tyto ionty jsou dále předány do kruhového urychlovače Low Energy Ion Ring (LEIR).
- **Proton Synchrotron (PS)** - dále urychluje protonový svazek z PSB na 28 GeV.
- **Super Proton Synchrotron (SPS)** - se svými značnými rozměry (kruh s obvodem 6,9 km) urychluje protony a těžké ionty z PS na energie až 450 GeV.

LHC je se svým průměrem 27 km a srážkovou energií 13 TeV v současnosti největším a nejvýkonnějším urychlovačem na světě. Z počáteční energie 0,45 TeV jsou částice při každém oběhu urychlovány impulzem od elektrického pole vytvářeného ve speciálních dutinách až na konečnou energii 6,5 TeV. Dva takto urychlované protichůdné svazky jsou pak v jednom ze čtyř interakčních bodů (ALICE, ATLAS, CMS, LHCb) nasměrovány proti sobě, přičemž produkty srážek jsou sledovány v jedné ze tří vrstev sub-detektorů [7]:

- Zařízení pro odhad trajektorie elektricky nabité částice podle zanechané stopy ve vhodném médiu.
- Kalorimetry pro měření ztráty energie částice při průchodu materiálem.
- Detektory pro identifikaci částic podle záření vysílaného nabitou částicí.

Aktuálně existuje na LHC sedm hlavních experimentů [8]:

- **A Toroidal LHC Apparatus (ATLAS)** – je jeden ze dvou víceúčelových detektorů na LHC a zabývá se fyzikálními problémy v rozsahu od Higgsova bosonu přes extra dimenze až po částice, které mohou tvořit temnou hmotu. Detektor zaznamenává energii, trajektorii a identitu částic vznikajících při srážkách. Magnetický obvod tvoří 8 obřích magnetů uspořádaných do kruhu s ohniskem magnetického pole uprostřed detektoru. Magnety jsou složeny ze supravodivých cívek.
- **A Large Ion Collider Experiment (ALICE)** – se zaměřuje na srážky těžkých iontů olova za účelem simulace podmínek v krátkém časovém horizontu po velkém třesku, kdy nejspíše existovalo kvark-gluonové plazma.
- **Compact Muon Solenoid (CMS)** – zkoumá stejné problémy jako detektor ATLAS, přičemž rozdíl je hlavně v technickém řešení magnetických obvodů detektorů. CMS používá jeden obří elektromagnetický solenoid obalující detektor cylindrickou cívkou tvořenou supravodivými kabely.
- **LHC beauty (LHCb)** - studiem kvarku b (beauty) prozkoumává experiment nepatrné rozdíly mezi antihmotou a hmotou. Namísto obklopení interakčního bodu masivním detektorem používá experiment několik úrovní sub-detektorů.
- **LHC forward (LHCf)** – simuluje kosmické záření v rámci urychlovače LHC.
- **Monopole and Exotics Detector at the LHC (MoEDAL)** – má za úkol prokázat existenci magnetických monopolů a dyonů.
- **Total Elastic and diffractive cross section Measurement (TOTEM)** – zkoumá jevy přesahující úkoly víceúčelových detektorů ATLAS a CMS. Experiment měří velikost částic, luminozitu LHC a detekuje částice produkované poblíž svazků v urychlovači LHC.

2.3 Projekt AFP

Program dopředné fyziky detektoru ATLAS je rozšiřován projektem AFP, který využívá dva typy detektorů:

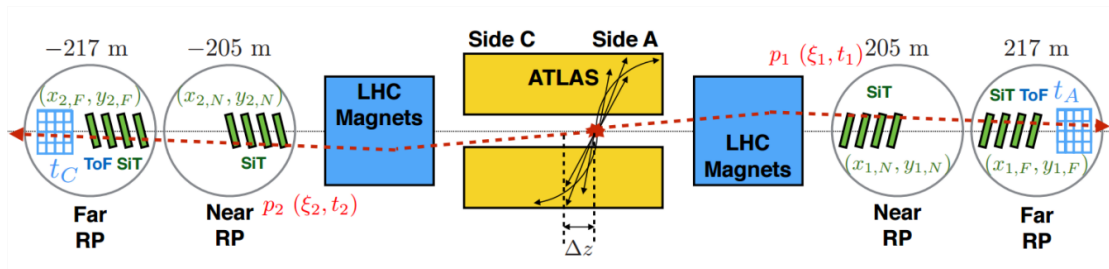
- **Silikonový pixelový detektor** (též SiT – Silicon Tracker) s vysokým rozlišením je používán pro měření momentu hybnosti rozptýlených protonů.

- **ToF detektor** měří dobu letu detekovaných částic za účelem rekonstrukce událostí vznikajících při vícenásobných srážkách typu proton-proton.

Oba dva detektory (dráhový i časový) jsou umístěny cca 2 až 3 mm daleko od svazku ve vzdálenosti zhruba 210 m v obou směrech od interakčního bodu (IP). Jádrem fyzikálního programu projektu AFP je studium měkkých a tvrdých difrakčních událostí při nízkých luminositách ($\mu \cong 1$).

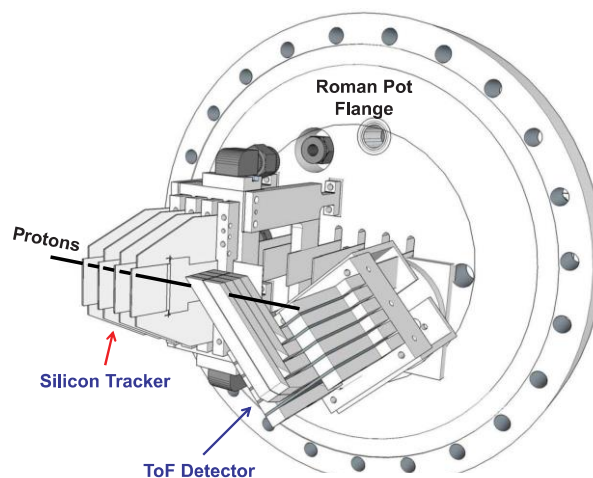
Samotný projekt AFP si slibuje rozšířit dosah centrálního detektoru ATLAS v oblasti dopředné fyziky umožněním identifikace nepoškozených protonů unikajících ze srážek typu proton-proton (pp) pod velmi malými úhly. Tyto procesy jsou obvykle spojeny s elastickými a difrakčními rozptyly, při kterých protony vyzáří virtuální bezbarvé objekty (tzv. pomerony). Velmi zajímavé jsou pak tvrdé difrakční události kombinující perturbativní a neperturbativní procesy QCD [9].

2.4 Detektory AFP



Obr. 2 Znárodnění pozice detektorů projektu AFP vůči interakčnímu bodu ATLAS [10]

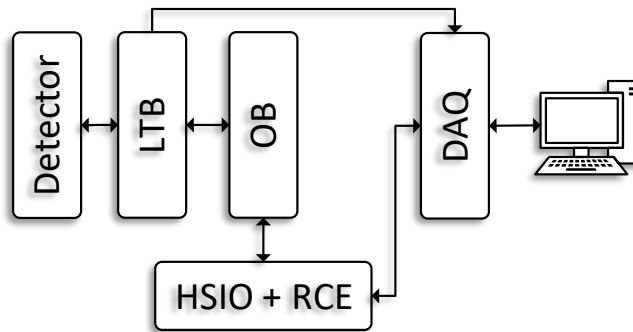
Z Obr. 2 je patrné, že obě části detekčního systému (SiT i ToF) jsou umístěny kolem interakčního bodu ATLAS symetricky ve vzdálenosti 205 m (první část SiT) a 217 m (druhá část SiT a ToF). Jednotlivé detektory jsou vždy umístěny v římském hrnci (též RP – Roman Pot) poblíž trajektorie svazku částic urychlovaných v LHC.



Obr. 3 SiT a ToF detektory přichycené k přírubě římského hrnce – konfigurace pro Far RP na Obr. 2 [12]

Směr odchýlených protonů procházejících detektory v římském hrnci nainstalovaném 217 m od interakčního bodu je patrný z Obr. 3. Příruba se po osazení detektory nasadí a upevní na římském hrnci a celý RP je nainstalován na LHC. Konstrukce je navržena s vysokými požadavky na těsnost, jelikož v římském hrnci je nutno udržovat nízké vakuum v rozsahu 10 mbar až 40 mbar, jako přechod z atmosférického tlaku na vysoké vakuum v trubicích svazku LHC. To umožňuje vyšší bezpečnost při nepředpokládaných událostech v RP, potažmo v LHC.

2.4.1 SiT detekční systém



Obr. 4 SiT detektor a řetězec pro zpracování signálu

Blokový diagram na Obr. 4 zobrazuje řetězec modulů dedikovaných pro zpracování signálů ze silikonového pixelového detektoru. Mezi základní části systému patří [12]:

- **SiT detektor** nacházející se v každém RP je složen vždy ze čtyř hybridních silikonových detektorů (senzor a front-end). S ohledem na XY souřadnice získané z hybridních detektorů na obou stranách od interakčního bodu, a s využitím znalosti nastavení magnetů LHC (dipóly a kvadrupóly), lze nepřímo měřit moment hybnosti difrakčně rozptýlených protonů.
- **Local Trigger Board (LTB)** slouží jako rozhraní mezi polohově citlivými senzory SiT a OptoBoard (OB). Přes LTB jsou do SiT zavedeny nízkonapěťové signály a vysokonapěťové napájení pro vytvoření předpětí na hybridních senzorech. Trigger signál je v LTB modulu tvořen pomocí HitBus integrovaného obvodu, který zpracovává signály ze silikonových hybridních detektorů (maximálně tři) a při splnění dané logické podmínky (stav jednoho ze zvolených kanálů, logický AND/OR, majoritní hlasování) generuje trigger signál pro DAQ. Z důvodu nutného přenosu trigger signálu na delší vzdálenost (přibližně 300 m) je complementary metal-oxide-semiconductor (CMOS) signál převeden na standard NIM [13].
- **OB** přenáší data a hodinový signál mezi SiT a DAQ pomocí optických vláken a nezbytných vysílacích/přijímacích obvodů.
- **High-Speed I/O (HSIO) + Reconfigurable Cluster Element (RCE)** umožňuje

rychlou komunikaci mezi různými zařízeními v řetězci pro zpracování signálu a řízení detektorů.

- **DAQ** systém slouží ke sběru a ukládání dat z detekčního systému v závislosti na stavu trigger signálu, který je generován LTB modulem. Data jsou uvnitř DAQ předávána přes HSIO + RCE rozhraní do ATLAS ReadOut System (ROS).

2.4.2 ToF detekční systém

Jelikož si práce klade za úkol vývoj modulu pro zpracování signálu z Čerenkovova detektoru v systému ToF AFP, byla popisu fyzikální podstaty Čerenkovova jevu, a jeho praktické aplikaci v podobě konstrukce částicového detektoru, věnována kapitola 2.4.2.1. Postup zpracování signálů generovaných detektorem je uveden v 2.4.2.2.

2.4.2.1 Čerenkovův detektor

Prochází-li elektricky nabitá částice opticky transparentním prostředím rychlostí vyšší, než je v tomto prostředí rychlost světla (tzn. index lomu značně vyšší než 1), dochází ke vzniku pozorovatelného záření. Atomy a molekuly nacházející se podél osy letu nabitě částice uvolní po své opětovné depolarizaci energii ve formě elektromagnetického záření. Charakteristický kužel záření za rychle se pohybující částicí je pojmenován po ruském fyzikovi Pavlu Čerenkovovi, který se spolu s Iljou Frankem a Igorem Tammem jako první zabýval jeho teoretickým popisem. Všichni tři získali v roce 1958 Nobelovu cenu za fyziku. Čerenkovův jev je často popisován jako elektromagnetická obdoba zvukové rázové vlny [14].

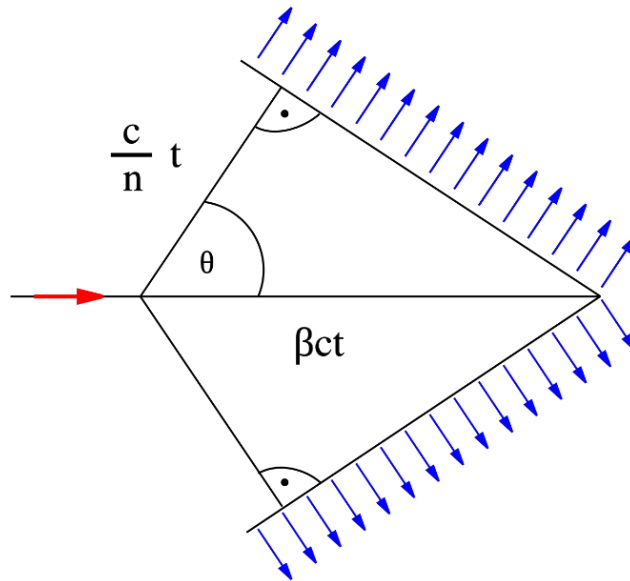
Z oblastí podél dráhy letu nabitě částice vycházejí světelné vlny s rychlostí šíření c/n , kde c [ms^{-1}] značí rychlost světla ve vakuu a n [-] je index lomu. Obálkou těchto vln je kužel s nabitou částicí ve svém vrcholu, kde úhel ϑ mezi směrem šíření vyzářovaného světla a směrem pohybu částice je určen vztahem [15]:

$$\cos\vartheta = \frac{(c/n)t}{vt} = \frac{c}{nv} \quad [-] \quad (2.1)$$

Ve výše uvedeném vztahu značí v [m/s] rychlost nabitě částice a t [s] je čas letu. Úhel ϑ [°] lze měřit a z jeho velikosti je snadné stanovit rychlost částice, případně kinetickou energii částice danou následujícím vztahem, kde m_0 [kg] označuje klidovou hmotnost částice:

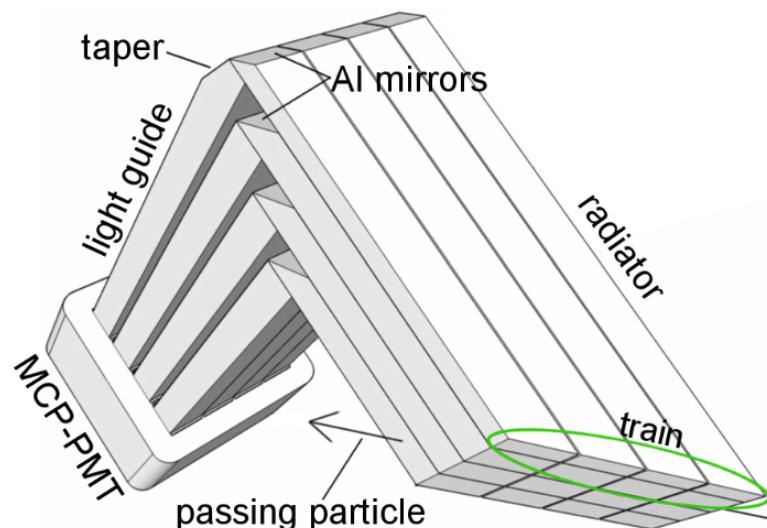
$$E_{\text{MIN}} = \frac{m_0 c^2}{\sqrt{1 - \frac{v^2}{c^2}}} - m_0 c^2 \quad [\text{J}] \quad (2.2)$$

Na Obr. 5 ukazuje červená šipka směr částice, β [-] vyjadřuje poměr v/c a modré šipky jsou orientovány ve směru Čerenkovova záření.



Obr. 5 Řez kuželem tvořeným společnou obálkou kulových vlnoploch [14]

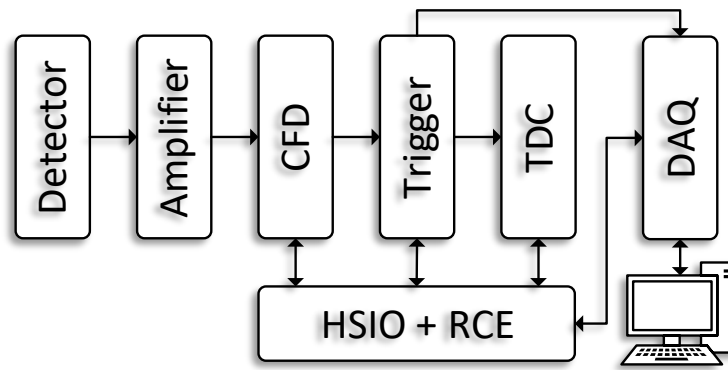
LQ tyčinky (L profil, Quartz) zobrazené na Obr. 6 jsou uspořádány do matice 4×4 . Jednotlivé řádky matice jsou označovány jako trainy. Čerenkovovo záření vznikající průletem protonu jednotlivými tyčinkami (radiátory) je pomocí odrazu na hliníkových zrcadlech zavedeno světlovody do mikrokanálových deskových fotonásobičů (MCP-PMT). Čerenkovův detektor je segmentován z důvodu detekce více protonů zároveň. Současné časové rozlišení ToF systému dosahuje řádově 20 ps, což odpovídá přibližně 4,24 mm rozlišení při určování pozice primárního vertexu (místa srážky). Dlouhodobým cílem je dosažení časového rozlišení 10 ps, a tedy rozlišení pozice vertexu odpovídající 2,12 mm [12].



Obr. 6 LQ tyčinky prolétávané protony [11]

Při detekci protonu je v jedné tyčince vybuzeno přibližně 100 fotonů, které dosáhnou fotonásobiče, jehož kvantová účinnost je přibližně 30 % [11].

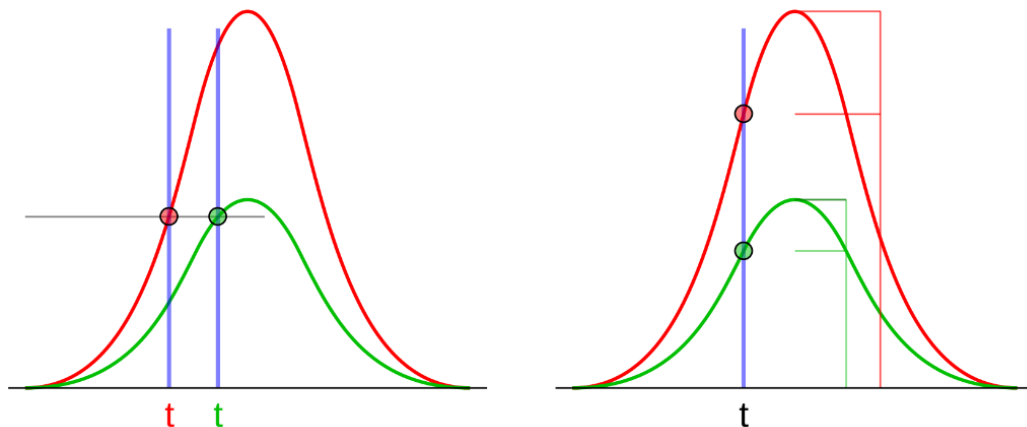
2.4.2.2 Zpracování signálu detektoru ToF



Obr. 7 ToF detektor a řetězec pro zpracování signálu

Kromě HSIO + RCE a DAQ bloků patří do řetězce pro zpracování signálů v detekčním systému ToF také následující moduly:

- **Třístupňový zesilovač** je rozdělen do PAa, PAb a PAC (PreAmplifier) modulů. PAa stupeň je nainstalován v těsné blízkosti výstupu fotonásobiče v římském hrnci. Signály předzesílené prvním stupněm jsou z římského hrnce přivedeny na druhý a třetí stupeň zesilovače.
- **Constant fraction discriminator (CFD)** napodobuje matematickou funkci hledání maxima pulzu nalezením nuly gradientu. Jednoduché komparování signálu vůči definované prahové úrovni vede k nízkému časovému rozlišení, jelikož čas spuštění závisí na velikosti amplitudy signálu. U signálů se shodnou dobou náběžné hrany a stejným tvarem pulzu lze použít CFD obvod pro spuštění závislé na konstantním zlomku velikosti amplitudy. Rozdíl mezi těmito dvěma technikami je patrný z Obr. 8. Hlavní funkcí CFD modulu je převod velikosti zesíleného analogového signálu z MCP-PMT na délku obdélníkového pulzu. Takto kódované signály dále postupují do TM [16].



Obr. 8 Spuštění na prahovou úroveň (vlevo) a na konstantní zlomek z velikosti amplitudy (vpravo) [16]

- **Trigger modul** zpracovává signály z CFD a vyhodnocuje jejich koincidence v jednotlivých trainech. Je to v podstatě logický výběrový obvod, který při zadaném kritériu signály propustí k dalšímu zpracování. Splní-li daná čtveřice nastavenou logickou podmínku (koincidence 1/2/3 nebo 4 pulzů ve vymezeném časovém okně s definovaným přesahem), postupují tyto signály nezměněny do TDC k dalšímu zpracování. V opačném případě je na výstupu TM pro daný train na všech čtyřech kanálech nízká logická úroveň. TM dále generuje (trigger) signál pro DAQ systém opět při splnění nastavené logické podmínky.
- **Time-to-Digital Converter** převádí délku pulzů vstupních signálů na číselnou hodnotu pomocí speciálně navrženého integrovaného obvodu. Aktuálně používané High-Performance Time-to-Digital Converter (HPTDC) umožňuje s vhodným vyčítacím rozhraním dosahovat časového rozlišení těsně pod 20 ps [17]. Pro Run 3 je připravován modul s prototypem PicoTDC s časovým rozlišením těsně pod 3 ps.

3 Trigger systémy v částicové fyzice

Pro nastínění rozsahu problémů vznikajících při identifikaci a záznamu událostí v částicové fyzice uvádí kapitola 3.1 přehled četností interakcí. Pro zasazení trigger systémů do širšího kontextu popisuje kapitola 3.2 používané DAQ systémy. Následně je definována obecná funkce a význam trigger systémů. Kapitola 3.4 se zabývá jejich koncepcí a parametry. Pro ilustraci jsou dále uvedeny i příklady dvou moderních trigger systémů používaných na víceúčelových detektorech ATLAS a CMS. V poslední části kapitoly 3 jsou stanoveny požadované funkce a parametry TM pro detektor ToF AFP.

3.1 Četnost interakcí na urychlovačích částic

V experimentech provozovaných na částicových srážecích se částice typicky pohybují v houfech (bunch) v pravidelných intervalech, přičemž interakce nastávají během kolize houfů (BC – bunch-crossing). Pro odhad četnosti interakcí slouží vztah:

$$R = \mu_{PP} f_{BC} \eta_{TOT} = \sigma_{IN} L \eta_{TOT} \text{ [Hz]} \quad (3.1)$$

Ve výše uvedeném vztahu vyjadřuje μ_{PP} [-] průměrný počet pp interakcí na jeden bunch-crossing, f_{BC} [Hz] je bunch-crossing frekvence, σ_{IN} [mm²] označuje účinný průřez používaný pro vyjádření pravděpodobnosti interakce mezi dvěma částicemi a L [cm⁻²s⁻¹] je luminosita popisující hustotu svazku v účinném průřezu. Účinnost η_{TOT} [-] je dána jako součin následujících dílčích účinností [21]:

- η_{GEOM} [-] zohledňuje pravděpodobnost přítomnosti produktů události v aktivním objemu detektoru.
- η_{DET} [-] vyjadřuje účinnost funkce relevantního senzoru.
- η_{DAQ} [-] značí účinnost zpracování signálů z detektoru v DAQ systému.
- η_{TRIG} [-] označuje poměr událostí správně identifikovaných triggerem.

Tab. 1 Vybrané urychlovače a jejich parametry pro výpočet četnosti interakcí [18]

Urychlovač	t_{BC} [ns]	f_{BC} [MHz]	L [cm ⁻² s ⁻¹]
LEP	22 000	0,045	7×10^{31}
Tevatron	132	7,6	4×10^{32}
LHC	25	40	10^{34}

Pozn.: LEP – Large Electron-Positron Collider

Dle Tab. 1 a průměrného počtu 25 pp interakcí všech typů na BC [18] vychází přibližná četnost R interakcí v LHC urychlovači na 1 GHz (tedy 25×40 MHz), přičemž maximální četnost, na kterou je příslušný DAQ navržen, odpovídá přibližně 100 Hz. Vybrané částice figurující v experimentech na LHC jsou uvedeny v Tab. 2.

Tab. 2 Četnost výskytu vybraných bosonů a kvarků na LHC [18]

Částice	Četnost výskytu [Hz]
Kvark B	10^3
Bosony W/Z	100
Kvark T	10
Higgsův boson	0,1

Názornou představu o množství dat produkovaných urychlovačem částic Collider Detector at Fermilab uvádí [19]. S BC frekvencí 7,6 MHz a 750 000 měřicími kanály s hloubkou 4 bity produkují detektory 22,8 TB/s.

3.2 Akvizice dat

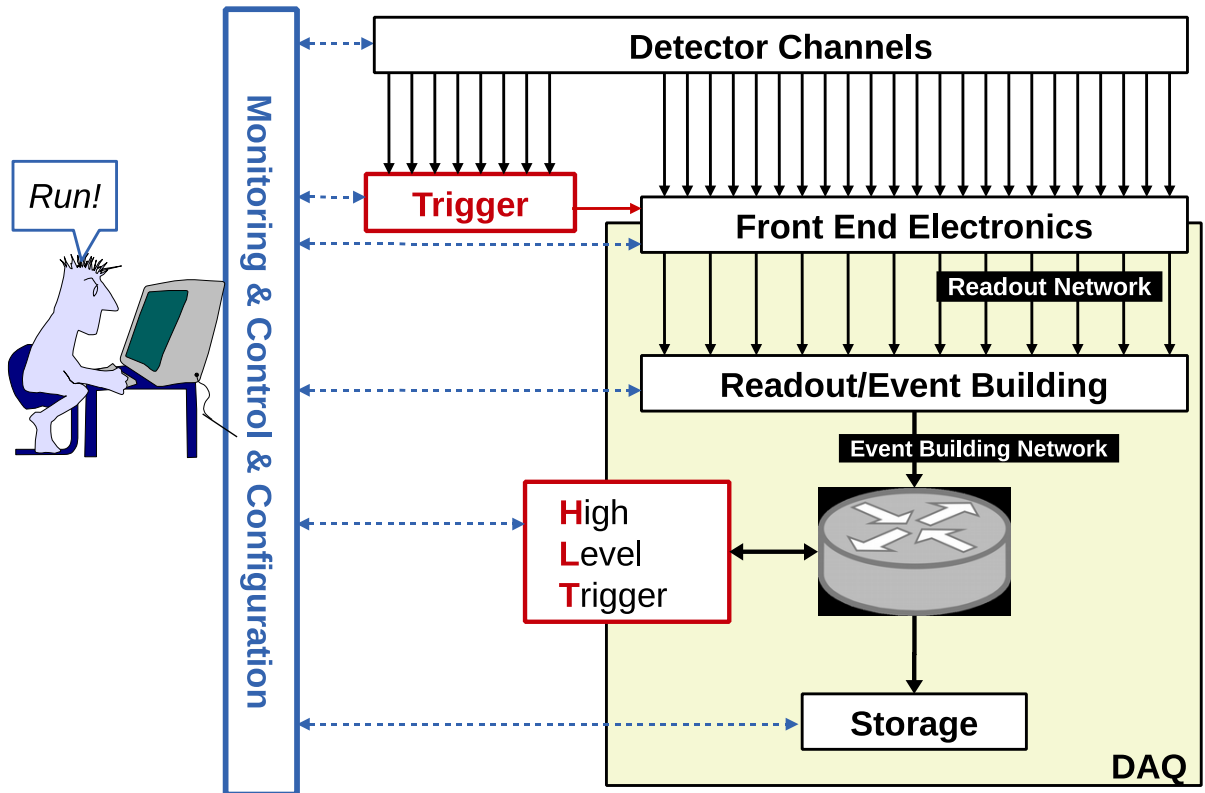
DAQ, tedy akvizici dat, lze popsat jako proces sběru hodnot signálů používaných k měření fyzikálních podmínek reálného světa a převod nasbíraných vzorků do podoby vhodné pro počítačové zpracování.

Mezi hlavní komponenty pro DAQ patří senzory převádějící danou fyzikální veličinu na elektrický signál a digitizéry, které tento analogový signál převádí do digitální podoby. Poslední klíčovou součástí jsou prvky pro zpracování a ukládání dat.

Problematika DAQ je dynamicky se rozvíjející heterogenní obor, jehož hranice nejsou přesně definovány. V praxi pak bývá tento obor s nadsázkou označován za alchymii kombinující znalosti z oblasti fyziky, elektroniky, IT, hackingu, síťování a empirických poznatků. Krom nezbytného know-how ve vyjmenovaných oblastech je v každém projektu navíc třeba počítat s omezeným rozpočtem a lidskými zdroji.

Hlavní rolí DAQ je zpracování signálů generovaných detektorem a sběr relevantních událostí (informací) pro daný fyzikální experiment. Mezi požadované úkoly DAQ patří [20]:

- **Sběr dat produkovaných detektory** – použití readoutů.
- **Formování kompletních událostí** – sběr dat a sestavení události.
- **Tvorba řídicích signálů pro další úroveň triggeru** – high-level trigger (HLT).
- **Ukládání dat** – logování.
- **Řízení operací** – konfigurace, monitorování a kontrola běhu systému.



Obr. 9 Obecná architektura DAQ systému [19]

Obecná architektura na Obr. 9 ukazuje hlavní stavební bloky DAQ systému. Signály produkované detektory jsou zavedeny do front-end elektroniky pro další zpracování a zároveň také do triggeru. Tento systém identifikuje relevantní události dle daných kritérií a spouští zpracování ve front-endu (FE). Data z FE pak postupují do sítě pro sestavení událostí, kde jsou dále tříděna na základě vstupu od HLT. Vybrané události jsou pak uloženy pro pozdější analýzu. Celý DAQ systém je ovládán z bloku pro monitorování, řízení a konfiguraci.

Ačkoliv se tato práce zabývá konstrukcí TM jako velmi důležité součásti detekčního řetězce AFP ToF, je třeba pro úplnost uvést, že ne všechny experimenty, které jsou v oblasti částicové fyziky prováděny, obsahují trigger systém. V případě dostatečného dimenzování DAQ systému vzhledem k produkovanému toku informací lze provozovat experimenty i bez triggeru, nicméně tyto případy jsou spíše ojedinělé.

3.3 Význam a funkce trigger systémů

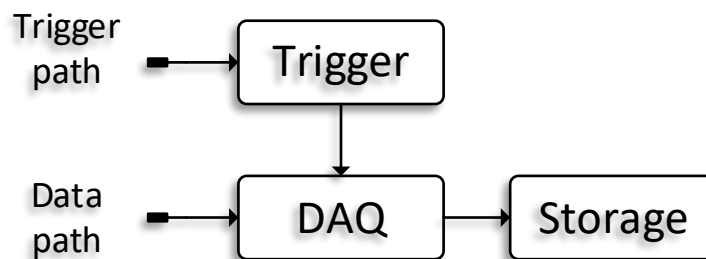
Účelem triggeru je selekce relevantních událostí pro daný fyzikální experiment v reálném čase. Základní požadavky kladené na trigger systém jsou následující:

- Selektivita – vysoká účinnost pro výběr signálu a odolnost vůči pozadí.
- Jednoduchá a robustní architektura.
- Rychlé operace.

Při návrhu trigger systémů je třeba brát do úvahy následující požadavky [21]:

- Zachovat vysokou citlivost, tzn. zachytit všechny požadované události.
- Vhodně synchronizovat, tedy dobře spárovat, zaznamenané a triggerované události.
- Dostatečně potlačovat nerelevantní události a nezachycovat tento typ událostí omylem, tzn. vysoká selektivita.
- Umožnit dostatečné monitorování a pružnou rekonfiguraci systému.

Trigger systém má za úkol rychle (tzn. s minimální latencí) generovat signály dále použité pro započítání DAQ procesu.



Obr. 10 Cesty pro zpracování dat z částicových detektorů

Blokový diagram na Obr. 10 zobrazuje dvě možné cesty používané pro zpracování signálů z částicových detektorů. Triggerovací cesta vede od dedikovaných detektorů k triggerovací logice. Datová cesta propojuje všechny detektory přes DAQ systém s datovým úložištěm v případě, že je vydán odpovídající pokyn triggerem.

3.4 Koncepty a parametry trigger systémů

Reálné trigger systémy se vyznačují rozmanitostí v architektuře, funkcích i parametrech. Následující kapitoly si proto kladou za cíl přinést alespoň hrubé rozdělení a popis trigger systémů včetně vyjmenování a vysvětlení vybraných parametrů a optimalizačních technik.

3.4.1 Druhy trigger systémů dle použití

Různé strategie při návrhu a provozu trigger systémů vedou k definici následujících kategorií triggerů [23], [21]:

- **Primární** – pro fyzikální experimenty; typicky bez předděličky.
- **Podpůrné** – pro měření účinnosti a výkonu; monitorování.
- **Alternativní** – používají alternativní online rekonstrukční algoritmy.
- **Záložní** – tvrdší výběrové podmínky, pokud je četnost událostí propuštěných primárním triggerem moc vysoká.
- **Kalibrační** – pracují s vysokou četností, ale ukládají pouze část událostí, tzn. používají předděličky.

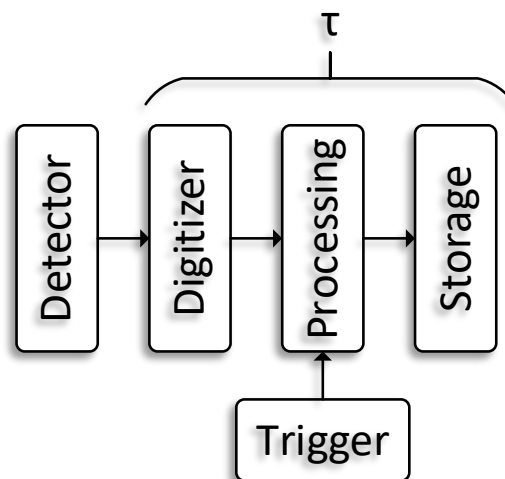
3.4.2 Druhy trigger systémů dle topologie

Následující tři podkapitoly uvádí příklady trigger systémů používaných v částicové fyzice.

Konkrétně se jedná o:

- Periodický trigger systém.
- Základní reálný trigger systém.
- Trigger systém s busy logikou.

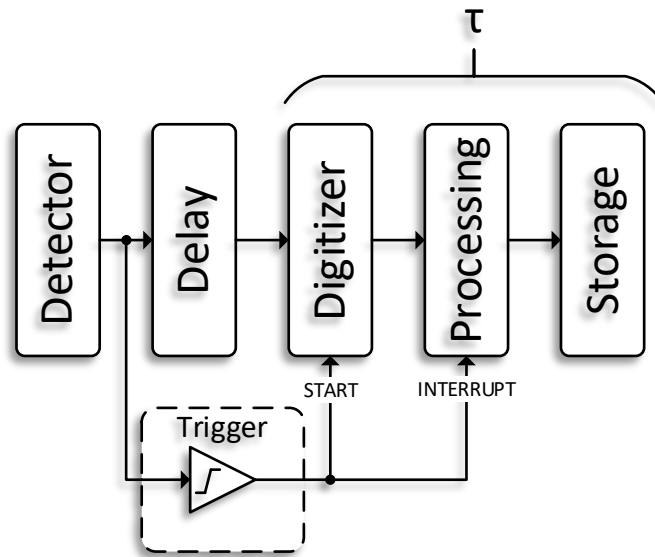
3.4.2.1 Periodický trigger systém



Obr. 11 Periodický trigger systém

V tomto zapojení DAQ je signál z detektoru měřen s pevným kmitočtem. Digitizér ve formě analogově/digitálního převodníku (ADC), TDC nebo nábojově/digitálního převodníku (QDC) kóduje hodnotu analogové hodnoty do číselné podoby. Maximální četnost událostí zpracovatelná systémem je pak limitována proměnnou τ , která je dána jako součet latencí jednotlivých bloků zachycených na Obr. 11. Tato četnost je pak uváděna v jednotkách Hz jako převrácená hodnota časového úseku τ . Periodický trigger je vhodný pro některé jednodušší typy experimentů, u kterých nedochází k prudkým změnám sledované veličiny a celkový datový tok bez selekce vybraných událostí není veliký. Vhodným příkladem tohoto typu aplikace je například měření teploty.

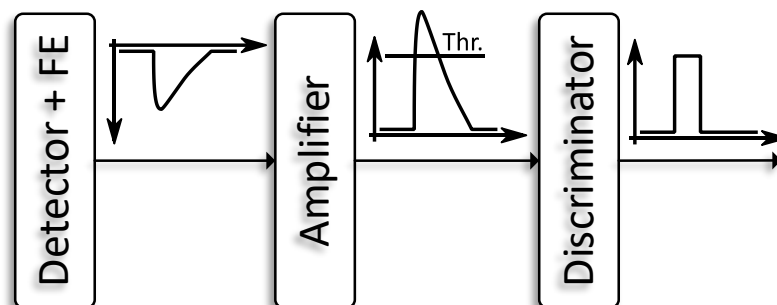
3.4.2.2 Základní reálný trigger systém



Obr. 12 Reálný trigger systém

Velká část fyzikálních experimentů je náhodné povahy. Dobrým příkladem je studium beta rozpadu. Pro tento typ experimentů je vhodné použít tzv. fyzikální trigger, který je ve své nejjednodušší podobě založen na diskriminátoru (komparátoru). Tento obvod generuje pulz v případě, že je amplituda signálu z detektoru vyšší než nastavená prahová úroveň. Z důvodu nenulové latence (tj. zpoždění průchodu signálu ze vstupu na výstup) diskriminátoru je do datové cesty vloženo zpoždění tak, aby generovaný pulz s předstihem aktivoval bloky digitizéru a zpracování dat. Z Obr. 12 je tedy patrné, že se signál z detektoru dělí na datovou a triggerovací cestu v souladu s architekturou naznačenou na Obr. 10.

Tento typ trigger systému má jednu zásadní nevýhodu pro stochastické procesy: Pokud vygeneruje diskriminátor na základě dvou či více po sobě jdoucích událostí pulzy s kratším rozstupem, než je latence τ , dojde k chybě ve zpracování dřívější z těchto událostí.



Obr. 13 Základní princip generování trigger signálu

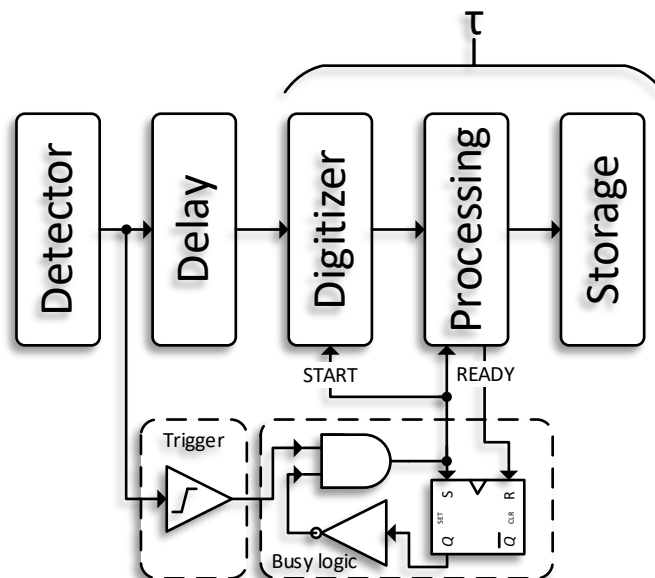
Reálné trigger systémy odvozují trigger signály od některého parametru výstupu detektoru. Diagram uvedený na Obr. 13 ukazuje obecné schéma triggeru sestávající ze třech základních bloků:

- **FE elektronika detektoru** produkuje signály [23]:
 - v analogové podobě (Silicon Tracker, ToF).
 - v binární podobě (pixelové nebo páskové detektory).
- **Zesilovač** (obvykle invertující) převede analogový signál do kladných hodnot a upraví velikost amplitudy.
- **Diskriminátor** (komparátor) porovnává zesílený signál s nastavenou prahovou úrovní a generuje digitální trigger signál (kladný pulz) v časovém úseku, kdy je vstupní signál vyšší než prahová úroveň (tzv. ToT režim – time over threshold).

U těchto jednoduchých aplikací triggeru probíhá nastavování prahové úrovně ve třech po sobě jdoucích krocích:

- V prvním kroku experimentátor zhodnotí tvar signálu dle obrazu na osciloskopu.
- V druhém kroku odhadem nastaví prahové napětí na minimální možnou úroveň (signály v detektorech vysokoenergetických protonů mají velký rozsah amplitud).
- Ve třetím kroku je postupně laděním prahové úrovně nalezen kompromis mezi počtem správně identifikovaných zásahů a šumem.

3.4.2.3 Trigger systém s busy logikou



Obr. 14 Trigger systém s busy logikou

Potíže základního zapojení reálného trigger systému popsaného v kapitole 3.4.2.2 částečně řeší busy logika. Ta totiž sice nedokáže urychlit systém jako takový (tzn. nezmenší τ), ale umožní zabránit chybám ve zpracování dříve přijatých událostí při četnosti přesahující konstrukční rychlost DAQ. Busy logika zabráni novému spuštění digitizéru a bloku pro zpracování dat v případě, že ještě nebyla odbavena předchozí událost. Principiální řešení

uvedené na Obr. 14 sestává z AND hradla, invertoru a RS klopného obvodu. Zapojení jako celek funguje následujícím způsobem:

- Ve výchozím stavu je systém připraven na příchod události, což znamená, že signál READY v log. 1 aktivuje reset vstup KO. To umožňuje hradlu AND zpracování případného pulzu generovaného diskriminátorem.
- Při identifikaci události je spuštěn digitizér společně s blokem pro zpracování signálu. Výstup KO je nastaven do log. 0 a blokuje tedy AND hradlo pro příjem další události.
- Po dobu zpracování události je signál READY generovaný blokem pro zpracování dat stále v log. 0. Po dokončení procesu je tento signál změněn na log. 1, což umožní opětovné přijetí další události, aniž dojde k přerušení zpracování události stávající.
- Tímto způsobem dojde pouze ke ztrátě událostí, které přijdou za sebou rychleji, než je doba pro zpracování události τ , tedy k degradaci účinnosti triggeru.

3.4.3 Mrtvý čas a účinnost

Mrtvý čas je nejdůležitějším parametrem, který řídí návrh a výkon vysokorychlostních DAQ systémů a úzce souvisí s dobou τ z předchozí kapitoly. Jeho existence (respektive zvětšení) je svázána s každým dalším procesem, který zabírá konečné množství času při zpracování signálu. Mrtvý čas, jakožto poměrná část (typicky jednotky až desítky procent) z akviziční doby, určuje interval, ve kterém nemohou být zaznamenávány žádné události. Mezi hlavní zdroje mrtvého času patří především:

- **Mrtvý čas vyčítacího zařízení**, který je definován dobou potřebnou digitizéry pro převod signálu.
- **Mrtvý čas triggeru** určený dobou nezbytnou pro realizaci logické funkce.
- **Operační mrtvý čas** odpovídající době náběru dat detektorem.

Pro výpočty vztahující se k výkonu systému s přihlédnutím k mrtvému času a účinnosti je nutné definovat následující proměnné:

- f_{ER} [Hz] jako průměrná (vstupní) četnost událostí ve fyzikálním experimentu. Převrácená hodnota této četnosti se značí jako λ [s].
- ν [Hz] jako průměrná (výstupní) četnost událostí z DAQ.
- τ [s] jako mrtvý čas potřebný pro zpracování události s tím, že v tomto intervalu jsou další příchozí události odmítnuty.

Výše uvedené proměnné lze použít k vyjádření pravděpodobnosti obsazení systému

pro příjem a zpracování události:

$$P(\text{busy}) = \nu\tau \quad [-] \quad (3.2)$$

Očekávaným způsobem lze pak vyjádřit také pravděpodobnost připravenosti systému pro příjem a zpracování události:

$$P(\text{ready}) = 1 - \nu\tau \quad [-] \quad (3.3)$$

Průměrnou výstupní četnost událostí ν lze pak vyjádřit s pomocí pravděpodobnosti $P(\text{ready})$ následujícím způsobem:

$$\nu = f_{ER}P(\text{ready}) \quad (3.4)$$

Po dosazení do výše uvedené rovnice lze pak psát:

$$\nu = f_{ER}(1 - \nu\tau) \quad (3.5)$$

Rovnici lze upravit do následujícího tvaru:

$$\nu = \frac{f_{ER}}{1 + f_{ER}\tau} \quad (3.6)$$

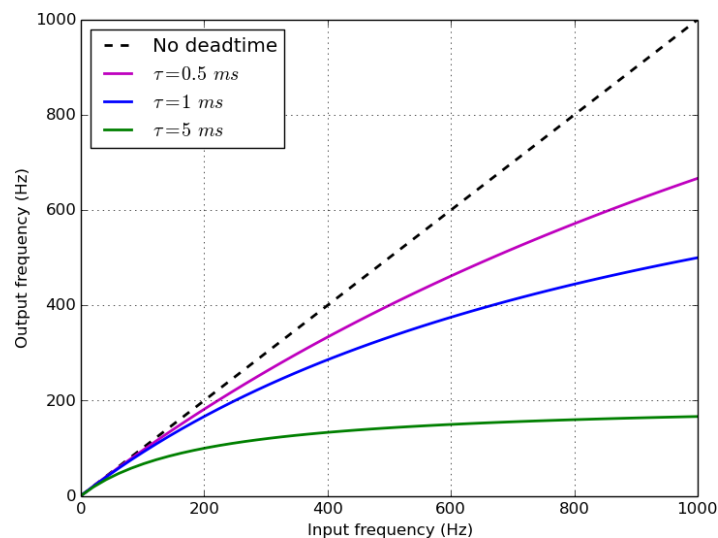
Vzhledem ke stochastickým fluktuacím vždy platí, že:

$$\nu = \frac{f_{ER}}{1 + f_{ER}\tau} < f_{ER} \quad (3.7)$$

Pro účinnost DAQ systému η_{DAQ} [-] pak platí:

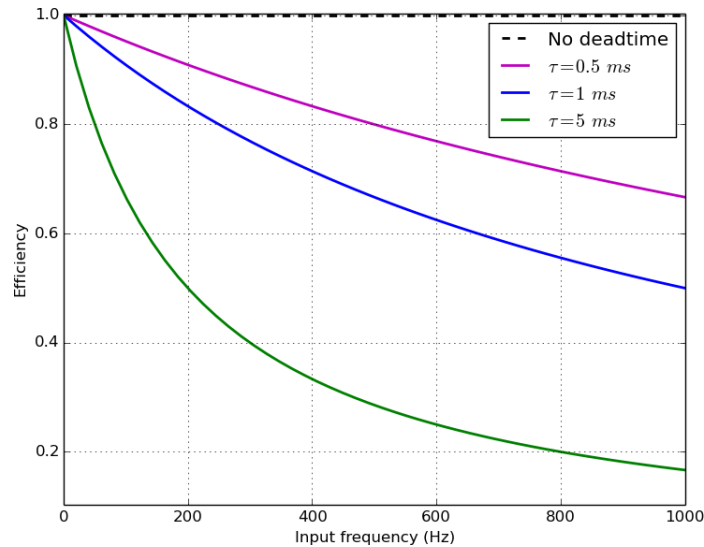
$$\eta_{DAQ} = \frac{N_{\text{SAVED}}}{N_{\text{TOTAL}}} = \frac{1}{1 + f_{ER}\tau} < 100 \% \quad (3.8)$$

Závislosti na Obr. 15 a Obr. 16 odpovídají experimentu, ve kterém je četnost fyzikálních událostí f rovná 1 kHz. Mrtvý čas τ použitý pro výpočty nabývá 4 hodnot a to: 0 ms, 0,5 ms, 1 ms a 5 ms.



Obr. 15 Četnost událostí z DAQ v závislosti na četnosti událostí experimentu [20]

Z grafu na Obr. 15 je patrné, že pro $\tau = 0$ ms je vstupní četnost rovna četnosti výstupní. Se zvyšujícím se mrtvým časem τ lze pozorovat snižování výstupní četnosti událostí z DAQ systému. Asymptotou pro uvedené průběhy je vždy přímka $1/\tau$.



Obr. 16 Účinnost DAQ systému v závislosti na četnosti událostí experimentu [20]

Graf na Obr. 16 ukazuje, že účinnost DAQ systému klesá společně s rostoucí četností fyzikálních událostí v experimentu. Strmost poklesu také zvyšuje nárůst mrtvého času. Asymptotou je v tomto případě osa X protínající nulu.

Z uvedených grafů vyplývá, že pro dosažení účinnosti blízké 100 % a rovnosti mezi vstupní/výstupní četností je důležité minimalizovat mrtvý čas. Pro $\eta_{\text{DAQ}} \sim 99$ % ve fyzikálním experimentu s četností událostí 1 kHz je třeba dosáhnout mrtvého času menšího než 10 μs , což odpovídá jmenovité četnosti DAQ systému 100 kHz. To prakticky znamená návrh DAQ o faktor 100 rychlejší, než je četnost událostí v experimentu. Z tohoto důvodu se hned po kapitole 3.4.3.1, která se věnuje urychlení systému, zabývá kapitola 3.4.4 derandomizací událostí a teorií front.

Krom účinnosti η_{DAQ} , která představuje poměr vytvořených ke korektně zpracovaným událostem v DAQ, existuje také účinnost samotného trigger systému. Její definici vyjadřuje následující rovnice:

$$\eta_{\text{TRIG}} = \frac{N_{\text{REC}}}{N_{\text{CREAT}}} \quad (3.9)$$

Z uvedené rovnice je tedy patrné, že účinnost triggeru je definována jako poměr mezi korektně přijatými a vytvořenými relevantními produkty experimentu. Stoprocentní účinnost je přirozeným požadavkem, nicméně se zpřísněním výběrových kritérií trigger systému může docházet spolu se zlepšením potlačení pozadí (žádoucí jev) také k nežádoucímu poklesu samotné účinnosti.

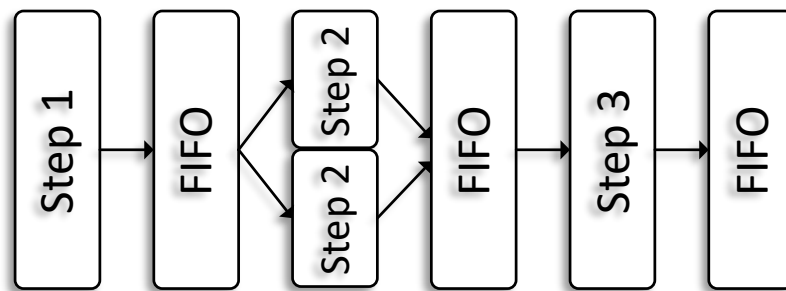
3.4.3.1 Minimalizace mrtvého času

Pro zvýšení datové propustnosti pro systémy zpracovávající velké množství dat se používají především principy uvedené v kapitolách 3.4.3.1.1 a 3.4.3.1.2.

3.4.3.1.1 Paralelismus

Urychlení spočívá především v zavedení nezávislých tras pro zpracování signálu trigger systémem a vyčítacím zařízením pro každý jeden element detektoru. Digitalizaci a zpracování v DAQ je vhodné provádět rovněž paralelně. Obecnou zásadou užitečnou při paralelizaci je vysoká míra dekompozice systému.

3.4.3.1.2 Pipeline zpracování

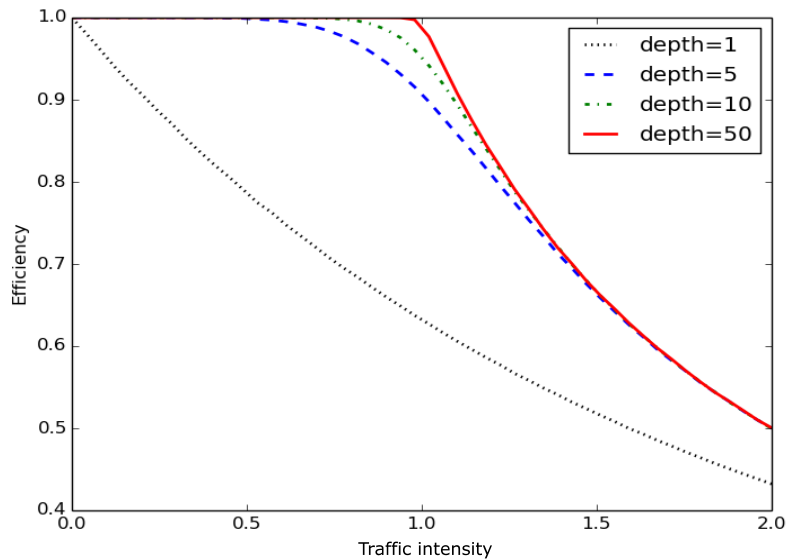


Obr. 17 Pipeline struktura v trigger systémech

Zřetězení do pipeline struktury je velmi vhodné s ohledem na možné fluktuace při generování signálů a zpracování dat. Struktura na Obr. 17 využívá lokálních vyrovnávacích pamětí typu fronta (FIFO) mezi jednotlivými procesními kroky, jejichž provedení může trvat různě dlouhou dobu. Hloubka vyrovnávacích pamětí limituje procesní čas následujících kroků a je velmi vhodné, aby byl stupeň (respektive krok) $n + 1$ rychlejší než stupeň n .

3.4.4 Derandomizace a teorie front

Použití derandomizace je velmi vhodným krokem k dosažení deterministického systému. Základní myšlenkou je distribuovat případné shluky více událostí do delšího časového úseku a jejich zpracování provést postupně. Derandomizaci lze provést s použitím vyrovnávacích pamětí, přičemž samotný princip byl naznačen už v kapitole 3.4.3.1.2. Vložení paměti FIFO mezi dva stupně detektorového řetězce umožní uložit počet událostí závislý na jejich hloubce. Tím lze efektivně zmírnit (ideálně zcela eliminovat) vliv fluktuací v četnosti událostí daného fyzikálního experimentu.



Obr. 18 Účinnost zpracování událostí v závislosti na intenzitě provozu [20]

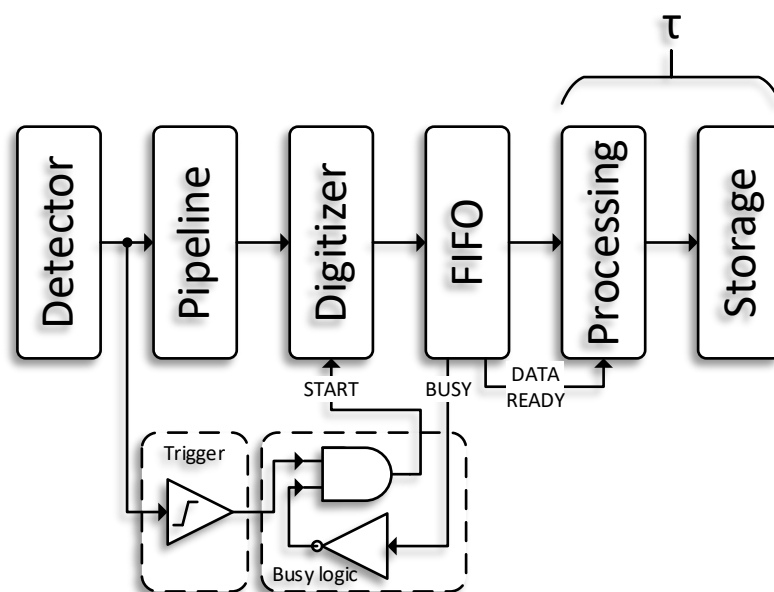
Účinnost zpracování událostí mezi dvěma obecnými bloky v detekčním řetězci v závislosti na intenzitě provozu ρ [-] je vyobrazena na Obr. 18. Lze ji definovat jako [20]:

$$\rho = \frac{\tau}{\lambda} \quad (3.10)$$

V závislosti na velikosti ρ lze klasifikovat tři provozní stavy zkoumaného systému:

- $\rho > 1$ značí, že je systém přetížen, tzn. $\tau > \lambda$.
- $\rho \ll 1$ vypovídá o tom, že je systém předimenzován $\tau \ll \lambda$.
- $\rho \sim 1$ nastává při optimálním návrhu, tedy vhodně zvolená hloubka FIFO.

Analytické řešení komplexních detekčních řetězců je prakticky nemožné. Východiskem je použití metody Monte Carlo.



Obr. 19 Trigger systém s busy logikou a derandomizací

Architektura DAQ se zavedenou derandomizací je zobrazena na Obr. 19. Paměť FIFO mezi digitizérem a blokem pro zpracování dat umožňuje stabilizovat datový tok v DAQ. Vliv fronty na potlačení fluktuací v detekčním řetězci závisí na hloubce FIFO. Přípravenost systému pro zpracování další události nyní signalizuje paměť FIFO na základě stupně svého naplnění. Blok pro zpracování dat je s použitím paměti fronty nyní oddělen od procesu zachycování událostí a data zpracovává fixní rychlostí. V tomto zapojení je možné dosáhnout prakticky 100% účinnosti s minimálním mrtvým časem, pokud je použitý digitizér schopen pracovat s četností ostře větší, než je četnost událostí produkovaných probíhajícím experimentem. V takovémto případě pak dostačuje rychlost zpracování a ukládání dat blízká průměrné četnosti událostí produkovaných experimentem. Flexibilitu systému lze zvýšit také použitím analogových pipeline pro realizaci zpoždění signálu z detektoru v datové cestě.

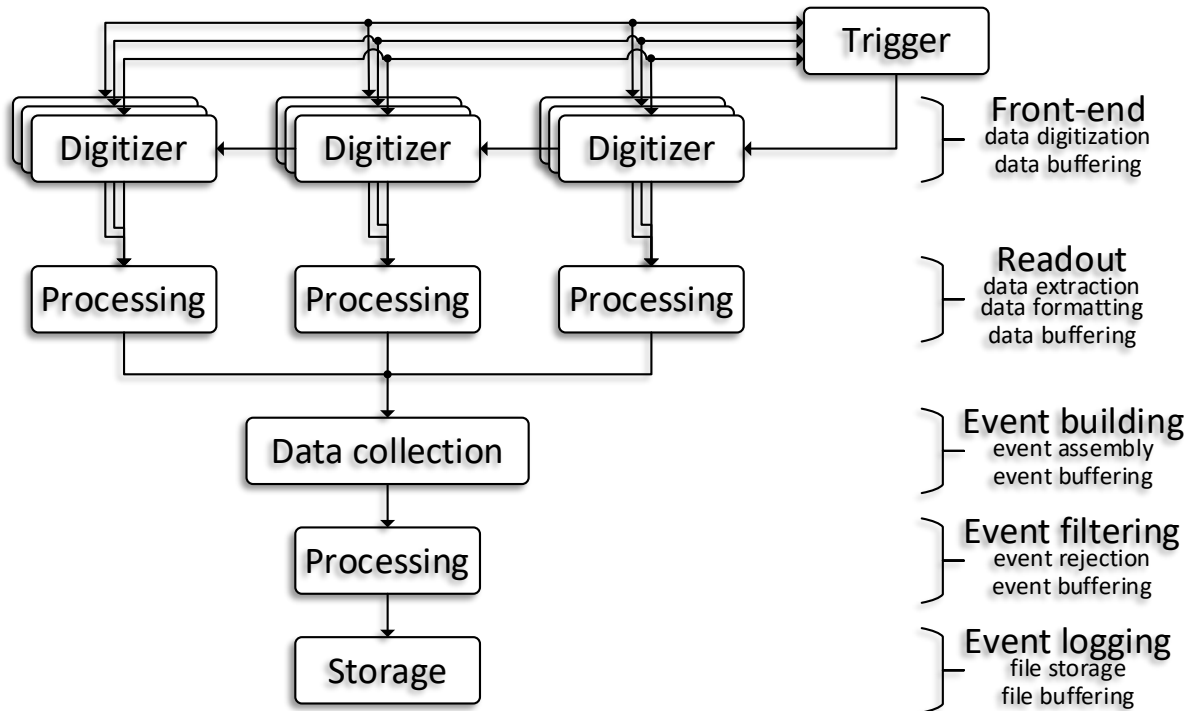
3.4.5 Kaskáda vyrovnávacích pamětí a filtrů

V řetězci sestaveném ze sekvence filtrů (zařízení pro výběr relevantních dat a událostí) kombinovaných s vyrovnávací pamětí dochází k redukci objemu dat díky postupně se zpřisňujícím výběrovým kritériím. V každém kroku zpracování jsou data zachycována do vyrovnávací paměti. Maximální četnost vstupních dat daného stupně definuje čas zpracování filtru a velikost jeho vyrovnávací paměti. Maximální četnost výstupních dat omezuje hodnotu nejvyšší možné latence následujícího stupně. Výkon filtru je limitován kapacitou paměti následujícího stupně. Pokud je četnost dat po filtrování vyšší než kapacita následujícího stupně, je vhodné provést jeden z uvedených kroků [18]:

- Přidání filtrů (zúžení výběrových kritérií).
- Úprava stávajících filtrů (komplexnější výběrová kritéria).
- Pseudonáhodné zahazování dat (předděličky).

3.4.6 Škálovatelnost

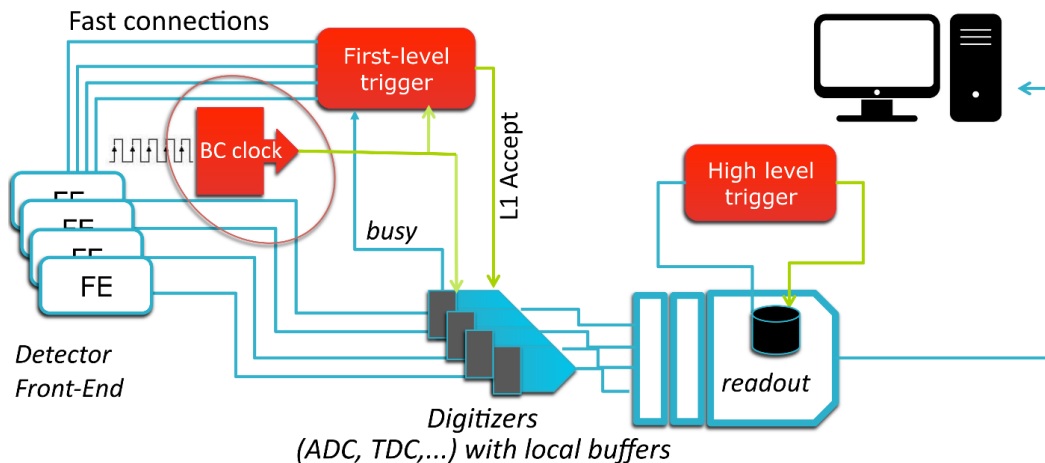
Přidávání více kanálů do detektoru a DAQ zobrazené na Obr. 20 vyžaduje hierarchickou strukturu dedikovanou pro zpracování dat a jejich přenos. V rozsáhlých systémech je obvykle třeba využívat fronty na každé úrovni. V případě, že dojde k naplnění paměti FIFO, je tzv. datový tlak přenesen od spodní úrovně k horní (tedy od úložiště k digitizéru). To znamená, že stále více úrovní detekčního řetězce signalizuje zaneprázdněnost, a to až do chvíle, kdy tento stav ovlivní i činnost trigger systému. Optimální nastavení lze v tomto případě realizovat s využitím monitorovacího systému, které sleduje obsazenost FIFO pamětí v jednotlivých stupních řetězce.



Obr. 20 Obecná architektura škálovatelného DAQ systému

3.4.7 Úrovně trigger systémů

V experimentech na srážecích částic lze použít bunch-crossing frekvenci jako pre-trigger. Level 1 (L1) synchronní trigger může využít čas mezi dvěma BC událostmi k vyhodnocení vstupních signálů bez mrtvého času, je-li tato doba dostatečná.



Obr. 21 Schéma víceúrovňového trigger systému [18]

Trigger systémy se v zásadě dělí na L1 a HLT, který se nachází na Obr. 21. L1 slouží primárně ke značnému potlačení pozadí s vysokou četností dat. Rychlá na míru navržená elektronika (tzn. HW řešení) zpracovává část dat z FE. Pro rozhodování se používají především data s hrubou granularitou z detektorů, jako jsou kalorimetry, výjimečně však i trackery. L1 trigger musí vykazovat vysokou účinnost, ale míra redukce datového toku (vyloučení složek nerelevantních pro daný experiment) nemusí být extrémně vysoká.

HLT redukuje datový tok komplexnějšími algoritmy. Softwarové zpracování dat je implementováno na clusteru. Progresivní redukce četnosti dat s rostoucím indexem stupně zpracování umožňuje použití stále komplexnějších algoritmů s přijatelnými náklady. HLT může mít přístup jak pouze k části dat dané události, tak i k celé události z důvodu vysoké preciznosti při vyhodnocování a k možnému sledování letu částice ve vnitřních detektorech. Běžně se používá také dělení HLT do dvou úrovní [21]:

- L2 pracuje pouze s částí dané události.
- L3 pracuje s celou událostí.

3.4.7.1 L1 trigger

Mezi požadavky na systém s vysokou četností vstupních dat patří: komplexní a flexibilní algoritmy (programovatelná řešení s vyššími programovacími jazyky), komprese a formátování dat, monitorování a automatická detekce chyb. Hardwarová řešení L1 triggeru se historicky vyvíjela následovně [19]:

- 1980 – Emitter-coupled logic (ECL) obvody.
- 1990 – Random access memory (RAM) paměti, posuvné registry, programmable array logic (PAL), malá complex programmable array logic (CPLD), hradlová pole, vícevrstvé trigger systémy pro komplikované úkoly.
- 2000 – CPLD, FPGA, velké RAM paměti, FPGA se zabudovanými RAM paměťmi.
- 2003 – integrace vysokorychlostních sériových linek do FPGA, sloučení digital signal processor (DSP) s FPGA do jednoho integrovaného obvodu.

Jelikož HW implementace L1 triggeru nemusí nutně znamenat kompaktní řešení v jednom modulu, je nezbytné řešit i technologie pro rychlý a spolehlivý přenos dat mezi komponentami. Pro jednotlivé sériové linky (zhruba do délky 10 m) se používá low-voltage differential signaling (LVDS) technologie (do 400 Mbit/s, metalické vedení) a pro délky větší než 10 m se nabízí použití optických vláken (do 10 Gbit/s). Pro datová propojení v rámci rack skříně lze použít propojovací desky s vysokou hustotou (backplanes) umožňující přenosové rychlosti v jednotkách Gbit/s [18].

3.4.7.2 HLT trigger

Při návrhu a konstrukci triggerů vysoké úrovně se uplatňují dva základní principy:

- Brzké odmítnutí události na libovolné úrovni zpracování s použitím postupně vykonávaného komplexního algoritmu.
- Paralelizování události s využitím více procesorů, rozdělení úkolu do vláken.

Po zpracování dat v L1 triggeru je datový tok značně redukován, ale stále může dosahovat nadměrné úrovně. Klíčovým parametrem pro návrh trigger systému je šířka pásma dat daná průměrnou velikostí události a četností výstupních dat z L1 triggeru. Detektory ATLAS/CMS produkují 1 MB na událost s četností 100 kHz, tedy datový tok přibližně 100 GB/s [18]. Pro konstrukci HLT jsou používány nejmodernější technologie v oblasti výpočetní techniky, vysokorychlostních síťových rozhraní a optického přenosu dat.

3.4.8 Výběrové parametry událostí

Pro diskriminaci jsou používány odlišné parametry signálů a jejich koincidence. Tato kritéria jsou označována jako podpisy (případně stopy) triggeru. Základním sledovaným parametrem je obvykle ToT či případně složitější ukazatele vyhodnocované na základě SW výpočtů, pro které můžeme používat jak intuitivní kritéria (relativně rychlé a spolehlivé řešení), tak pokročilé vyhodnocování s ohledem například na mionové stopy, energii uloženou v kalorimetru a stopy v SiT detektorech [18]. Výběr událostí triggerem je prováděn pro signály produkované jednou či dvěma částicemi, případně kombinací více signálů dohromady s využitím logických funkcí (AND/OR), při jejichž aplikaci nevyhnutelně dochází ke vzniku redundance.

Obvykle se triggerování provádí na objekty s vysokou energií či transverzální hybností [22]. Mezi sledované objekty a veličiny pak patří především: e (elektron), γ (gama záření), μ (mion), jet, střední transverzální energie, celková transverzální energie či kombinace uvedených.

3.5 Příklady moderních trigger systémů

Moderní trigger systémy nacházející se na rozličných experimentech v částicové fyzice se liší počtem úrovní, četností událostí, jejich velikostí a mnoha dalšími parametry. Pro ilustraci uvádí Tab. 3 přehled klíčových parametrů vybraných detekčních systémů.

Tab. 3 Vybrané urychlovače a parametry jejich trigger systémů [22]

Detektor	Úroveň [-]	L1 četnost [kHz]	Velikost události [MB]	Šířka pásma readoutu [GB/s]	HLT četnost [Hz]
LEP	3	1	0,1	~0,1	~5
ATLAS	3	100	1,5	30	~1 000
CMS	2	100	1,5	100	~1 000

Jako příklad moderních víceúrovňových komplexních trigger systémů popsanych v kapitolách 3.5.1.1 a 3.5.1.2 byly zvoleny detektory ATLAS a CMS.

3.5.1.1 ATLAS detektor

Implementace sofistikovaného trigger systému je nezbytná, jelikož soustava detektorů ATLAS generuje data s rychlostí přibližně 1 PB/s. Použitý trigger systém se skládá ze třech úrovní, přičemž první z nich je postavena na speciálně vyvinutém HW (převážně FPGA) a zbývající dvě úrovně fungují primárně na velkém clusteru poblíž detektoru. L1 trigger vybírá přibližně 100 000 událostí za sekundu. Po zpracování vybraných událostí v L2 a L3 triggeru dochází k redukci na několik set událostí, které jsou uloženy pro pozdější komplexní analýzu. Datový tok je tedy redukován přibližně na 100 MB/s s ročním úhrnem alespoň 1 PB [24].

3.5.1.2 CMS detektor

Datový tok produkovaný soustavou detektorů je v případě CMS přibližně 40 TB/s. Implementovaný trigger systém redukuje počet uložených událostí zhruba na 1000 každou sekundu. Rychlý L1 trigger postavený na obvodech FPGA vykazuje redukční faktor také přibližně 1000 a má odezvu kratší než 1 μ s. Události akceptované L1 triggerem jsou s pomocí optických vláken odeslány do HLT triggeru, který pro zpracování dat využívá převážně C++ aplikace běžící na běžných počítačových serverech. HLT trigger redukuje četnost událostí opět zhruba o faktor 1000 [25].

4 Motivace, cíle a metodika

Kapitola 4.1 popisuje fyzikální a technické důvody pro stavbu TM. Následuje výčet a charakteristika cílů, které byly definovány pro naplnění požadavků z hlediska projektu ToF AFP. Požadované funkce a parametry, kterých má TM dosahovat, jsou uvedeny v kapitole 4.3. Přehled vědeckých metod, které byly v rámci realizace TM použity, je včetně rozřazení jednotlivých úkol uveden v kapitole 4.4.

4.1 Motivace

Četnost srážek na urychlovači by měla být co možná největší z důvodu produkce vysokého počtu vzácných událostí. Tento požadavek vede ke zvýšení nároků na použité detektory z hlediska detekce a následné rekonstrukce srážek. Kvůli vysoké provozní frekvenci urychlovače LHC ($f_{BC} = 40,08$ MHz) je nezbytné vybírat pouze relevantní události. Tyto události, které patří do skupiny centrální difrakce (CD), mohou být vybrány právě pomocí detektoru AFP ToF.

V těchto událostech figurují dva dopředné protony pohybující se po srážce opačným směrem a centrální systém X , jenž lze popsat jako houf částic zachycených detektorem obklopujícím oblast interakce. Schematické znázornění je pak následující:

$$p + p \rightarrow p + X + p \quad (4.1)$$

CD procesy jsou vzácné s ohledem na ostatní procesy, které je mohou napodobovat. Nejpravděpodobnější je situace, ve které jsou dopředné protony z různých interakcí (tzv. jednodifrakční procesy probíhající stále v rámci jednoho BC) registrovány detektorem ToF AFP. Tyto případy jsou detekovány TM, který následně signalizuje aktivitu do DAQ systému, k čemuž stačí jednobitová informace. V závislosti na trainu, kterým částice proletěla, je možné odvodit její energii. Čím vzdálenější train produkuje signál, tím více energie proton měl a naopak. Tento fakt je důvodem pro návrh datového rámce trigger signálu, který nese informaci o tom, kterým z trainů částice proletěla. Další úrovní řešení je návrh a konstrukce sofistikovaného trigger systému kombinujícího informace z AFP ToF detektoru společně s centrálním detektorem ATLAS.

4.2 Cíle

Za hlavní cíl této práce, která je zaměřena na rychlé výběrové obvody pro časový detektor částic, lze označit vývoj rychlých výběrových obvodů pro ToF detektor projektu AFP. Jednotlivé dílčí cíle lze pak specifikovat následovně:

- Vývoj systému pro selekci vzácných událostí z CD skupiny.
- Snížení četnosti událostí zpracovávaných detekčním řetězcem ToF a redukce nároků na úložný prostor a výpočetní výkon při následné off-line analýze dat.
- Zamezení přehlcování HPTDC nadměrným počtem zpracovávaných událostí, jelikož HPTDC dokáže s využitím integrovaných FIFO pamětí zpracovávat události s četností max. 8 MHz, zatímco teoretická četnost událostí může dosahovat až 40 MHz.
- Snížení latence při formování trigger signálů pro řízení sběru dat z ToF řetězce a jejich ukládání v DAQ systému na hodnotu o velikosti menší než jedné periody synchronizačního kmitočtu urychlovače, tj. 25 ns. Současné řešení základní triggerovací funkce pomocí HPTDC má latenci blízkou 80 ns.
- Přenos informace do DAQ systému s popisem trainu (respektive trainů), kterým daný proton proletěl.
- Tvorba flexibilní TM s možnostmi dynamické rekonfigurace vyhodnocovací logiky, a tedy i kritérií pro selekci událostí.

Z uvedených bodů je patrné, že se jedná o cíle kombinované, tedy funkčně-objektové. Jejich podstatou je nejen úzká specifikace směřování výzkumu, ale také dosažení výstupu s kvantifikovatelnými parametry. Očekávaný typ výsledku bádání bude nabývat pozitivistické podoby.

4.3 Požadované funkce a parametry

Úkolem TM v detektoru ToF AFP má být rychlá online redukce počtu událostí dle zadaných kritérií a generování trigger signálu pro DAQ. Konceptně se TM tedy řadí do kategorie L1. Fakticky se jedná o reálný trigger systém popisovaný v kapitole 3.4.2.2, který ovšem implementuje několik dalších funkcí. Synchronizační kmitočt urychlovače zde poslouží jako pre-trigger a samotný TM bude schopen blokovat či propouštět signály relevantní CD z CFD do TDC.

S ohledem na součástky „z regálu“, jako například komerční FPGA (případně jiné IO s vysokým stupněm integrace) v blízkosti LHC, byla pro první generaci zvolena technologie ECL (jednotlivá hradla a klopné obvody) doplněná o integrované obvody vyráběné hrubým

litografickým procesem či případně speciálně navržené do prostředí se zvýšenou úrovní radiace. Při návrhu a konstrukci první generace TM byly formulovány následující požadavky a očekávání:

- Implementace logické funkce vhodné k vyhodnocování koincidence signálů v rámci trainu.
- Možnost výběru zdroje trigger signálu pro DAQ (vyhodnocení trigger signálů ze všech trainů, případně výběr jednoho z trainů) a jeho zavedení do air-core koaxiálního kabelu s ohledem na dostatečnou budicí schopnost vysílače.
- Použití signálového rozhraní pro komunikaci s CFD a TDC modulem.
- Možnost řízení TM přes Inter-Integrated Circuits (I2C) sběrnici, jejímž prostřednictvím jsou z TDC modulu ovládány také CFD moduly.
- Ověření funkčnosti navrženého konceptu TM (použité signalizační standardy, terminace, motivy plošných spojů a jejich skladby, ...).
- Vystavení TM zvýšené úrovní radiace a testy funkce.

4.4 Metodika

Při řešení vývoje a aplikace rychlých výběrových obvodů pro ToF detektor projektu AFP byly kombinovány empirické a obecně teoretické vědecké metody. Jmenovitě je použita metodika koncipována následovně:

- **Analýza** v sobě integruje definici požadovaných funkcí a parametrů včetně signalizačních, napájecích a mechanických standardů. Dále je v této fázi také proveden návrh blokové koncepce zařízení a popis systémových vazeb mezi jednotlivými elementy.
- **Syntéza** sestává z návrhu obvodového řešení (výpočty, simulace) a návrhu DPS včetně její výroby, osazení a oživení. Dále je touto metodou řešen také mechanický koncept včetně chlazení. Poslední činností v rámci syntézy je pak programování testovacích funkcí pro vzdálené řízení.
- **Experimenty a měření** mají za úkol testovat zařízení pro ověření požadovaných funkcí a vyhodnocení dosažených parametrů.
- **Komparace** dosažených výsledků bude provedena v závěru práce.

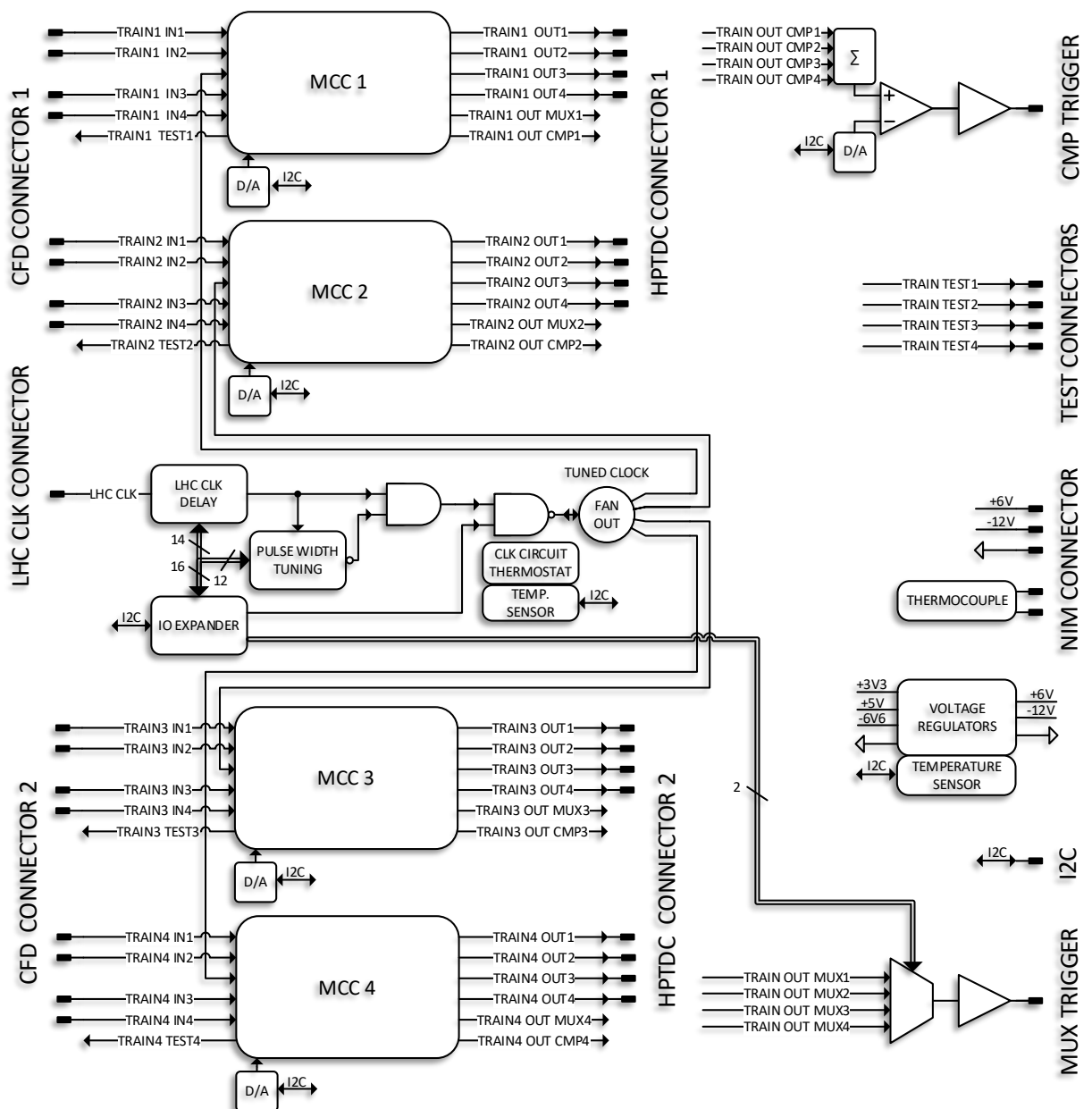
5 Analogově digitální trigger modul detektoru ToF AFP

Elektronika uvnitř dvojitého boxu v NIM standardu je členěna na základní desku a čtyři moduly s vícekanálovými koincidenčními obvody (MCC). Název trigger modulu je odvozen od analogově digitálního řešení zpracování CFD signálů v koincidenčních obvodech.

5.1 Základní deska ADTM

Základní deska zajišťuje napájení, propojení MCC modulů, I2C řízení, úpravu synchronizačního kmitočtu a zpracování trigger signálů z jednotlivých trainů. Popisem architektury se zabývá kapitola 5.1.1. Schémata zapojení se nachází v přílohách A až F.

5.1.1 Architektura, parametry a funkce



Obr. 22 Architektura základní desky ADTM

Dle Obr. 22 jsou signály ze dvou CFD modulů přivedeny na vstupy čtyř MCC modulů, které vykonávají selekci požadovaných událostí na základě úrovně prahového napětí nastaveného digitálně/analogovými převodníky (DAC) ovládanými přes I2C sběrnici. CFD signály pro vyhovující události procházejí MCC bez modifikace do TDC modulů.

Při identifikaci události, která splňuje daná kritéria, jsou v příslušném MCC generovány signály TRAIN OUT CMP a TRAIN OUT MUX. Tyto signály jsou pak zavedeny do obvodu pro vyhodnocování majority ze všech MCC modulů v případě TRAIN OUT CMP a analogicky do multiplexoru vybírajícího jeden z TRAIN OUT MUX signálů. Pro zpracované CMP TRIGGER i MUX TRIGGER signály jsou připraveny samostatné air-core kabelové budiče.

Pro synchronizaci ADTM s bunch-crossing frekvencí LHC (a pro implementaci funkce pre-triggeru) je dedikován obvod úpravy hodinového signálu. Bunch-crossing taktovací signál (40 MHz, 1:1 střída) může být zpožděn až o délku přesahující jednu jeho periodu (max. 30 ns), přičemž šířka je nastavitelná v rozsahu od 0,4 ns až do 10,4 ns za pomoci řízeného hazardu na AND hradlu. Takto upravený hodinový signál je pak pomocí fan-out obvodu distribuován do jednotlivých MCC modulů, kde slouží k užší selekci CFD signálů v rámci periody LHC. Řízení zpožďovacích obvodů je realizováno s využitím I/O expandérů ovládaných přes I2C sběrnici. Jelikož je činnost zpožďovacích obvodů silně závislá na teplotě, byl pro jejich teplotní stabilizaci (hystereze 2 °C) navržen termostat s Peltierovým článkem, který je přes měděnou destičku s danými obvody teplotně svázán.

Pro monitorování teploty v ADTM přes I2C rozhraní byly použity dva teploměry umožňující měření teploty jak integrovaným čidlem, tak externím čidlem využívajícím PN přechod tranzistoru. Tímto způsobem lze tedy měřit teplotu na čtyřech místech uvnitř boxu, přičemž prakticky se jedná o dvě hodnoty teploty v okolí zpožďovacích obvodů a další dvě v oblasti napájecích zdrojů.

Pro napájení obvodů ADTM je třeba zajistit úrovně +3,3 V, +5 V a -6,6 V z dostupných napájecích větví +6 V a -12 V.

Tab. 4 ukazuje, že pro konstrukci ADTM byla z důvodu rychlosti a odolnosti proti rušení použita převážně diferenciální signalizace, a to ve standardech LVDS, low-voltage positive emitter-coupled logic (LVPECL) a current-mode logic (CML).

Tab. 4 Konektory a signalizační standardy ADTM

Konektor	Typ konektoru	Počet signálů	Signály	Standard
CFD1	IDC, 34 pinů	8× DIFF., zem	TRAIN IN	LVPECL
CFD2	IDC, 34 pinů	8× DIFF., zem	TRAIN IN	LVPECL
TDC1	IDC, 34 pinů	8× DIFF., zem	TRAIN OUT	LVPECL
TDC2	IDC, 34 pinů	8× DIFF., zem	TRAIN OUT	LVPECL
I2C	IDC, 10 pinů	2× SE, +3V3, zem	SCL, SDA	+3V3 otev. kol.
CLK IN	SATA	1× DIFF, zem	CLK	CML
COMP TRIGGER	SMA	1× SE, zem	COMP	Fast NIM
MPX TRIGGER	SMA	1× SE, zem	MPX	Fast NIM
TEST 1	MMCX	1× SE, zem	TEST 1	800 mV amp.
TEST 2	MMCX	1× SE, zem	TEST 2	800 mV amp.
TEST 3	MMCX	1× SE, zem	TEST 3	800 mV amp.
TEST 4	MMCX	1× SE, zem	TEST 4	800 mV amp.
NIM MOD.	NIM, 42 pinů	±6 V, ±12 V, ±24 V, zem		

5.1.2 Řízení přes I2C sběrnici

ADTM je s TDC modulem propojena přes I2C sběrnici, jejímž prostřednictvím jsou ovládány obvody pro měření teploty (vyčítání teploty z integrovaného a externího čidla), I/O expandéry nastavující zpoždění a šířku bunch-crossing taktovacího signálu a také DAC určující referenční napětí pro vyhodnocování koincidence signálu v jednotlivých trainech.

5.1.2.1 Úprava taktovacího signálu urychlovače

Pro řízení zpožďovacích linek umožňujících modifikaci délky pulzu a zpoždění synchronizačního kmitočtu urychlovače byl použit IO expandér. Pomocí expandéru je na datových linkách zpožďovacích IO nastavena požadovaná hodnota zpoždění, která je následně do jejich interního registru zapsána pomocí validačního signálu. Expandér umožňuje také zapnutí či vypnutí jednotlivých zpožďovacích linek. NAND hradlo, které se nachází poblíž fan-out obvodu na Obr. 22, rozhoduje o tom, zda bude pro zpracování CFD signálů ve MCC použito časové okénko odvozené od synchronizačního kmitočtu LHC či zda budou vyhodnocovány všechny příchozí signály bez časové kvalifikace.

5.1.2.2 Teplotní senzory

Dva IO umožňující měřit teplotu pomocí interního a externího senzoru jsou ovládány přímo přes I2C sběrnici. Jejich použití umožňuje měření teploty v definovaných bodech (2× v těsné blízkost CLK obvodů, 2× v oblasti napěťových regulátorů) s přesností ± 1 °C a rozlišením 0,125 °C.

5.1.2.3 Konfigurace MCC

MCC v ADTM používá pro vyhodnocení signálů v daném trainu analogový součet

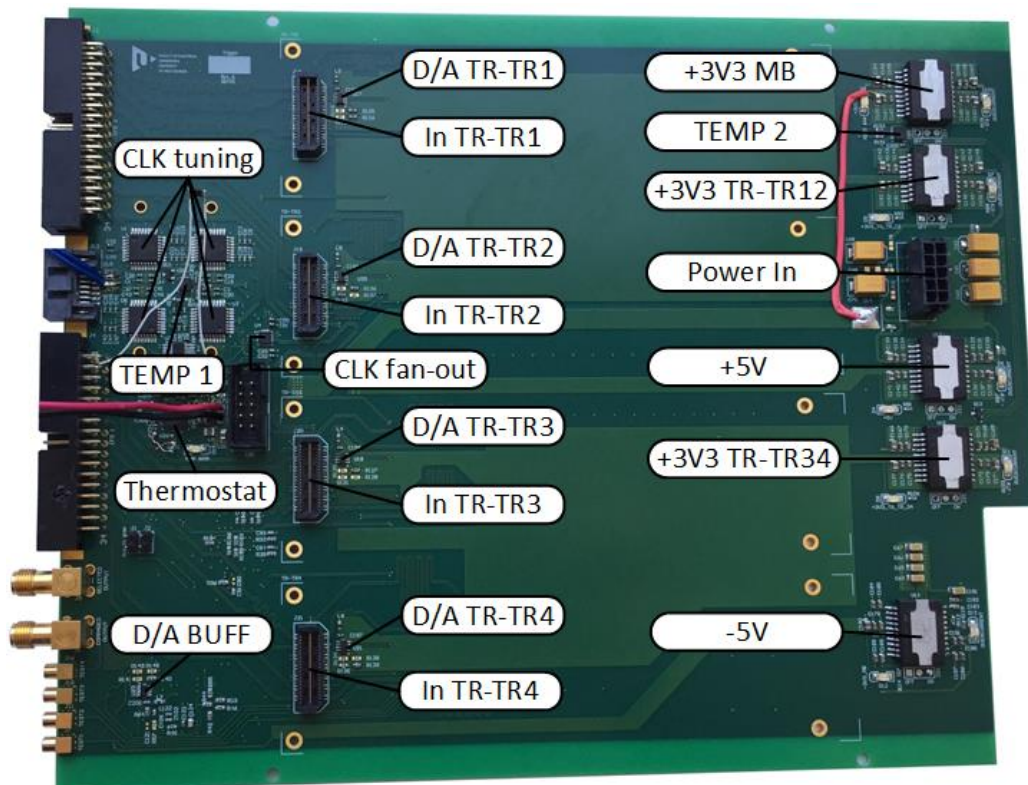
digitálních výstupů logických obvodů, který je následně komparován s referenční napětíovou úrovní. Z tohoto důvodu jsou pro nastavení prahových úrovní, které odpovídají logickým podmínkám pro vyhodnocení koincidencí v daném trainu, použity čtyři DAC s rozlišením 12 bitů a referenčním napětím 2,5 V.

5.1.3 Praktická realizace

Layer	Stack up	Description	Base Thickness	Isolation Distance	Processed Thickness	er	Tg	Copper Coverage	Finish Thickness	
1		Copper Foil	18,000		43,000		3,560	0,000	43,000	
		1080	78,000	64,125	64,125	3,910	150,000		65,000	
		1080	78,000	64,125	64,125	3,910	150,000		65,000	
2										
3			IS400	1200,000	1200,000	1200,000	4,420	150,000	0,000	1200,000
4			Copper Foil	18,000		43,000		3,560	0,000	43,000

Obr. 23 Skladba DPS pro základní desku ADTM – 4 vrstvy [26]

Pro návrh základní desky byla použita skladba plošného spoje z Obr. 23. Signálové spoje ve vnějších vrstvách jsou nakresleny s ohledem na diferenciální impedanci $100\ \Omega$ (přizpůsobení vhodné pro ECL obvody) a vybrané délky signálových spojů v obvodech pro úpravu taktovacího kmitočtu byly meandry vhodně prodlužovány za účelem dosažení požadovaného propagačního zpoždění.



Obr. 24 DPS základní desky ADTM

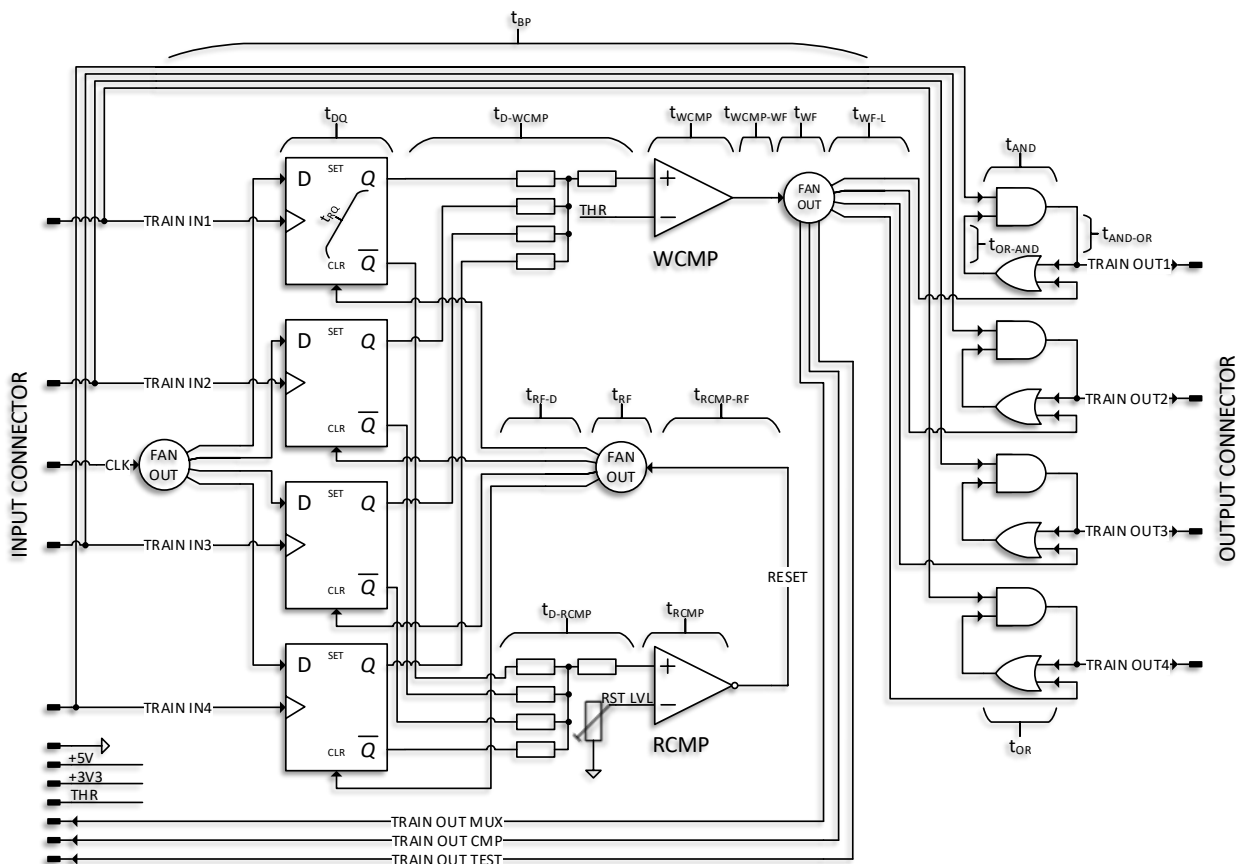
Vlevo na Obr. 24 se nachází dva konektory propojující ADTM s CFD moduly a DAQ systémem za pomoci air-core koaxiálního kabelu. V levém spodním rohu jsou pak umístěny testovací konektory pro monitorování trigger signálů produkovaných jednotlivými MCC, které jsou k základní desce připojeny pomocí diferenciálních VF konektorů. V pravé části se nachází napěťové regulátory, filtrace napájení a rozhraní pro propojení s NIM panelovým konektorem na zadní stěně boxu.

5.2 Vícekanálový koincidenční obvod

Pro zpracování srážkových událostí reprezentovaných signály z CFD byla navržena DPS modulu MCC. Kompletní schéma zapojení se nachází v přílohách G a H.

5.2.1 Architektura, parametry a funkce

Úkolem MCC je zpracovat signály z dané čtveřice tyčinek Čerenkovova detektoru. V případě události zajímavé z hlediska fyzikálního programu projektu AFP přicházejí signály z CFD s časovým posuvem přibližně 100 ps vždy mezi $n + 1$ a n kanálem. Minimální délka pulzů příchozích signálů je 2 ns a maximální posun mezi dvěma krajními signály je pak 400 ps.



Obr. 25 Architektura modulu MCC ADTM

V blokovém diagramu na Obr. 25 hodinový signál, upravený kvalifikačním obvodem, je fan-outem rozvětven do čtyř signálů, které jsou následně zavedeny do D vstupů KO a slouží

pro řízení jejich činnosti. V případě, že je train signál na daném vstupu D KO kvalifikován hodinovým signálem, dochází při aktivní hraně hodin ke změně výstupních signálů KO.

Napěťové úrovně (LVEPCL standard) na výstupech Q jsou na sumačním odporovém obvodu sečteny a výsledná analogová úroveň napětí je v komparátoru WCMP (generování trigger signálu/okénka pro výstupní zachycovací obvody – OLC) porovnána s prahovým napětím, jehož velikost se nastavuje pomocí DAC na základní desce. Prahové napětí je nastavováno do čtyř nastavení DAC odpovídajících napětí sumačního obvodu pro koincidenci logických jedniček v poměru žádná ze čtyř 0/4 a podobně pro 1/4, 2/4, 3/4 a 4/4. V případě, že součet napětí na sumačním obvodu (tzn. počet logických jedniček) přesáhne prahovou úroveň, dojde k překlopení výstupu komparátoru do logické jedničky. Trigger signál produkovaný WCMP komparátorem je rozvětven fan-out obvodem do sedmi signálů, z čehož čtyři jsou použity ve výstupních zachycovacích obvodech pro uvolnění průchodu train signálů, které přichází z CFD modulu a pokračují do modulu TDC. Význam zbývajících třech signálů (CMP, MUX, TEST) byl uveden v kapitole 5.1.1.

Funkce výstupních obvodů musí splňovat následující požadavky: při splnění podmínce 1 z n (tzn. logická jednička na výstupu WCMP komparátoru) musí být zaručen volný průchod nezkrusleného CFD signálu ze zpoždovací linky na výstup Trigger Modulu s minimálním jitterem. Ze zapojení výstupních AND a OR hradel vyplývá, že při včasném uvedení výstupu OR hradla do vysoké úrovně dochází k propuštění zpožděného train signálu AND hradlem na jeho výstup. Vazba mezi AND výstupem a OR vstupem zajišťuje v uvedeném případě průchod train signálu v plné délce, jelikož vysoká úroveň AND výstupu přidržuje přes OR hradlo samotné AND hradlo otevřené.

Sumarizované výstupy \bar{Q} klopných obvodů D jsou v době neaktivních CFD train signálů vyšší než referenční úroveň nastavovaná trimerem na vstupu komparátoru RCMP (generování reset signálu klopných obvodů). Jelikož je výstup RCMP invertován, KO nejsou v základním stavu resetovány. V případě, že je alespoň jeden aktivní train signál kvalifikován a propuštěn na výstup D KO, dojde k poklesu sumy napětí \bar{Q} výstupů pod referenční úroveň RCMP, a tedy ke generování resetovacího pulzu sloužícího k uvedení D KO do výchozího stavu. Tím je obvod připraven na příchod a zpracování další skupiny train signálů z CFD. V době od překlopení D KO do jeho nulování není schopen MCC akceptovat žádné signály z CFD.

Celkovou funkci obvodů lze shrnout do následujícího popisu. Train signály jsou paralelně větveny na D KO a výstupní zachycovací obvody. V případě, že hodinový signál train signály kvalifikuje, je při splnění dané podmínky WCMP komparátorem generován pulz umožňující propuštění train signálů na výstup MCC. Samotná šířka generovaného train signálu je

krom zpoždění IO a DPS určována délkou resetovací smyčky. Při překlopení alespoň jednoho D KO totiž dochází ke generování resetovacího impulsu, který všechny D KO opět uvede do výchozího stavu a připraví MCC pro příchod další události.

Pro požadované koincidence signálů ve MCC je nutné provést analýzu zpoždění IO a úpravu vodivých motivů na DPS. Přehled zpožďovacích členů a časový diagram klíčových signálů uvádí kapitola 5.2.2.

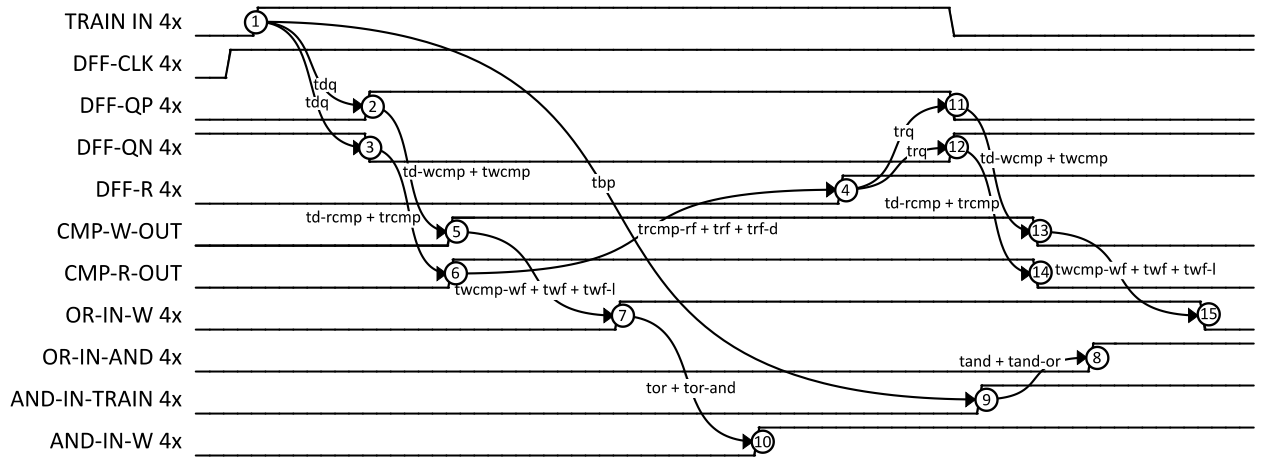
5.2.2 Časování digitálních obvodů

Zpoždění integrovaných obvodů uvedená v Tab. 5 se pohybují v relativně širokém rozsahu v závislosti na provozních podmínkách (napájecí napětí, teplota). Dodatečně vytvořené zpožďovací linky byly navrženy se znalostmi dob šíření signálu v definované kresbě pro vybranou skladbu DPS (kapitola 5.2.3). Cesty signálů jsou přehledně označeny v Obr. 26.

Tab. 5 Zpoždění komponentu a motivů DPS u MCC ADTM

Zpoždění	Význam	Hodnota [ps]
t_{BP}	By-pass zpoždění TRAIN IN signálů na DPS.	2460
t_{DQ}	D vstup – Q výstup D KO.	400–500
t_{D-WCMP}	Q výstup – D KO a vstupem W komparátoru.	223
t_{WCMP}	Vstup – výstup W komparátoru.	145
$t_{WCMP-WF}$	Výstup W komparátoru – vstup W rozbočovače.	90
t_{WF}	Vstup – výstup W rozbočovače.	130–280
t_{WF-L}	Výstup W rozbočovače – vstup OR hradla.	290
t_{OR}	Vstup – výstup OR hradla.	130–280
t_{D-RCMP}	Q výstup D KO – vstup W komparátoru.	264
t_{RCMP}	Vstup – výstup R komparátoru.	145
$t_{RCMP-RF}$	Výstup R komparátoru – vstup R rozbočovače.	1010
t_{RF}	Vstup – výstup R rozbočovače.	150–300
t_{RF-D}	Výstup R rozbočovače – R vstup D KO.	112
t_{RQ}	R vstup – Q výstup D KO.	400
t_{AND}	Vstup – výstup AND hradla.	240–440
t_{OR-AND}	Výstup OR hradla – vstup AND hradla.	68
t_{AND-OR}	Výstup AND hradla – vstup OR hradla.	45

Výše uvedené údaje byly pro sestavení časového diagramu na Obr. 26 zprůměrovány a zaokrouhleny vždy na stovky ps.



Obr. 26 Časový diagram signálů ve MCC ADTM

5.2.3 Praktická realizace

Pro realizaci zpožďovacích linek na DPS byly dedikovány dvě z vnitřních signálových vrstev, což společně s požadavkem na nízkoimpedanční napájení vedlo ke skladbě DPS uvedené na Obr. 27.

Layer	Stack up	Description	Base Thickness	Isolation Distance	Processed Thickness	er	Tg	Copper Coverage	Finish Thickness
						3,560			
1		Copper Foil	18,000		43,000			0,000	43,000
		1080	78,000	64,550	64,550	3,910	150,000		65,000
		1080	78,000	64,550	64,550	3,910	150,000		65,000
2		18,000	18,000					0,000	18,000
		IS400	510,000	510,000	510,000	4,520	0,000		510,000
3		18,000	18,000					0,000	18,000
		1080	78,000	51,500	51,500	3,910	150,000		65,000
		1080	78,000	51,500	51,500	3,910	150,000		65,000
4		18,000	18,000					0,000	18,000
		IS400	510,000	510,000	510,000	4,520	0,000		510,000
5		18,000	18,000					0,000	18,000
		1080	78,000	64,550	64,550	3,910	150,000		65,000
		1080	78,000	64,550	64,550	3,910	150,000		65,000
6		Copper Foil	18,000		43,000			0,000	43,000
						3,560			

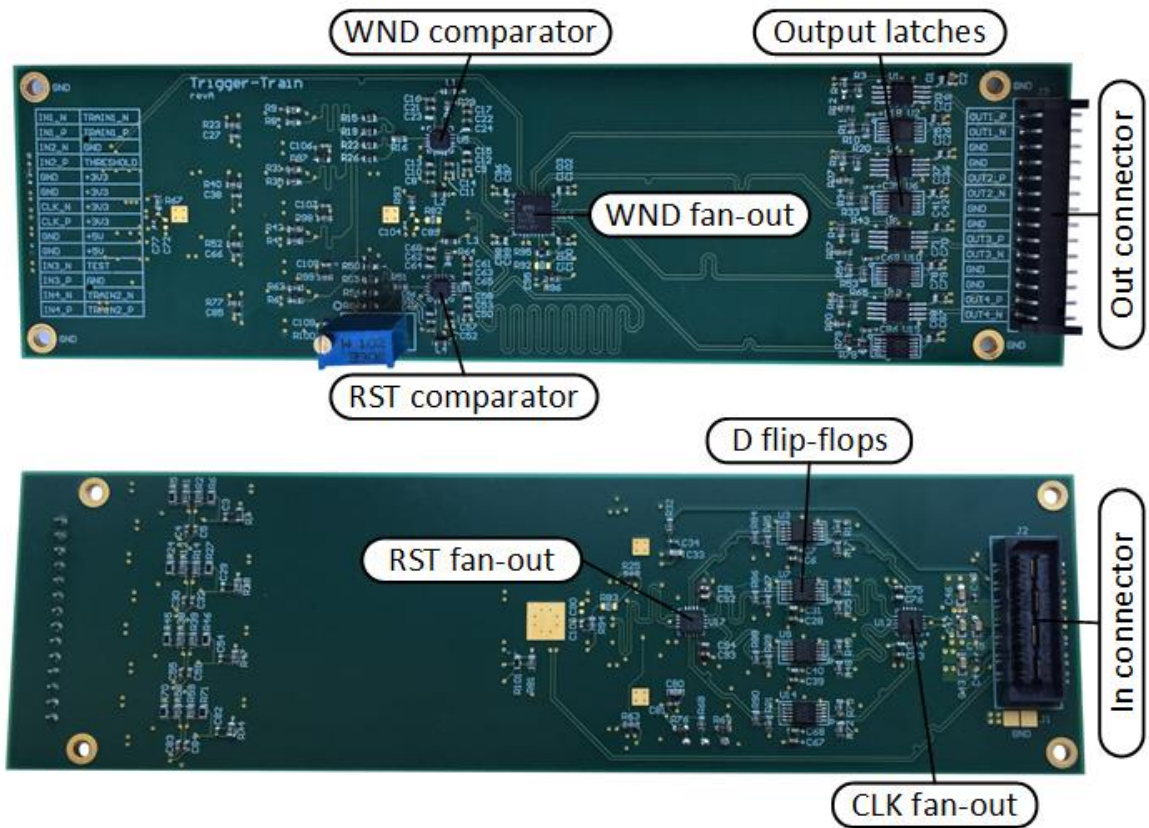
Obr. 27 Skladba DPS pro modul MCC ADTM – 6 vrstev [26]

VF parametry DPS jsou závislé především na materiálu použitého dielektrika, rozestupu mezi vrstvami a tvaru vodivého motivu. Na základě simulací v programu Speedstack PCB firmy Polar byla sestavena Tab. 6 udávající měrné zpoždění pro 50 Ω (respektive 100 Ω diferenciální) impedanci ve vnějších a vnitřních signálových vrstvách. Pro zpoždění train signálů o 2,4 ns bylo nutno navrhnout ve vnitřní vrstvě meandry o délce 350 mm, přičemž velikost delší hrany DPS je 140 mm.

Tab. 6 Měrné zpoždění šíření signálu pro použitou 6V skladbu DPS

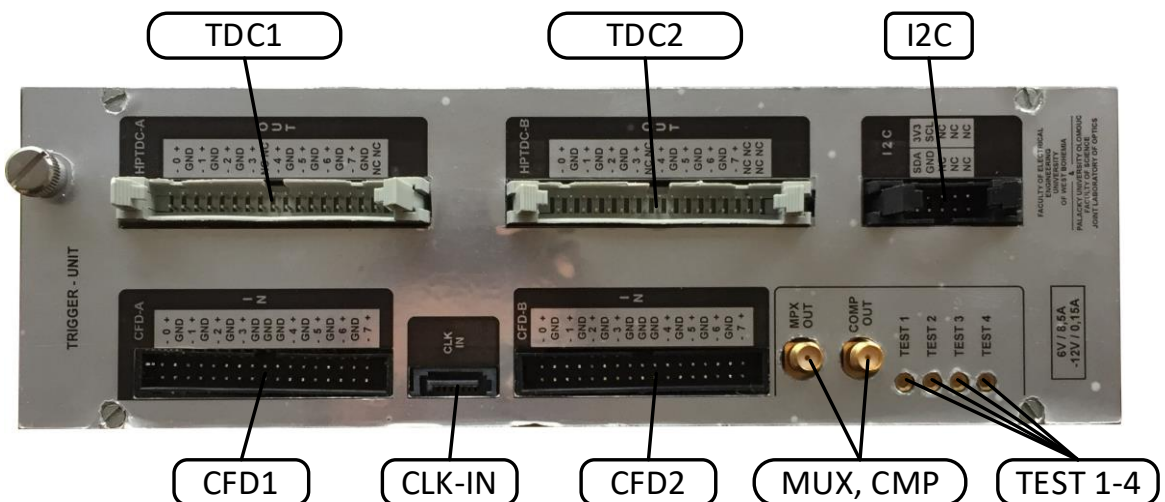
	Vnější vrstva		Vnitřní vrstva	
Impedance [Ω]	50	100	50	100
Měrné zpoždění [ps/m]	5806,66	5586,52	6889,77	6855,97

V horní části Obr. 28 jsou zobrazeny WCMP a RCMP komparátory společně s W fan-out obvody a výstupními zachycovacími obvody. Čtrnáctipinový signálový konektor slouží k propojení modulu MCC s předním panelem ADTM. Spodní část obrázku ukazuje druhou stranu DPS s R fan-out obvodem, D KO, fan-out IO pro upravený hodinový signál a také diferenciální VF konektor.



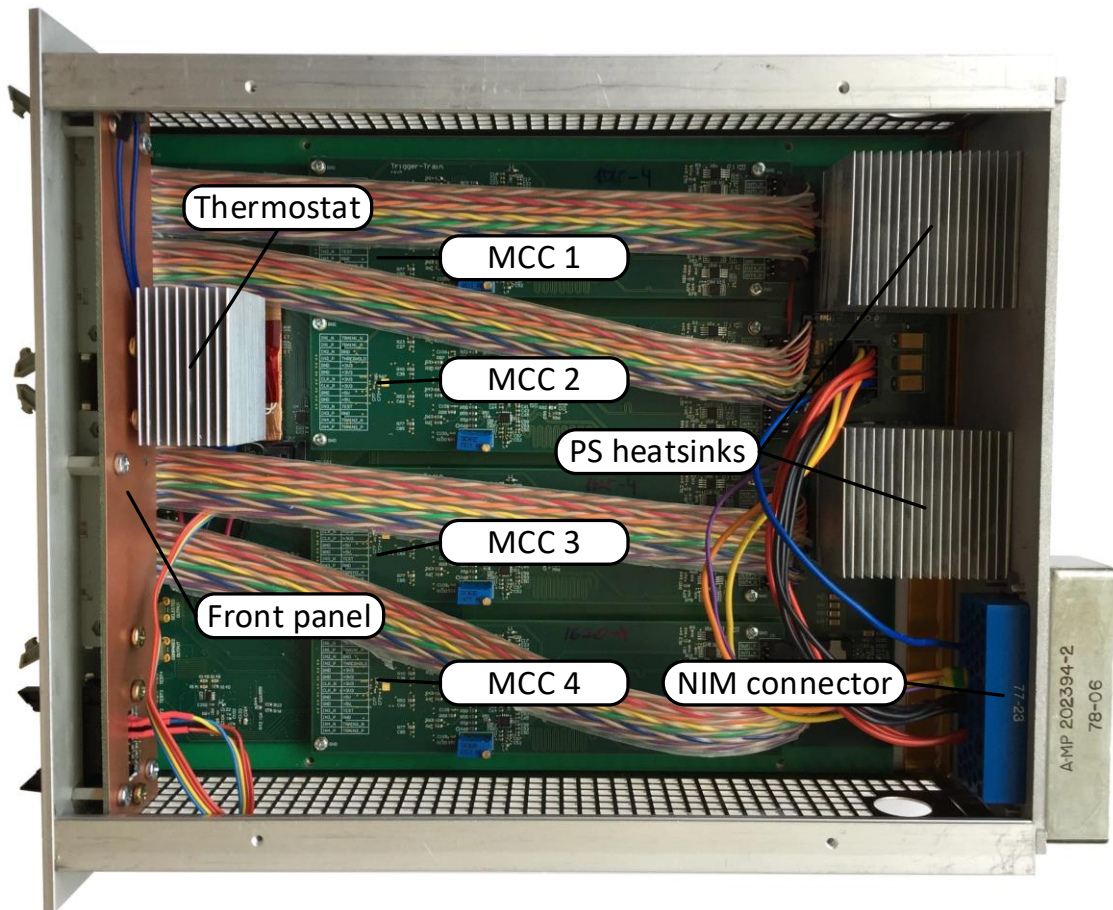
Obr. 28 DPS modulu MCC ADTM – pohled shora a zdola

5.3 Kompletní zařízení



Obr. 29 Přední panel ADTM

Konektory pro propojení ADTM s CFD a TDC moduly jsou v levé a střední části předního panelu na Obr. 29. V pravém horním rohu se nachází I2C rozhraní propojované s TDC modulem. Dva koaxiální konektory pro vysílání trigger signálu do air-core kabelu se nachází v pravé spodní části poblíž čtyř konektorů s vyvedenými trigger signály pro účely testování. Bunch-crossing synchronizační signál vstupuje do ADTM pomocí konektoru umístěného mezi CFD vstupy.



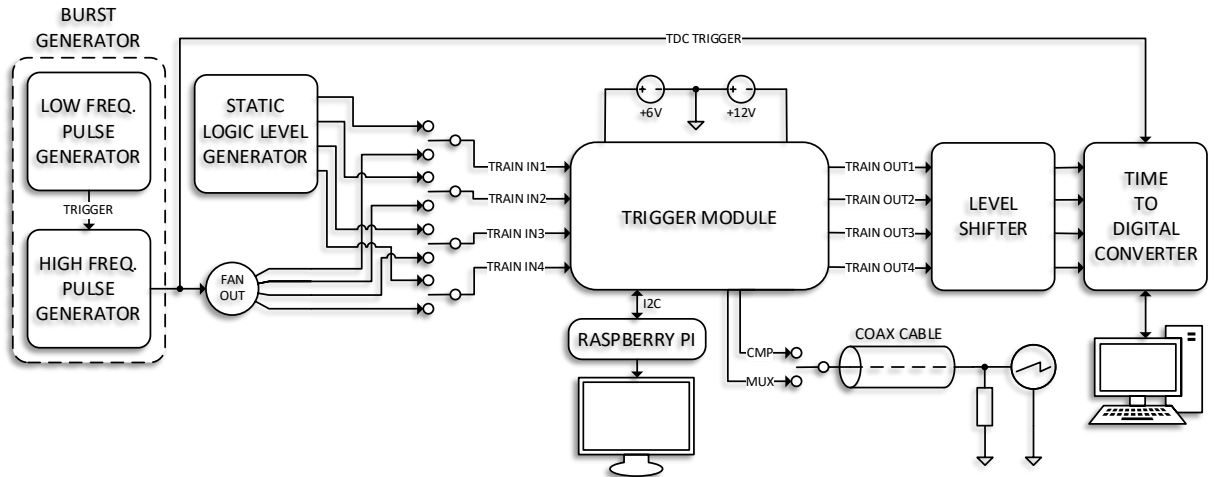
Obr. 30 Pohled do NIM ADTM osazeného základní deskou a moduly MCC

NIM box osazený elektronikou na Obr. 30 obsahuje především základní desku, čtyři moduly MCC, Peltierův článek pro termostat a také chladiče napěťových regulátorů použitých pro napájení ADTM. Na zadním panelu boxu se nachází NIM konektor, jehož prostřednictvím se modul připojuje do NIM crate. Tento konektor slouží kromě napájení také k měření vnitřní teploty termočlánekem připojeným do rozhraní Detector Control System (DCS).

5.4 Testy ADTM

Kapitoly 5.4.1 a 5.4.2 popisují průběh a výsledky testování ADTM v laboratorních podmínkách.

5.4.1 Popis experimentu pro měření parametrů ADTM



Obr. 31 Zapojení experimentu pro měření parametrů ADTM

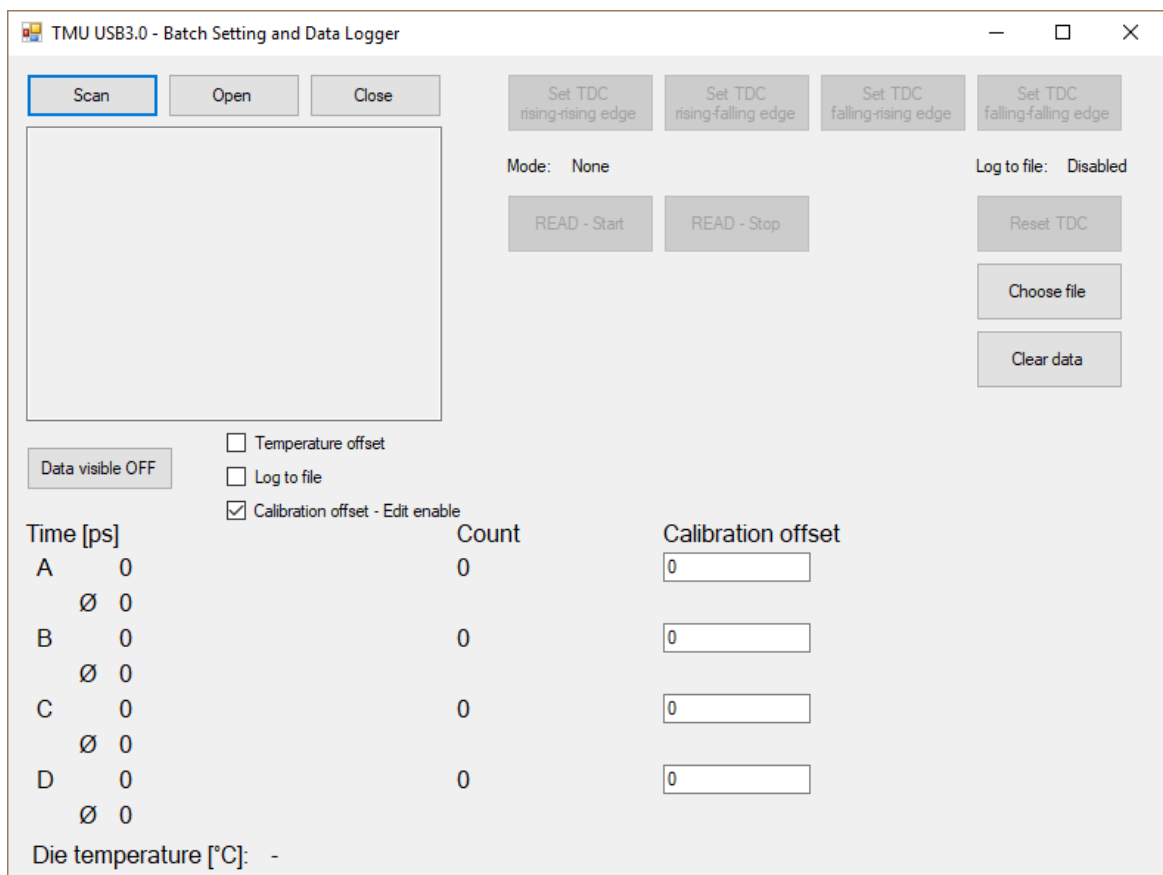
Blokový diagram experimentu pro ověření účinnosti a provozních parametrů ADTM je zobrazen na Obr. 31. ADTM byl během testů napájen ze dvou laboratorních zdrojů s napětím +6 V a -12 V. Pro monitorování teploty, nastavování prahových napětí komparátorů a řízení zpoždění a šířky bunch-crossing synchronizačního signálu bylo použito Raspberry Pi s I2C sběrnici. Jako TDC pro měření délek pulzů přichozích signálů a vzájemných rozestupů mezi náběžnými hranami jednotlivých kanálů sloužilo zařízení Time-Measurement Unit (TMU) THS788, jehož vyrovnávací paměť má hloubku 15 vzorků a časové rozlišení je 13 ps [27]. Z tohoto důvodu byly použity pro generování train signálů dva generátory. VF generátor s kmitočtem 40 MHz a velikostí dávky 15 pulzů byl spouštěn nízkofrekvenčním (NF) generátorem s kmitočtem 5 Hz. Takto vytvořený dávkový signál byl kromě použití pro spouštění měření TDC modulu zaveden také do fan-out obvodu, který signál rozdělil do čtyř větví, převedl na LVPECL úroveň a zajistil 100 ps časové posuvy vždy mezi kanály n a $n + 1$. Pro simulaci situace, kdy na vstupech testovaného MCC nedochází k dynamické změně všech kanálů, byl použit statický generátor LVPECL úrovně.

Měření CMP a MUX výstupů probíhalo na přibližně 100 m dlouhé přenosové cestě složené z 3 koaxiálních kabelů. Průběh napětí na 50Ω byl monitorován osciloskopem. Velikost amplitudy logické jedničky na terminačním obvodu byla přibližně -0,863 V, přičemž NIM standard specifikuje vstupní napěťový rozsah přijímače jako -0,6 V až -1,8 V.



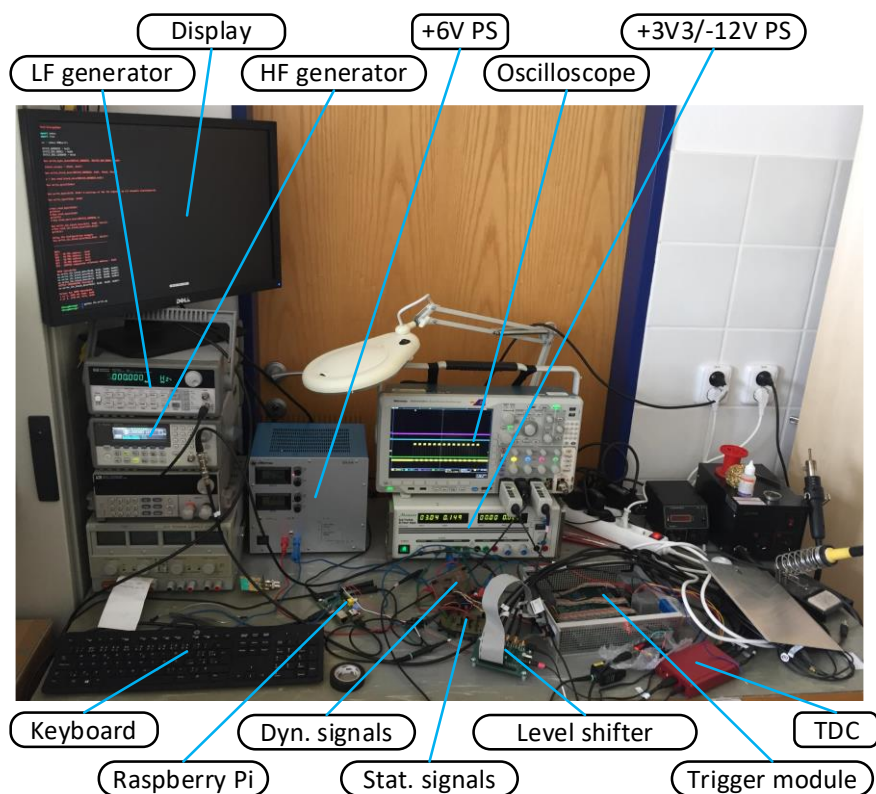
Obr. 32 Přední (vlevo) a zadní (vpravo) panely TMU THS788

Výstupní signály z ADTM byly převedeny z LVPECL standardu na low-voltage CMOS (LVCMOS), jelikož je jednotka TMU THS788 zobrazená na Obr. 32 navržena pro signalizaci po jednom vodiči se společnou zemí. Do *CLK IN* vstupu sloužícího ke spouštění měření je zaveden dávkový signál z generátoru. Vstupy *Channel 1* až 4 jsou obsazeny train signály, které prošly ADTM. TDC modul byl v průběhu měření připojen k PC, na kterém běžel akviziční program TMU USB3.0 – Batch Setting and Data Logger, jehož náhled je na Obr. 33 [27].



Obr. 33 Program pro sběr dat s TMU THS788

Reálná podoba pracoviště, na kterém bylo prováděno testování ADTM, je zachycena na Obr. 34.

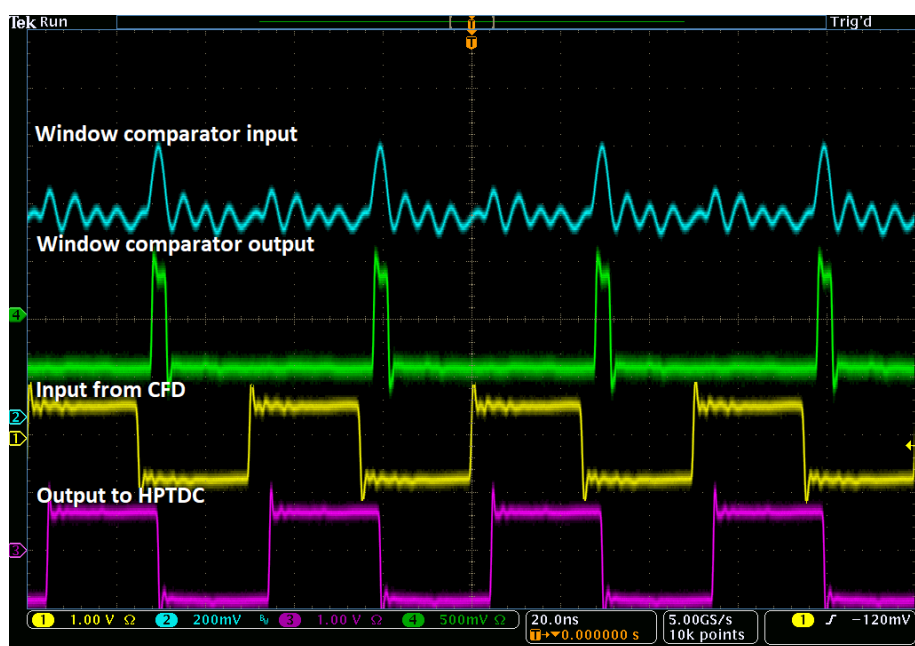


Obr. 34 Měřicí pracoviště pro měření parametrů ADTM

5.4.2 Výsledky měření

V rámci měření byly sledovány průběhy signálů na MCC, prahové úrovně, účinnost ADTM v závislosti na teplotě, časový posun mezi jednotlivými kanály MCC a příkon celého modulu.

5.4.2.1 Průběhy signálů na MCC



Obr. 35 Průběh signálů na jednom MCC ADTM pro konfiguraci train signálů 1/4

Časové průběhy zachycené na Obr. 35 odpovídají režimu 1/4, ve kterém je pouze jeden ze signálů (TRAIN IN 1) dynamicky měněn mezi logickou nulou a jedničkou. Modrá barva reprezentuje součet napětí z Q výstupů klopných obvodů. Zelený průběh odpovídá trigger okénku generovanému při dosažení prahové úrovně komparátoru WCMP. Průběh TRAIN IN 1 je zachycen žlutě. Jeho zpožděná verze v podobě TRAIN OUT 1 signálu nese fialovou barvu.

5.4.2.2 Prahové úrovně WCMP komparátorů

Při pokojové teplotě byla uvnitř otevřených ADTM naměřena čidlem DS18B20 teplota 32 °C. Prahové úrovně, při kterých docházelo u WCMP a CMP ještě k překlápění komparátoru v případě odpovídajícího počtu logických jedniček na výstupech D KO, jsou společně zaznamenány v Tab. 7.

Tab. 7 Prahové úrovně WCMP a CMP komparátorů pro ADTM 1 a 2

ADTM 1					
Režim	V _{MCC1} [mV]	V _{MCC2} [mV]	V _{MCC3} [mV]	V _{MCC4} [mV]	V _{CMP} [mV]
1/4	1110	1110	1110	1110	1320
2/4	1250	1265	1260	1260	1390
3/4	1380	1410	1400	1400	1460
4/4	1490	1550	1520	1530	1540

ADTM 2					
Režim	V _{MCC1} [mV]	V _{MCC2} [mV]	V _{MCC3} [mV]	V _{MCC4} [mV]	V _{CMP} [mV]
1/4	1110	1120	1120	1120	1320
2/4	1265	1265	1265	1260	1390
3/4	1410	1410	1410	1400	1470
4/4	1520	1530	1530	1520	1540

Maximální rozdíl napětí mezi osmi MCC moduly porovnávanými ve stejných režimech je 30 mV.

5.4.2.3 Účinnost ADTM a závislost na teplotě

Pro získání údajů shrnutých v Tab. 8 byla ADTM provozována při pokojové teplotě bez bočního krytu (32 °C) a následně také při kompletním zakrytí NIM boxu (67 °C po zhruba 2 hodinách provozu).

Tab. 8 Prahová napětí MCC modulu 4 pro ADTM 1 při dvou různých teplotách

ADTM 1, MCC 4		
Režim	V _{MCC, 32 °C} [mV]	V _{MCC, 67 °C} [mV]
1/4	1110	1070
2/4	1260	1215
3/4	1400	1375
4/4	1530	1495

Z výše uvedeného příkladu je patrná značná závislost prahových napětí na teplotě. Tento

fakt, společně s problematickou uniformitou signálu sumarizovaného z výstupů D KO (jak napovídá Obr. 35), působí obtíže při vyhodnocování aktuálního počtu logických jedniček. Vliv uniformity signálu a teplotní závislosti na účinnost ADTM je patrný z Tab. 9.

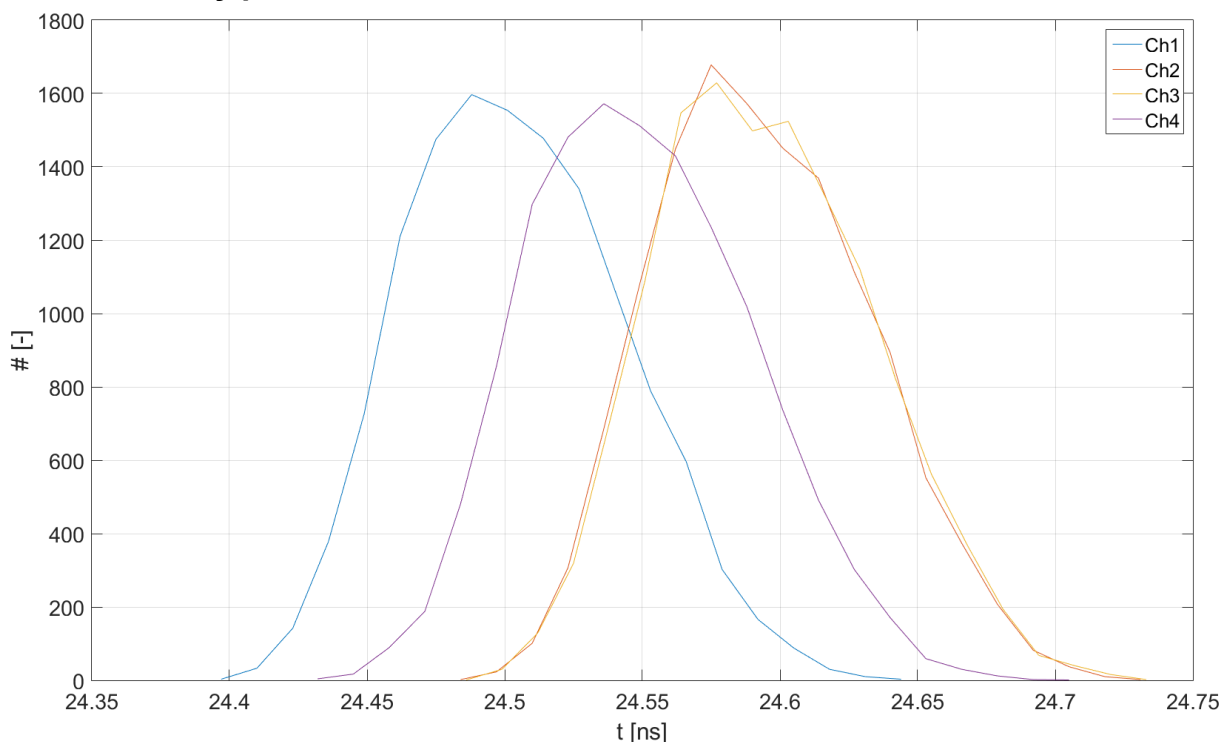
Tab. 9 Účinnost ADTM 1 při dvou různých teplotách

ADTM 1, $T_{\text{BOX}} = 32\text{ }^{\circ}\text{C}$, prahové úrovně pro $32\text{ }^{\circ}\text{C}$				
Režim	η_{MCC1} [%]	η_{MCC2} [%]	η_{MCC3} [%]	η_{MCC4} [%]
1/4	100	100	100	100
2/4	100	99,87	99,38	100
3/4	99,26	100	100	100
4/4	100	100	99,65	99,81

ADTM 1, $T_{\text{BOX}} = 67\text{ }^{\circ}\text{C}$, prahové úrovně pro $32\text{ }^{\circ}\text{C}$				
Režim	η_{MCC1} [%]	η_{MCC2} [%]	η_{MCC3} [%]	η_{MCC4} [%]
1/4	86,3	91,2	86,6	85,3
2/4	79,8	85,9	77,1	88,2
3/4	90,1	78,4	83,8	78,9
4/4	82,7	89,3	80,2	87,7

Účinnost byla vyhodnocena na základě podílu mezi počtem pulzů vyslaných z generátoru dávek a počtem pulzů přijatých v TMU THS 788. Pro obě pracovní teploty byly nastaveny prahové úrovně optimalizované pro $32\text{ }^{\circ}\text{C}$.

5.4.2.4 Časový posun kanálů MCC



Obr. 36 Histogram period hodinového signálu zpracovávaného MCC 1 v ADTM 1

Pro získání dat použitých při sestavení histogramu na Obr. 36 bylo na všechny kanály MCC současně vysláno celkem 14 000 vzorků s kmitočtem 40 MHz. Prahová úroveň komparátoru byla během měření nastavena do režimu 4/4. Maximální vzájemný časový posun mezi kanály fan-out obvodu použitého pro buzení vstupu MCC pomocí LVPECL signálů je výrobcem udáván jako 15 ps [28]. I přes pečlivé zarovnání délky motivů signálových cest na DPS, a přípravě měřicí kabeláže se stejnou délkou, dosahuje největší rozdíl zpoždění mezi signály kanálů MCC přibližně 92 ps. Tato hodnota byla ověřena také systematickými záměnami budících kanálů a měřicí kabeláže v rámci trainu.

5.4.2.5 Příkon

Tab. 10 Proudový odběr na napájecích větvích ADTM

	6 V větev	-12 V větev
Proudový odběr [A]	8,2	0,06

Vzhledem k nízkému stupni integrace obvodů použitých pro konstrukci MCC, a signalizaci LVPECL s vysokým proudovým odběrem, je dle Tab. 10 proudový odběr pro 6 V větev 8,2 A. Z uvedené hodnoty představuje samotný odběr MCC modulů 6,2 A, přičemž zbylé 2 A spotřebovává elektronika na základní desce (především rychlé LVPECL obvody pro úpravu bunch-crossing synchronizačního signálu). Negativní -12 V napětí napájí pouze výstupní kabelové budiče a odběr na této větvi je proto minimální.

5.4.2.6 Zhodnocení výsledků a funkčnosti

Analogový součet napětí z digitálních výstupů D klopných obvodů na MCC modulech vede k nutnosti měření prahových úrovní na jednotlivých DPS ve všech režimech (1/4, 2/4, 3/4, 4/4). U takto získaných hodnot prahových napětí byla také zjištěna značná teplotní závislost a problémy s uniformitou signálu – nežádoucí zkreslení v podobě parazitních napěťových špiček.

Při nastavení optimálních referenčních napětí pro teplotu uvnitř boxu odpovídající 32 °C byla sice účinnost měřené ADTM ve všech provozních režimech téměř 100 %, nicméně při nárůstu vnitřní teploty na 67 °C klesla účinnost přibližně na 80 %. Situace je řešitelná zavedením teplotní kompenzace do velikosti referenčního napětí. Hodnota teploty snímané uvnitř ADTM je přes I2C sběrnici přenášena do TDC modulu, který pak může referenční napětí na jednotlivých trainech pro daný režim teplotně kompenzovat a dosahovat tak účinnosti blízké 100 % v celém provozním teplotním rozsahu (0 °C až 85 °C).

Maximální změřený vzájemný časový posun mezi dvěma kanály v rámci jednoho MCC modulu byl 92 ps.

U vysokofrekvenčních konektorů, které slouží k propojení základní desky a MCC modulů, byly zjištěny problémy s vodivým spojením, ke kterým přispěly i vysoké změny teploty. Tyto problémy byly zapříčiněny rezidui tavidla použitého při pájení a také nedostatečnou přítlačnou silou mezi deskami. Konektory použité pro propojení výstupních signálů MCC s předním panelem ADTM se projevily jako velmi problematické. I s profesionálním nářadím je obtížné nakrmpovat vhodný plochý kabel s diferenciálními páry tak, aby se jednotlivé kontakty neutrhávaly a spolehlivě držely v protikusu ke konektoru na DPS.

S dostatečnou péčí věnovanou problémům s kontaktováním (vyčištění konektorů a adekvátní přítlak na základní desku; zevrubná kontrola krimpování u výstupních konektorů), a při nastavení referenčních napětí komparátorů WCMP a CMP s ohledem na teplotu, fungují obě ADTM s účinností blížkou 100 % bez potíží. Problémy spojené s reprodukovatelností ADTM a jejich provozem ovšem vedly k návrhu nového konceptu uvedeného v kapitole 6.

6 Digitální trigger modul detektoru ToF AFP

Mezi hlavní negativa ADTM, která vedla k vývoji další generace modulu triggeru v plně digitální podobě, patří především:

- Teplotní závislost analogové části MCC je prakticky řešitelná pouze pečlivým měřením součtových signálů na jednotlivých MCC modulech v závislosti na teplotě a následnou korekcí referenčního napětí používaného pro vyhodnocení koincidencí CFD signálů.
- Vysoký odběr zařízení (50 W) je problematický z důvodu samotného přívodu napájení pro ADTM, kdy by muselo dojít k instalaci separátní kabeláže přímo pro napájení zařízení. Navíc teplo generované ADTM může potenciálně ovlivnit provoz dalších modulů nacházejících se v NIM crate.
- Použitá architektura MCC neumožňuje rekonfiguraci obvodů (respektive flexibilní úpravu logické funkce).
- Problémy s propojením MCC modulů na základní desku a na přední panel ADTM, odstranění vlivu konektorů.

Problémy spojené s teplotní stabilitou, vysokou spotřebou a flexibilitou řeší DTM, která využívá FPGA obvody (dále označované také jako MCC FPGA) pro nahrazení diskrétních hradel a KO v MCC modulech.

Řídící FPGA (dále označováno také jako CTRL FPGA) umožňuje eliminovat nutnost chlazení zpoždovacích linek kvalifikačního signálu 40 MHz Peltierovým článkem (a tím snížit odběr DTM) díky použití korekčního algoritmu založeného na znalosti jejich teplotní závislosti a aktuální teploty. FPGA zde také funguje jako I2C komunikační most mezi obvody na desce DTM (připojenými k interní sběrnici) a TDC (externí sběrnice). FPGA má navíc plně konfigurovatelnou adresu (rozsah 0 až 127) a DTM pak tedy zbytečně nezabírá velkou část adresového prostoru pro I2C sběrnici. Zpracování TRAIN OUT CMP a TRAIN OUT MUX signálů je v případě DTM také řešeno v CTRL FPGA, čímž je dosaženo vyšší flexibility a redukce spotřeby. Obvody pro vysílání příkazů do DAQ přes air-core koaxiální kabel byly v případě ADTM schopny vyslat vždy jen jeden pulz na základě zadaných kritérií (výběr jednoho ze čtyř MCC či dosažení prahové úrovně při součtu výstupů všech MCC). Každá z těchto dvou logických funkcí navíc vyžadovala vlastní kabelový výstup. DTM si klade za cíl možnost vysílání datového rámce zachycujícího aktivitu kteréhokoliv z MCC (respektive trainu).

K dalšímu snížení spotřeby zařízení přispívá použití spínaného snižujícího DC/DC měniče pro převod napětí z +6 V na +3,3 V s vysokou účinností ($\geq 90\%$). ADTM řešení napájecích zdrojů +3,3 V low-dropout (LDO) regulátory bylo použito kvůli obavám z rušení analogových částí ADTM spínaným regulátorem a vyznačovalo se značným vyzářeným výkonem (45 %).

Potížím s kontaktováním MCC na základní desku a přední panel předchází jednodeskové řešení, na které jsou připájeny všechny potřebné součástky. Kontaktování výstupů MCC na přední panel je navíc realizováno vhodnějšími konektory bez nutnosti krimpování jednotlivých vodičů.

V průběhu vývoje DTM vyvstala potřeba návrhu a konstrukce vývojového kitu s radiálně odolným FPGA, které by bylo možné použít při stavbě zařízení. Důležitou součástí syntézy celkového obvodového řešení DTM byly také testy obvodů určených pro kódování a dekódování příkazů pro DAQ v reálné aplikaci (tzn. s nasazením na instalovanou přenosovou trasu na LHC v CERNu). Tato zařízení jsou společně s jejich měřením popsána v kapitole 6.2.

Pro zvýšení uživatelského komfortu při testování účinnosti DTM byl rovněž vyvinut speciální tester popisovaný v kapitole 6.3. Tester simuluje CFD signály s možností nastavení libovolné kombinace čtyř výstupů z CFD a počtu pulzů pro jednotlivé trainy. Výstupy z MCC jsou pak zavedeny zpět do testeru, který vyhodnocuje, zda DTM správně zpracovala CFD signály vzhledem k nastavené prahové úrovni (logické podmínce 1 z n). Tester reportuje výsledky přes universal asynchronous receiver-transmitter (UART) do PC, které slouží pro jeho řízení.

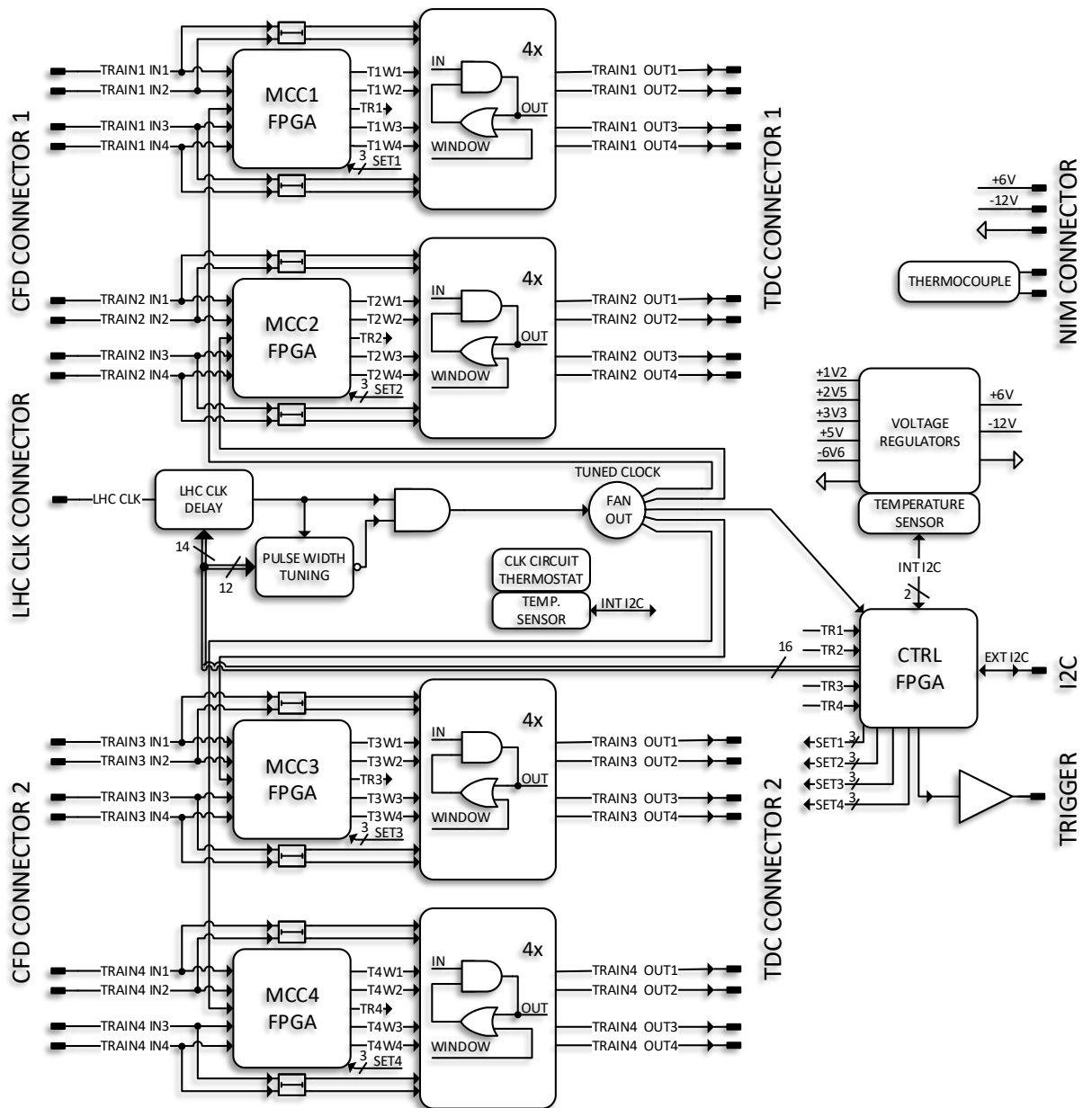
Kapitola 6.1 se zabývá samotnou DTM s důrazem kladeným na popis architektury zařízení, časování obvodů ve MCC, firmware v CTRL i MCC FPGA.

Dosažené parametry a ověření požadovaných funkcí je podrobně popsáno v kapitole 6.4 včetně popisu průběhu experimentů.

6.1 Základní deska DTM

Navenek zůstává většina základních požadovaných parametrů a funkcí DTM shodná s ADTM. Rozdíl je hlavně v možnostech vysílání datových rámců pro řízení DAQ. Krom této dodatečné funkce si DTM klade za cíl zvýšení teplotní stability, redukci spotřeby, zvýšení flexibility vyhodnocování CFD signálů a sestavování datových rámců pro řízení DAQ. DTM by měla také řešit problémy s kontaktováním MCC modulů integrací veškeré elektroniky na základní desce. Vzhledem k redukované spotřebě je také předpoklad značného zjednodušené mechanické konstrukce (absence Peltierova článku s chladičem díky teplotní kompenzaci prováděné v CTRL FPGA, zjednodušení/eliminace velkých chladičů IO).

6.1.1 Architektura, parametry a funkce



Obr. 37 Architektura základní desky DTM

Dle Obr. 37 jsou signály ze dvou CFD modulů zpracovávány celkem ve čtyřech MCC využívajících FPGA a výstupních logických hradel. Prahové úrovně pro minimální počet současných logických jedniček (logická jednička znamená světelný impulz Čerenkova záření v daném kanále) v daném trainu jsou pro jednotlivé MCC nastavovány z CTRL FPGA.

Při identifikaci události relevantních pro daný experiment produkuje každý MCC signál TR, který je následně zaveden do CTRL FPGA. Tyto signály jsou v CTRL FPGA zachyceny, serializovány, opatřeny start bitem (logická jednička) a vyslány kabelovým budičem do DAQ.

Ovládání šířky a délky pulzu odvozeného od synchronizačního kmitočtu urychlovače je realizováno v FPGA. V DTM je také implementován regulátor pro chlazení zpoždovacích linek

Peltierovým článkem jako záložní řešení. Aktuální teplota zpoždovacích linek, které jsou teplotně svázané malým chladičem, je čtena CTRL FPGA obvodem a na jejím základě je vypočtena hodnota pro korekci nastaveného zpoždění.

Přehled konektorů a signalizačních standardů DTM uvedený v Tab. 11 na rozdíl od ADTM nezahrnuje testovací konektory. Dále byl redukován počet výstupů pro vysílání příkazů pro DAQ ze dvou na jeden, jelikož datové rámce vysílané DTM nesou veškeré potřebné informace.

Tab. 11 Konektory a signalizační standardy DTM

Konektor	Typ konektoru	Počet signálů	Signály	Standard
CFD1	IDC, 34 pinů	8× DIFF., zem	TRAIN IN	LVPECL
CFD2	IDC, 34 pinů	8× DIFF., zem	TRAIN IN	LVPECL
TDC1	IDC, 34 pinů	8× DIFF., zem	TRAIN OUT	LVPECL
TDC2	IDC, 34 pinů	8× DIFF., zem	TRAIN OUT	LVPECL
I2C	IDC, 10 pinů	2× SE, +3V3, zem	SCL, SDA	+3V3 otev. kol.
CLK IN	SATA	1× DIFF, zem	CLK	CML
COAX	SMA	1× SE, zem	DAQ	Fast NIM
NIM MOD.	NIM, 42 pinů	±6 V, ±12 V, ±24 V, zem		

6.1.2 Řízení přes I2C sběrnici

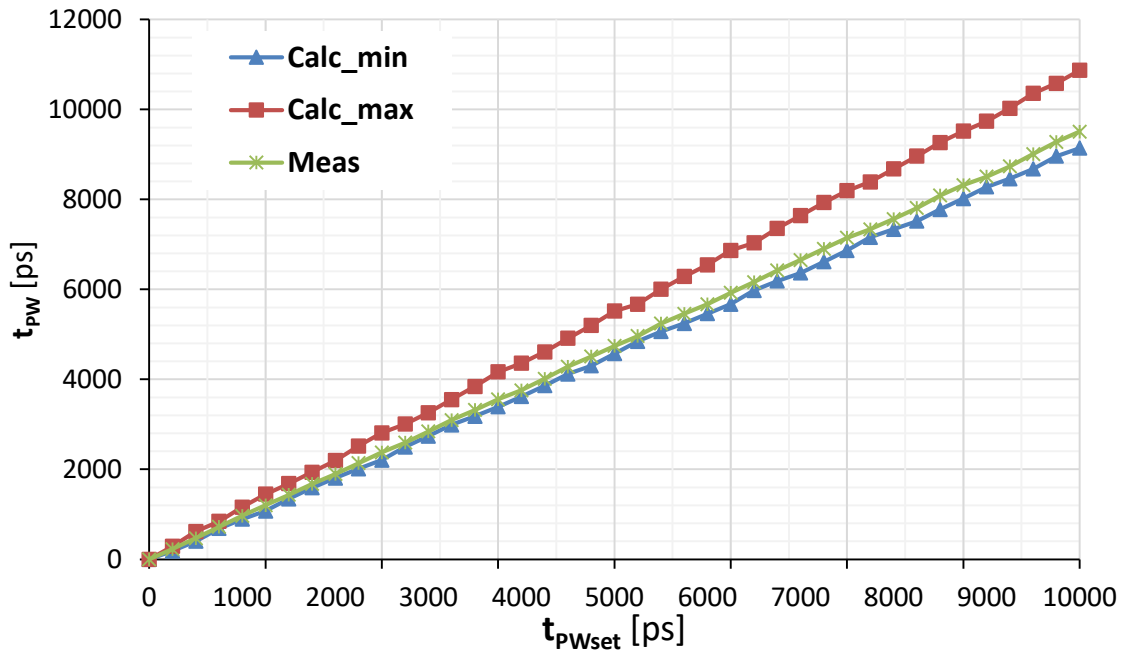
CTRL FPGA je jediné adresovatelné zařízení v DTM, se kterým může TDC komunikovat přes I2C rozhraní (označováno jako externí). Pomocí tohoto IO lze nastavit šířku a zpoždění synchronizačního kmitočtu, monitorovat teploty v zařízení (opět dvě integrovaná a dvě externí čidla v blízkosti CLK a napájecích obvodů), nastavovat prahové úrovně MCC, povolit/zakázat kvalifikaci CFD signálů a také řídit činnost diagnostických LED diod.

Pro komunikaci s teplotními čidly je rovněž využita I2C sběrnice (interní), která je ovšem viditelná pouze pro CTRL FPGA.

6.1.2.1 Úprava taktovacího signálu urychlovače pro kvalifikaci CFD signálů

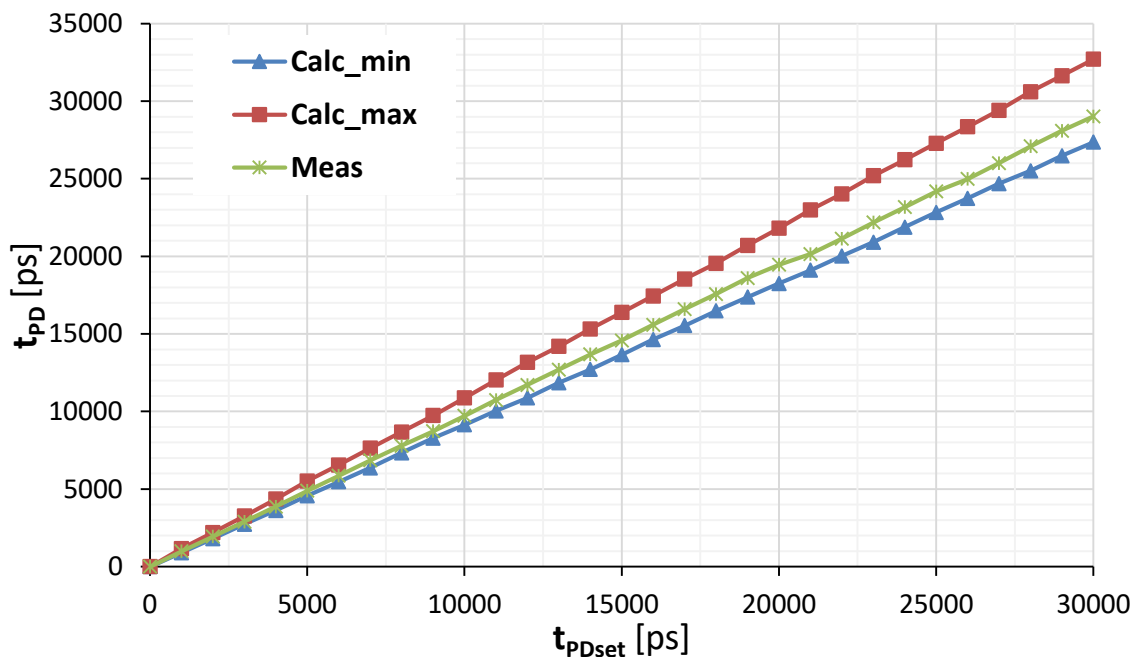
Peltierův článek pro chlazení zpoždovacích linek přináší nevýhody v podobě zvýšené spotřeby, složitější mechanické konstrukce (chladič, článek, termistor, teplotní vazba) a vyšší ceny zařízení. Použití CTRL FPGA pro komunikaci a řízení těchto linek umožňuje rovněž provádět kompenzaci nastaveného zpoždění na základě teploty čtené z IO, který je se zpoždovacími linkami teplotně svázan chladičem montovaným přes všechny tyto obvody.

Samotná teplotní kompenzace probíhá v CTRL FPGA tak, že je změřena aktuální teplota, na jejímž základě je právě nastavené zpoždění vynásobeno odpovídajícím koeficientem. Poté dojde k aktualizaci nastavení zpoždovacích linek. Pro získání kompenzačních koeficientů byla použita polynomiální regrese, jejímž vstupem byly katalogové hodnoty zpoždovacích linek.



Obr. 38 Šířka pulzu kvalifikačního signálu v závislosti na nastavené hodnotě pro teplotu 44,5 °C

Naměřené a vypočtené šířky pulzů v závislosti na ideální nastavené hodnotě zpoždovacích linek jsou zachyceny na Obr. 38. Z grafu je patrné, že zelený průběh sestavený z naměřených hodnot se nachází ve vypočteném tolerančním pásmu.



Obr. 39 Zpoždění pulzu kvalifikačního signálu v závislosti na nastavené hodnotě pro teplotu 44,5 °C

Obdobná situace nastává i v případě porovnání naměřeného zpoždění s vypočtenými hodnotami na Obr. 39. Vyšší přesnost není pro účely experimentu nutná a algoritmus teplotního kompenzátoru s krokem koeficientů 0,5 °C plně nahrazuje funkci Peltierova článku, který pracoval v zapojení s hysterezí 1 °C.

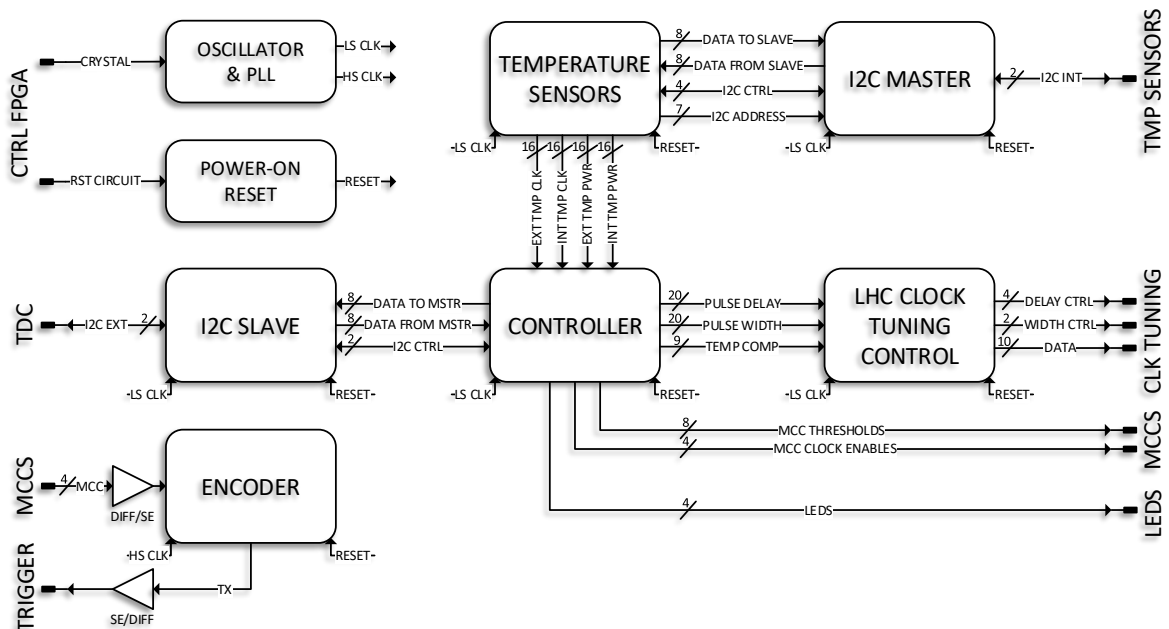
6.1.2.2 Teplotní senzory

Pro měření teploty jsou použity stejné senzory jako v případě ADTM s tím rozdílem, že v DTM jsou připojeny na interní I2C sběrnici. Krom pouhého monitorování teplot v zařízení jsou použity také pro kompenzaci vlivu teploty na velikost zpoždění zpožďovacích linek.

6.1.2.3 Konfigurace MCC

Pro nastavení prahové úrovně každého MCC jsou vyhrazeny dva signály z řídicího FPGA, pomocí kterých je určeno, zda pro propuštění CFD signálů do TDC stačí 1, 2, 3 nebo 4 současně se vyskytující logické jedničky. CTRL FPGA také nastavuje, zda bude daný MCC provádět kvalifikaci CFD signálů s přihlédnutím k synchronizačnímu kmitočtu či zda bude zpracovávat všechny příchozí signály bez kvalifikace.

6.1.2.4 Firmware



Obr. 40 Firmware řídicího FPGA v DTM

Komunikaci mezi DTM a TDC zajišťuje blok I2C slave rozhraní na Obr. 40. Příkazy předávané do CTRL FPGA, a data odesílaná do TDC, jsou zpracovávány hlavní řídicí entitou (CONTROLLER). Tento stavový automat řídí také vyčítání teplotních senzorů a následně nastavování kompenzovaných hodnot zpoždění a šířky pulzu synchronizačního kmitočtu. Mimo uvedené funkce se hlavní řídicí entita stará také o nastavování prahových úrovní a povolování kvalifikace CFD signálů v jednotlivých MCC.

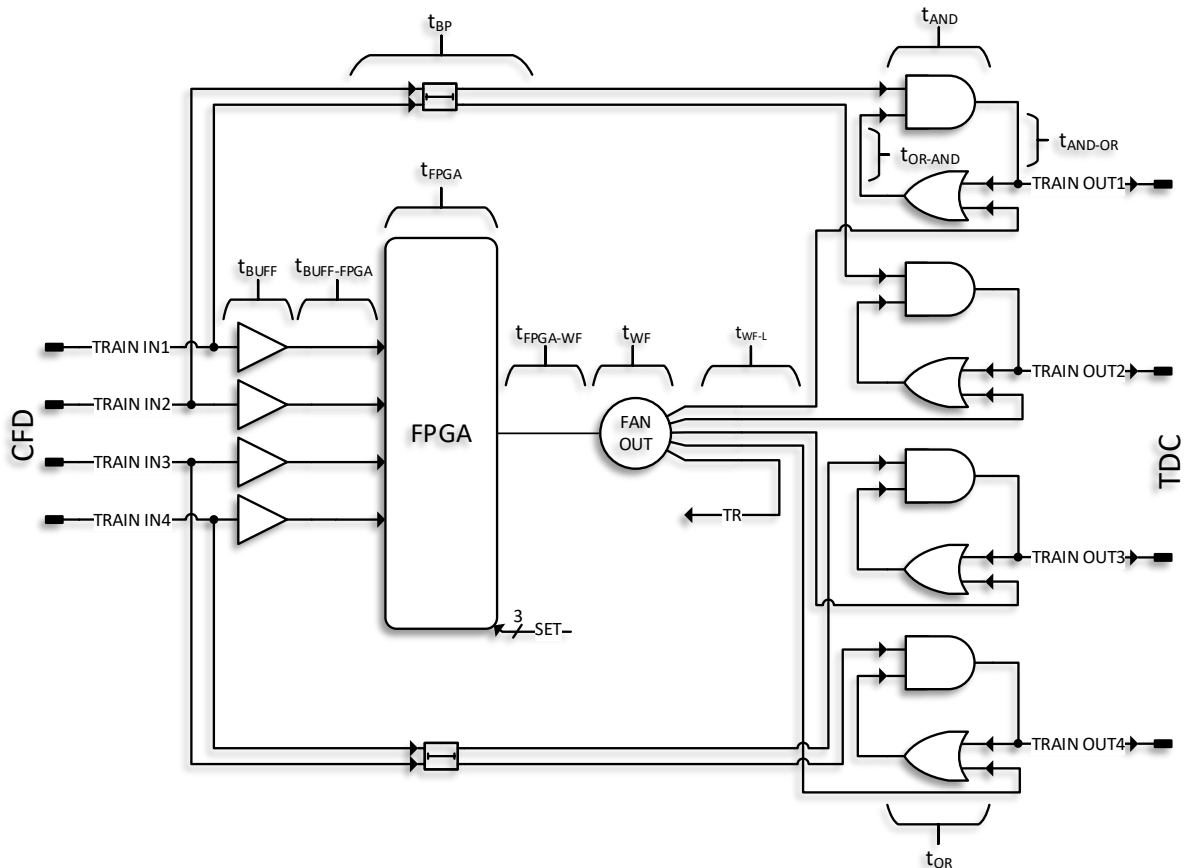
Signály, které MCC produkují v případě, že je dosažena či překročena nastavená prahová úroveň, jsou zavedeny do bloku kodéru, ve kterém je implementována detekce náběžných hran. Je-li náběžná hrana na některém ze signálů detekována, dojde následně se zpožděním (dva

až tři hodinové cykly) ke vzorkování všech čtyřech signálů, jejichž stav je zachycen v KO typu D. Tento vzorek dat je pak opatřen start bitem a postupně odeslán do USA15 a do DAQ systému.

6.1.3 Vícekanálový koincidenční obvod

Z důvodu teplotní nestability a vysoké spotřeby řešení MCC v ADTM bylo zapotřebí syntetizovat alternativní obvodové zapojení. Vhodnou alternativou pro konstrukci tohoto obvodu zpracovávajícího CFD signály je použití FPGA, které přináší flexibilní, konfigurovatelné a plně digitální řešení velmi odolné vůči elektromagnetickému rušení i ionizujícímu prostředí.

6.1.3.1 Architektura, parametry a funkce



Obr. 41 Architektura MCC DTM

CFD signály na Obr. 41 jsou zpracovávány ve dvou paralelních větvích. Zpozdřovací větve pouze pozdrží průchod signálů přes DPS na výstupní klopné obvody. Větev pro zpracování signálů nejprve CFD signály zopakuje a následně zavede do FPGA, kde dojde k jejich vyhodnocení. V případě, že je dosažena prahová úroveň (definovaný počet současných logických jedniček), a kvalifikační signál potvrdí platnost zpracováváných dat, FPGA

vygeneruje okénkový signál. Ten je pak větven fan-out obvodem, přičemž jeho čtyři kopie jsou zavedeny do výstupních klopných obvodů a umožňují tak průchod zpožděných CFD signálů na výstup MCC. Pátá kopie je připojena na vstup CTRL FPGA a informuje tak tento řídicí obvod o aktivitě trainu. Nastavení prahové úrovně a povolení kvalifikace CFD signálů pomocí upraveného synchronizačního signálu je reprezentováno signálovou skupinou SET.

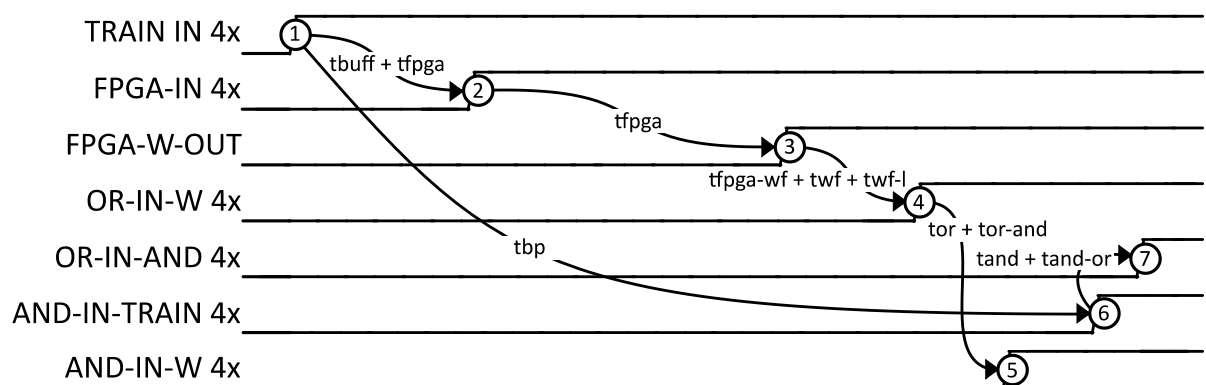
6.1.3.2 Časování digitálních obvodů

Zpoždění FPGA v Tab. 12 je uváděno pro nejmenší a největší dobu šíření do středu nejkratšího generovaného okénka. Vzhledem k nesymetrii v designu uvnitř FPGA totiž není doba šíření ani šířka daného okénka pro všechny vstupní kombinace stejná.

Tab. 12 Zpoždění komponent a motivů DPS u MCC DTM

Zpoždění	Význam	Hodnota [ps]
t_{BP}	By-pass zpoždění TRAIN IN signálů na DPS.	8601
t_{BUFF}	Vstup – výstup opakovacího signálu.	175-325
$t_{BUFF-FPGA}$	Výstup opakovacího – vstup FPGA.	700
t_{FPGA}	Vstup – výstup FPGA.	7275-7780
$t_{FPGA-WF}$	Výstup FGPA – vstup W rozbočovače.	228
t_{WF}	Vstup – výstup W rozbočovače.	130–280
t_{WF-L}	Výstup W rozbočovače – vstup OR hradla.	142
t_{OR}	Vstup – výstup OR hradla.	130–280
t_{AND}	Vstup – výstup AND hradla.	240–440
t_{OR-AND}	Výstup OR hradla – vstup AND hradla.	117
t_{AND-OR}	Výstup AND hradla – vstup OR hradla.	34

Výše uvedené údaje byly pro sestavení časového diagramu na Obr. 42 zprůměrovány a zaokrouhleny vždy na stovky ps.



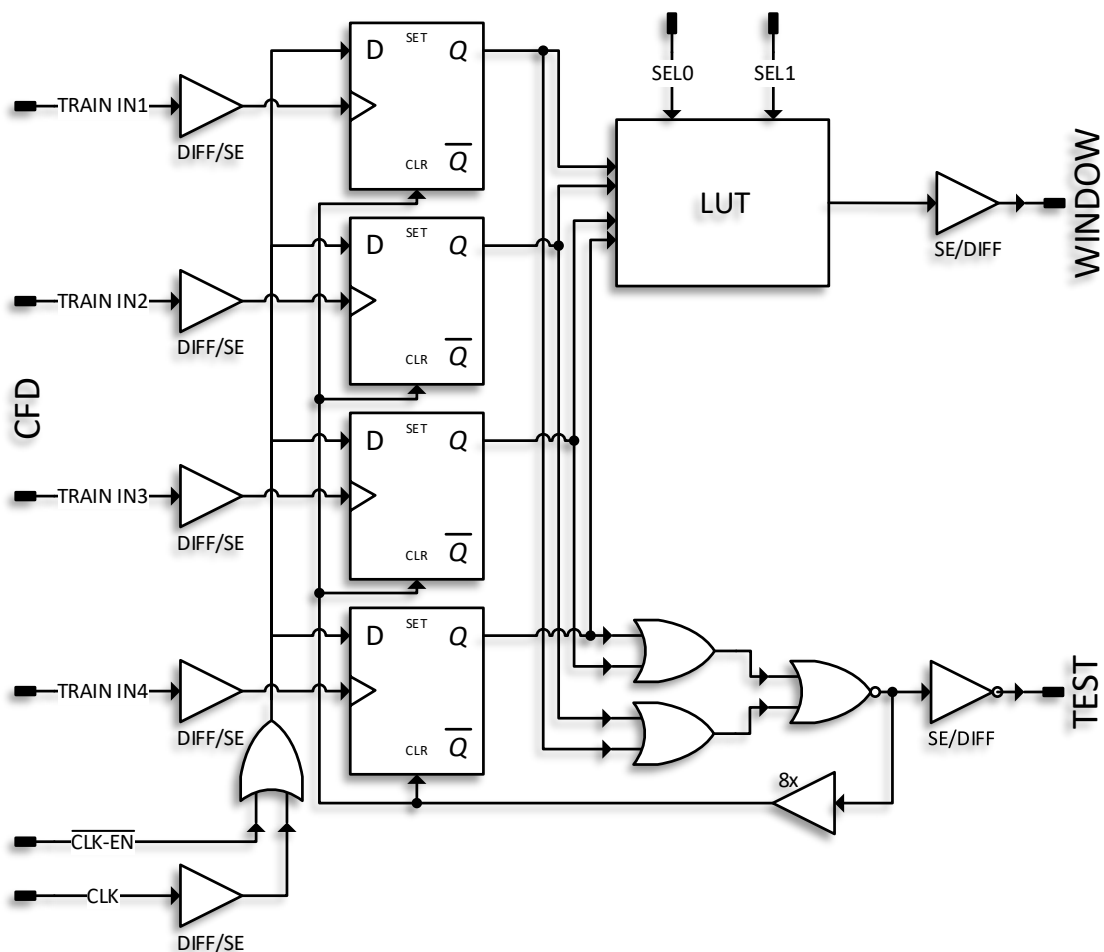
Obr. 42 Časový diagram signálů ve MCC DTM

6.1.3.3 Firmware

CFD signály ve firmware na Obr. 43 jsou zavedeny do CLK vstupů KO typu D. Kvalifikace těchto vstupů je realizována pomocí OR hradla, do kterého jsou zavedeny signály CLK

a $\overline{\text{CLK}} - \overline{\text{EN}}$. V případě, že je $\overline{\text{CLK}} - \overline{\text{EN}}$ ve vysokém stavu, jsou zpracovávány všechny CFD signály bez ohledu na stav signálu CLK. V opačném případě dojde ke zpracování uvedených signálů pouze v době, kdy je CLK signál ve vysoké úrovni.

Výstupy z KO typu D jsou rozděleny do dvou větví. Resetovací větev připraví KO na příjem další události reprezentované signály z CFD modulu. Zpoždění v této větvi, které je na obrázku znázorněno opakovači, určuje šířku pulzu okénkového signálu. V druhé větvi je s využitím lookup table (LUT) vyhodnocena koincidence aktivních signálů. Prahová úroveň počtu současně aktivních signálů je nastavována pomocí signálů SEL0 a SEL1, které zároveň slouží jako dva další adresové bity. Celkově pak tedy výsledek zpracování vstupních signálů vybírá šest adresových bitů (čtyři CFD bity, SEL0 a SEL1) z LUT tabulky. V případě dosažení prahové úrovně pak dojde ke generování pulzu okénkového signálu. Resetovací signál je z FPGA vyveden pouze pro diagnostické účely v případě ladění firmware.

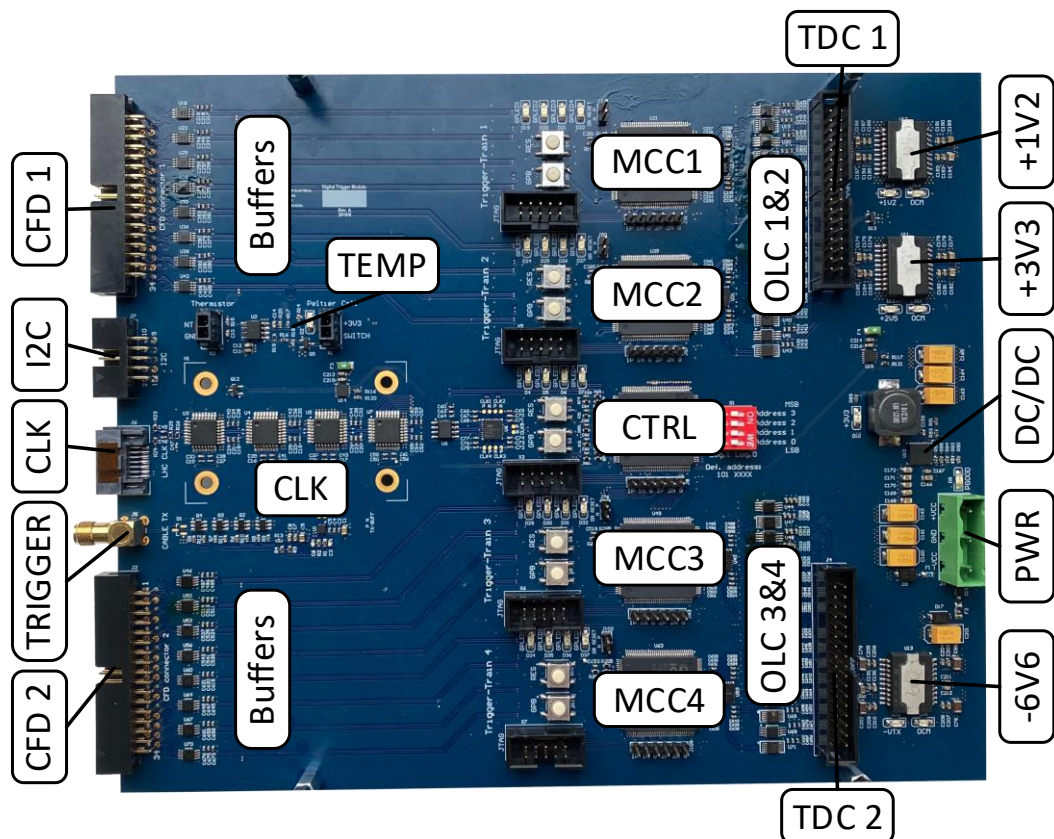


Obr. 43 Firmware ve MCC FPGA v DTM

Vzhledem k tomu, že popisovaný design není řízen žádným hodinovým signálem (MCC je asynchronní), byla jeho příprava velmi náročná. Pozice jednotlivých hradel a KO uvnitř samotného FPGA musely být pečlivě vybrány, přičemž ověřování symetrie čtyř paralelních

cest pro vyhodnocování koincidencí bylo prováděno v prostředí Libero iteračním procesem. V průběhu tohoto ladění byly systematicky přemíst'ovány jednotlivé prvky designu uvnitř čipu, kde byla následně jejich pozice uzamčena. Po opětovné syntetizaci a provedení nezbytných výpočtů zpoždění bylo možné v programu Libero vyhodnotit, jakou mírou symetrie, tedy dobou zpracování signálů v jednotlivých stupních paralelních větví, se dané řešení vyznačuje. Tento přístup k sestavování designu je empirický a v současnosti se nedá s dostupnými technologiemi automatizovat na základě nastavených restrikcí.

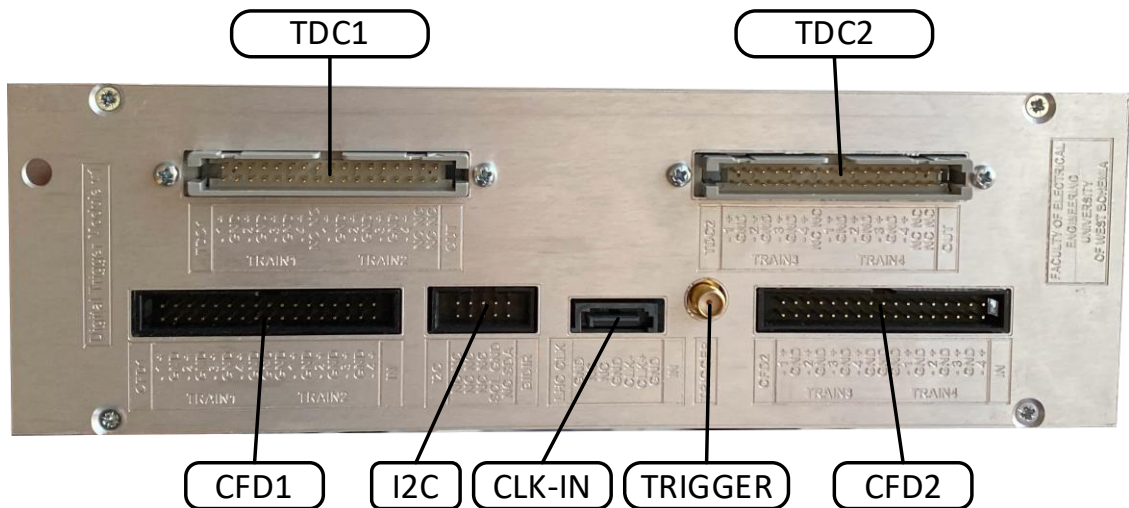
6.1.4 Praktická realizace



Obr. 44 DPS základní deska DTM

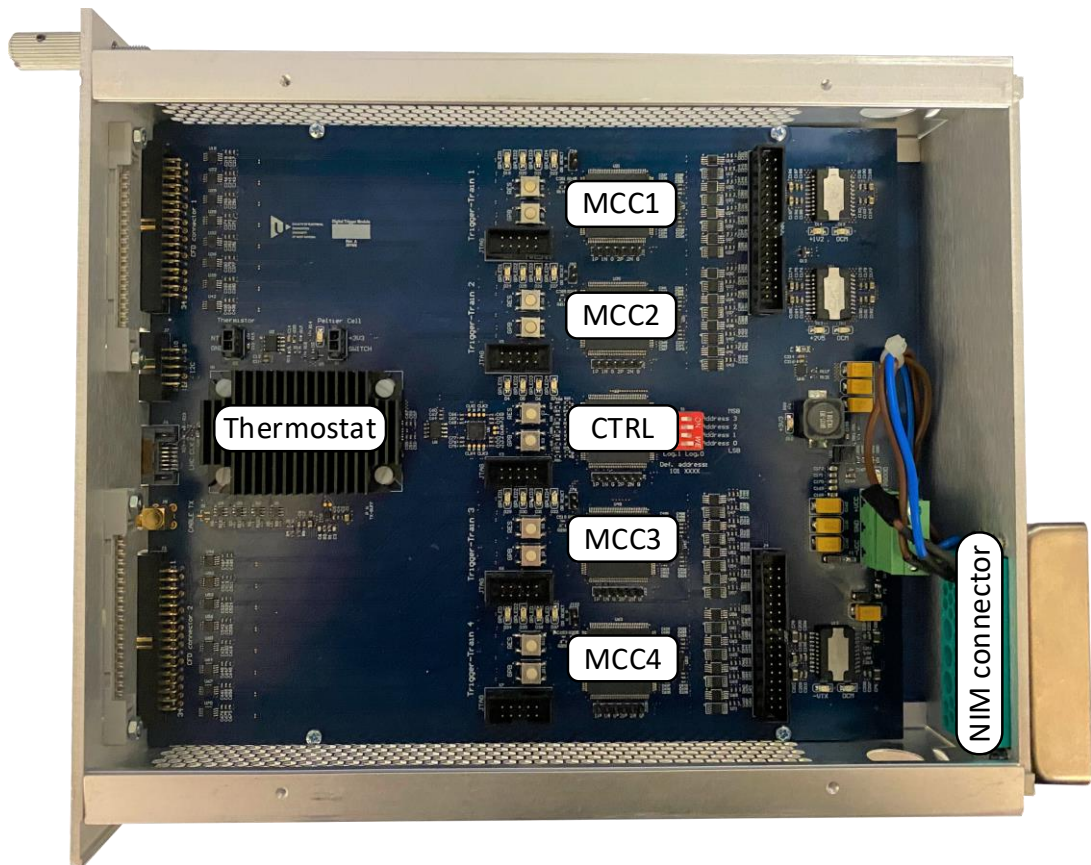
Pro DPS byla vybrána stejná skladba vrstev jako na Obr. 27. Vlevo se nachází vstupní CFD konektory doplněné o I2C rozhraní a vstup synchronizačního kmitočtu. Příkazy pro DAQ jsou vysílány posledním konektorem v levé části DPS. V pravé části desky se nachází výstupy pro TDC moduly, do kterých budou přes ploché kabely připojeny konektory z předního panelu NIM boxu. Pro napájení DTM slouží zástrčkový konektor, do jehož protikusů jsou připojeny piny z NIM konektoru nacházejícího se na zadní straně boxu. Pro konstrukci zařízení byly použity obvody se zvýšenou radiační odolností deklarovanou výrobcem či obvody commercial off-the-shelf (COTS), které byly testovány pracovníky projektu AFP v CERNu a autorem této práce v ÚJV Řež. Kompletní schéma zapojení se nachází v přílohách S až AC.

6.1.5 Kompletní zařízení



Obr. 45 Přední panel DTM

Ve spodní části Obr. 45 se nacházejí konektory pro připojení výstupů ze dvou CFD modulů, řízení přes I2C rozhraní z TDC, vstup synchronizačního kmitočtu urychlovače a také trigger výstup pro DAQ. V horní části panelu jsou pak umístěny výstupy DTM určené k připojení k TDC modulu.



Obr. 46 Pohled do NIM DTM modulu osazeného základnou deskou

Instalace DTM do NIM boxu na Obr. 46 se oproti ADTM výrazně zjednodušila. Jednodeskové řešení DTM stačí pouze přimontovat čtyřmi šrouby do boxu bez nutnosti

instalace vnitřní konektorových panelů, dalších DPS a chladičů.

6.1.6 Testování obvodů COTS

Pro simulaci zatížení součástek umístěných poblíž LHC v CERN byly vybrány součástky ozářeny protonovým svazkem v ÚJV Řež dávkou 200 Gy. Uvedená dávka odpovídá 4 rokům provozu DTM v cílové aplikaci na LHC. Součástky bez napětí byly v průběhu testu přichyceny na podkladový materiál, upevněny do speciálního držáku, vystředěny do ohniska protonového svazku pomocí laserového zaměřovače a ozářeny. Změna vybraných parametrů součástek byla ověřena pomocí speciálně navržených obvodů a DPS pro měření ozářených i neozářených součástek. Od každého typu součástky byly vždy vybrány 4 kusy, přičemž ozářeny následně byly 3 z nich. Poslední kus posloužil jako referenční vzorek.

Zbývající součástky, které byly použity na DTM, ale nebyly testovány v ÚJV Řež, lze rozdělit do následujících kategorií:

- Součástky navržené pro provoz v prostředí se zvýšenou radiací.
- COTS součástky, pro které lze dohledat výsledky radiačních testů (typicky reporty od NASA či ESA).
- Součástky, u kterých díky technologii a litografickému procesu lze předpokládat zvýšenou radiační odolnost (typicky LVPECL bipolární obvody).

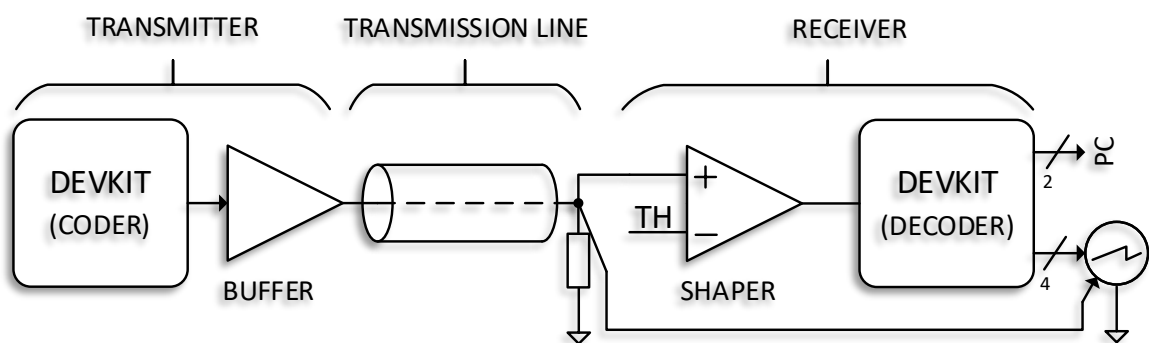
U níže uvedených ozářených součástek byly sledovány vybrané klíčové parametry. Naměřené hodnoty pro jednotlivé součástky jsou uvedeny v přílohách AD až AK.

- MCP9903T-AE/9Q - I2C teplotní čidla pro monitorování teploty:
 - Změny v přesnosti měření teploty nejsou pozorovatelné.
- 1N914BWT - rychlá spínací dioda pro resetovací obvod FPGA:
 - VA charakteristika (1. kvadrant), závěrné napětí a čas zotavení srovnatelné s referenčním vzorkem.
- BAT54SLT1G - dvojitá Schottkyho dioda pro omezení napětí NIM signálu:
 - VA charakteristika (1. kvadrant), závěrné napětí a čas zotavení srovnatelné s referenčním vzorkem.
- SK34AR3G - ochrana proti přepólování zdroje:
 - VA charakteristika (1. kvadrant), závěrné napětí a čas zotavení srovnatelné s referenčním vzorkem.
- KDZVTR4.7B - 4.7 V Zenerova dioda pro omezení negativního napájecího napětí:
 - VA charakteristika (3. kvadrant) srovnatelná s referenčním vzorkem.

- TLV2462AMDREP – Operační zesilovač pro regulátor Peltierova článku:
 - Vstupní proudová nesymetrie se zvětšila $3\times$ až $10\times$.
 - Vstupní klidový proud se zvětšil $8\times$.
 - Výstupní impedance se zvětšila $3\times$ až $5\times$.
 - Vstupní napěťová nesymetrie, zisk v otevřené smyčce, rychlost přeběhu a mezní výkonová frekvence jsou srovnatelné s referenčním vzorkem.
- IRLML6346TRPBF – Výkonový N MOSFET pro spínání Peltierova článku:
 - Výstupní charakteristiky, Gate-Source svodový proud, Gate-Source prahové napětí a maximální Drain-Source napětí jsou srovnatelné s referenčním vzorkem.
- NSVF6003SB6T1G - VF NPN Si tranzistor pro budič air-core kabelu:
 - Výstupní charakteristiky, maximální Collector-Emitter a rychlost přeběhu jsou srovnatelné s referenčním vzorkem.
- BC857BLT1G - PNP tranzistor pro měření teploty:
 - Výstupní charakteristiky a maximální Collector-Emitter napětí jsou srovnatelné s referenčním vzorkem.
- M2GL005-1TQG144I - IGLOO2 FPGA pro VKO a řízení DTM:
 - Funkční testy (vícenásobná syntéza čítačů) neodhalily žádné poškození.

Z výsledků testů plyne, že se většina parametrů ozářených součástek neodchyluje od referenčních kusů. Výraznější změna parametrů nastala jen u operačního zesilovače TLV2462AMDREP pro regulátor Peltierova článku. V této aplikaci by operační zesilovač vyhověl i s parametry zhoršenými 4 lety provozu poblíž LHC, nicméně ve finální osazovací verzi DTM nebyl tento obvod (stejně jako zbytek regulátoru) vůbec použit.

6.2 Kodek



Obr. 47 Architektura kodeku včetně přenosové trasy

Architekturu kodeku uvedenou na Obr. 47 lze v zásadě rozdělit na vysílač, přenosovou trasu a přijímač. Pro experimentální testy na LHC byl použit vysílač sestavený z vývojového kitu a výstupního kabelového budiče. Identický kit doplněný o obvody pro obnovení signálu (SHAPER) zkresleného průchodem přenosovou trasou byl použit také na straně přijímače. V blokovém diagramu je naznačen také osciloskop použitý pro monitorování signálu na terminaci zakončující koaxiální kabel a také pro sledování čtyř obnovených datových signálů produkovaných dekodérem. Případné chyby vzniklé při přenosu jsou reportovány do PC.

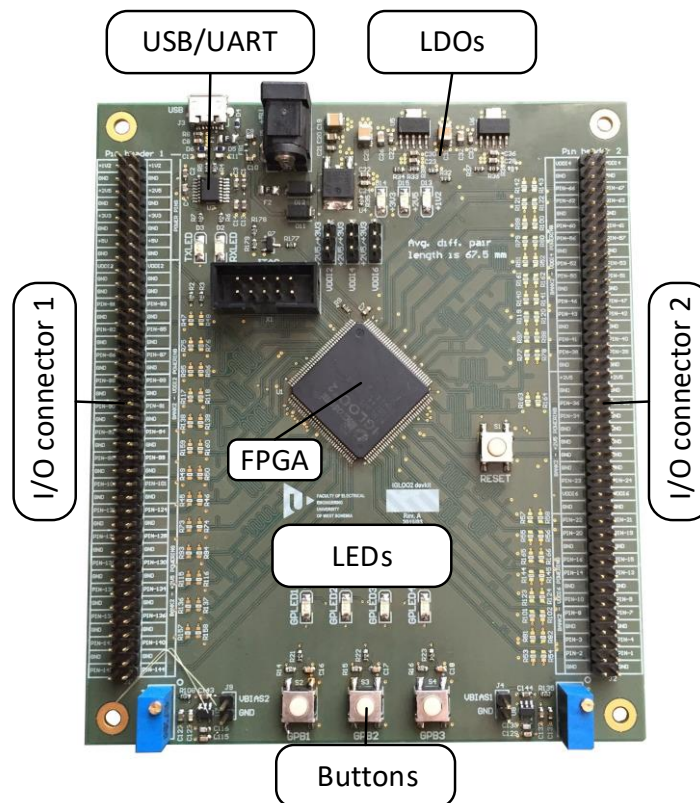
6.2.1 Vývojový kit

Toto víceúčelové zařízení bylo vyvinuto s důrazem na možnost využití FPGA IGLOO2 v nukleární instrumentaci vzhledem k jeho zvýšené odolnosti vůči single event upsets (SEUs) způsobených radiací [29]. Pomocí tohoto kitu byl ověřován veškerý firmware TM.

6.2.1.1 Architektura, parametry a funkce

Vývojový kit implementuje krom samotného FPGA také převodník z rozhraní UART na Universal Serial Bus (USB), 3 tlačítka, 4 LED diody, napájecí obvody a univerzálně konfigurovatelnou terminaci na jednotlivé piny FPGA umožňující používat standardy low-voltage transistor-transistor logic (LVTTTL), LVCMOS, LVPECL, LVDS a CML.

6.2.1.2 Praktická realizace



Obr. 48 DPS vývojového kitu

Na Obr. 48 se nachází 6vrstvá DPS vývojového kitu. Z důvodu snadného použití mají diferenciální signálové spoje propojující oba I/O konektory s FPGA řízenou impedancí a stejnou délkou. Zařízení lze napájet buď přes +5 V DC jack nebo USB rozhraní (případně obě rozhraní současně). Aktivitu UART/USB připojení použitého pro komunikaci s PC signalizují RX a TX LED diody. V blízkosti I/O konektorů jsou patrné pozice pro osazení terminačních odporů odpovídajících signalizačním standardům uvedeným v 6.2.1.1. Kompletní schéma zapojení kitu se nachází v přílohách CH až J.

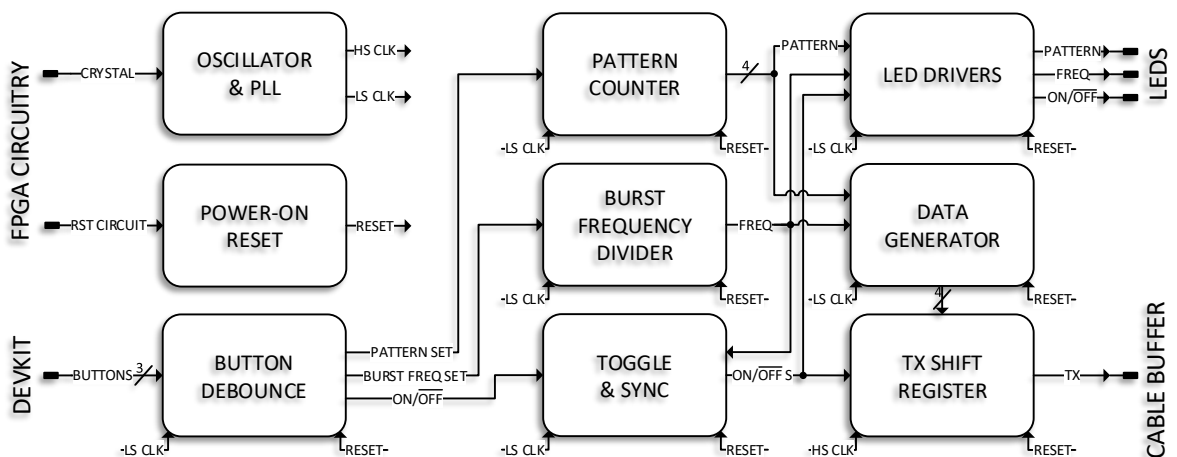
6.2.2 Vysílač

Pro testování možnosti přenosu datového rámce o délce 5 bitů (1 start bit, 4 bity datové bity pro aktivitu jednotlivých trainů) koaxiálním kabelem použitým na LHC byl sestaven vysílač s využitím vývojového kitu, ve kterém je firmware pro generování požadovaných datových rámců, a výkonného kabelového budiče.

6.2.2.1 Architektura, parametry a funkce

Výstupní LVDS signál z vývojového kitu je na desce kabelového budiče pomocí dedikovaného IO převeden do LVPECL standardu. Takto upravený signál je pak použit pro buzení VF tranzistorů doplněných o preemfázi. Obvod kabelového budiče je laděn tak, aby výstupní napěťové (respektive proudové) úrovně odpovídaly při $50\ \Omega$ terminaci NIM standardu.

6.2.2.2 Firmware

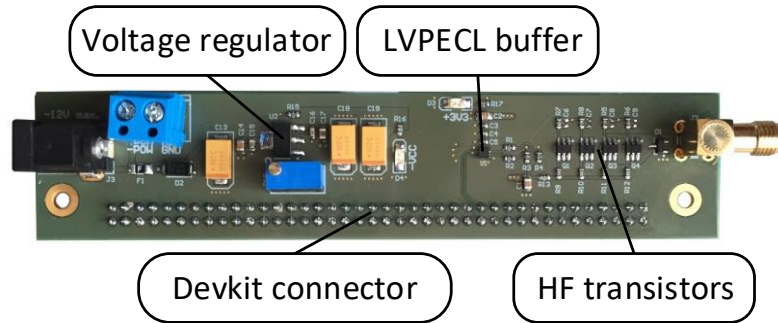


Obr. 49 Firmware kodéru

Firmware kodéru zobrazený na Obr. 49 využívá jako vstupní podněty pro své řízení tři tlačítka vývojového kitu. První tlačítko nastavuje s pomocí čítače vzorů datový vzor, který se má vysílat v rozsahu 0 až 15. Opakovací frekvence pulzů defaultně nastavená na 80 MHz je

pomocí druhého tlačítka dělena faktorem 1, 2, 4, či 8. Poslední ON/OFF tlačítko umožňuje zapnout či vypnout generování datových rámců s ohledem na nastavený vzor a četnost dávek. Nastavený vzor, četnost dávek i ON/OFF režim jsou signalizovány pomocí 4 LED diod integrovaných na kitu a dalších dvou externích.

6.2.2.3 Praktická realizace



Obr. 50 DPS kabelového budiče

DPS budiče na Obr. 50 je připojována k vývojovému kitu pomocí I/O konektoru 1. LVDS signál je přes LVPECL budič zaveden do obvodu VF tranzistorů napájených negativním napětím (přiváděným externě) z důvodu dosažení úrovně NIM. Výstup z budiče je pak zapojen do air-core koaxiálního kabelu. Kompletní schéma zapojení se nachází v příloze K.

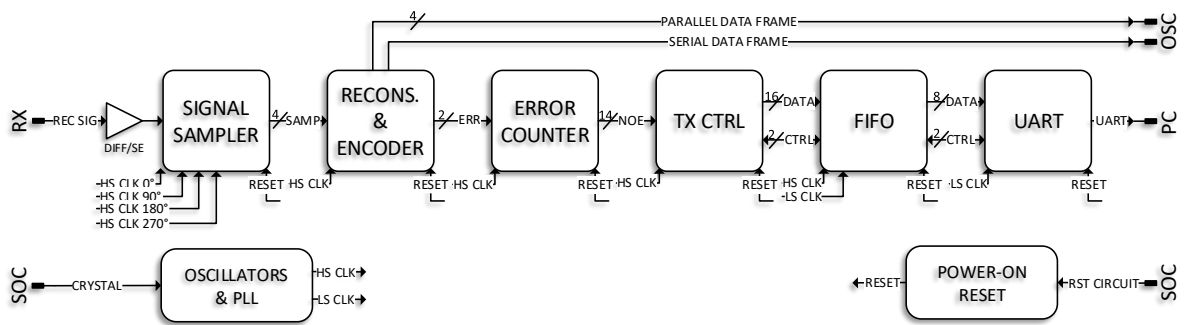
6.2.3 Přijímač

Zařízení pro příjem signálu s datovým rámcem pro řízení DAQ opět využívá vývojový kit s FPGA, ovšem tentokrát doplněný o obvody pro regeneraci signálu zkresleného průchodem 265 m dlouhým kabelem.

6.2.3.1 Architektura, parametry a funkce

Negativní napěťové úrovně produkované uzavřením proudové smyčky přes $50\ \Omega$ terminační odpor jsou vysokorychlostním komparátorem porovnávány s referenční hodnotou. Při vhodném nastavení této napěťové reference dochází ke spolehlivému obnovení signálu zkresleného přenosem, přičemž takto zregenerovaný signál je následně v LVDS standardu zaveden do FPGA dekodéru. Jeho úkolem je detekce start bitu (logická jednička), zachycení datového rámce a jeho deserializace. Čtyři paralelní signály jsou následně připraveny pro zavedení do central trigger processor input module (CTPIN) rozhraní používaného jako interface CTP v DAQ systému.

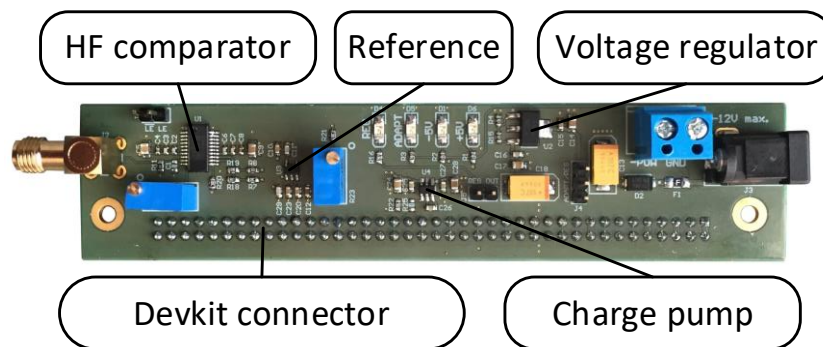
6.2.3.2 Firmware



Obr. 51 Firmware dekodéru

V levé části blokového diagramu na Obr. 51 je regenerovaný LVDS signál produkovaný komparátorem vzorkován čtyřmi 400 MHz hodinovými signály s fázemi rozdělenými po 90°. Tento přístup tedy vede ke vzorkování s ekvivalentním kmitočtem 1,6 GHz. Získané vzorky jsou následně zavedeny do bloku pro rekonstrukci a opětovné kódování (serializaci) signálu. Výstupem z tohoto bloku jsou 4 paralelní datové signály, přičemž každý z nich signalizuje aktivitu jednoho trainu. Navíc tato entita produkuje i znovu sestavený datový rámec pro diagnostické účely. Případné chyby zjištěné při detekci jsou zavedeny do čítače chyb, který svůj aktuální stav postupně předává do bloku pro řízení vysílání dat do PC. Data následně prochází přes vyrovnávací paměť FIFO do entity UART, přes kterou jsou předávána do terminálového okna.

6.2.3.3 Praktická realizace



Obr. 52 DPS regenerátoru signálu

DPS regenerátoru signálu nacházející se na Obr. 52 je k vývojovému kitu připojována opět pomocí I/O konektoru 1. Přijatý signál je obnoven v obvodu vysokorychlostního komparátoru s nastavitelnou referencí. Tento komparátor produkuje digitální LVDS signál, který je následně zaveden do FPGA kodéru. Negativní napětí pro provoz komparátoru je generováno invertující nábojovou pumpou. Kompletní schéma se nachází v příloze L.

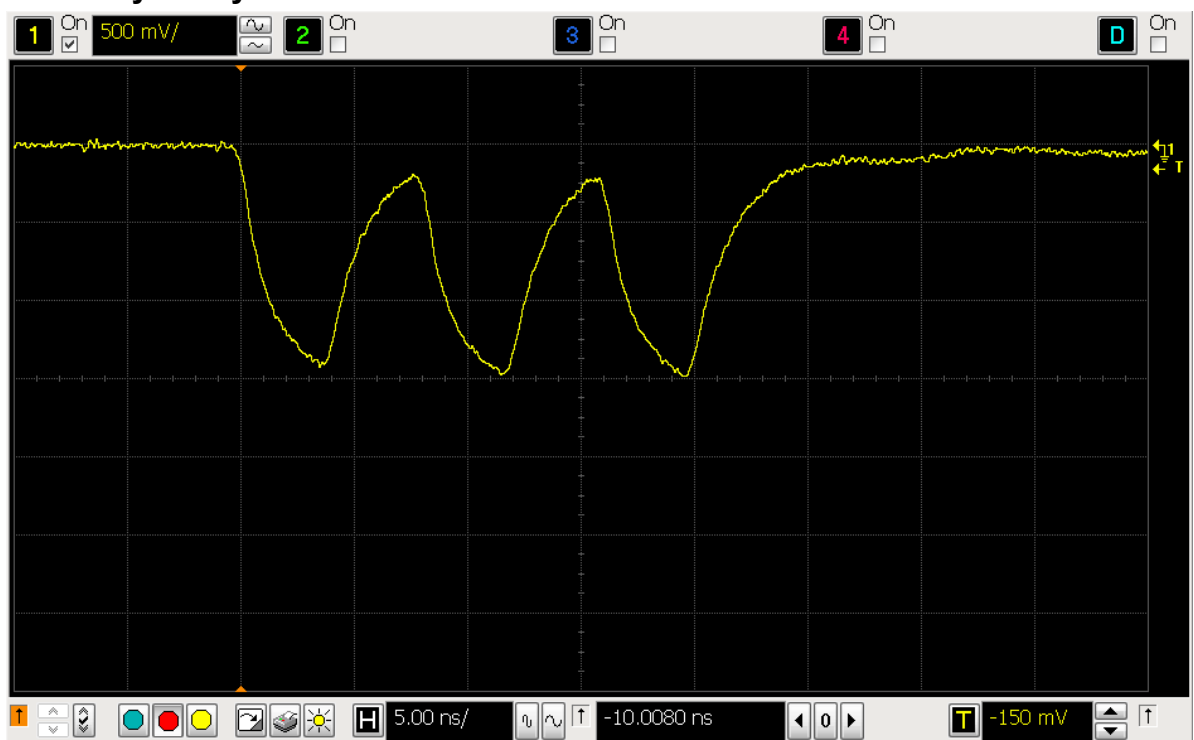
6.2.4 Testy

Po úspěšných testech na cca 70 m standardního koaxiálního kabelu v laboratoři byl kodek společně s dalšími nezbytnými přístroji (napájecí zdroje, osciloskop, počítač) testován na urychlovači LHC v CERNu.

6.2.4.1 Popis experimentu

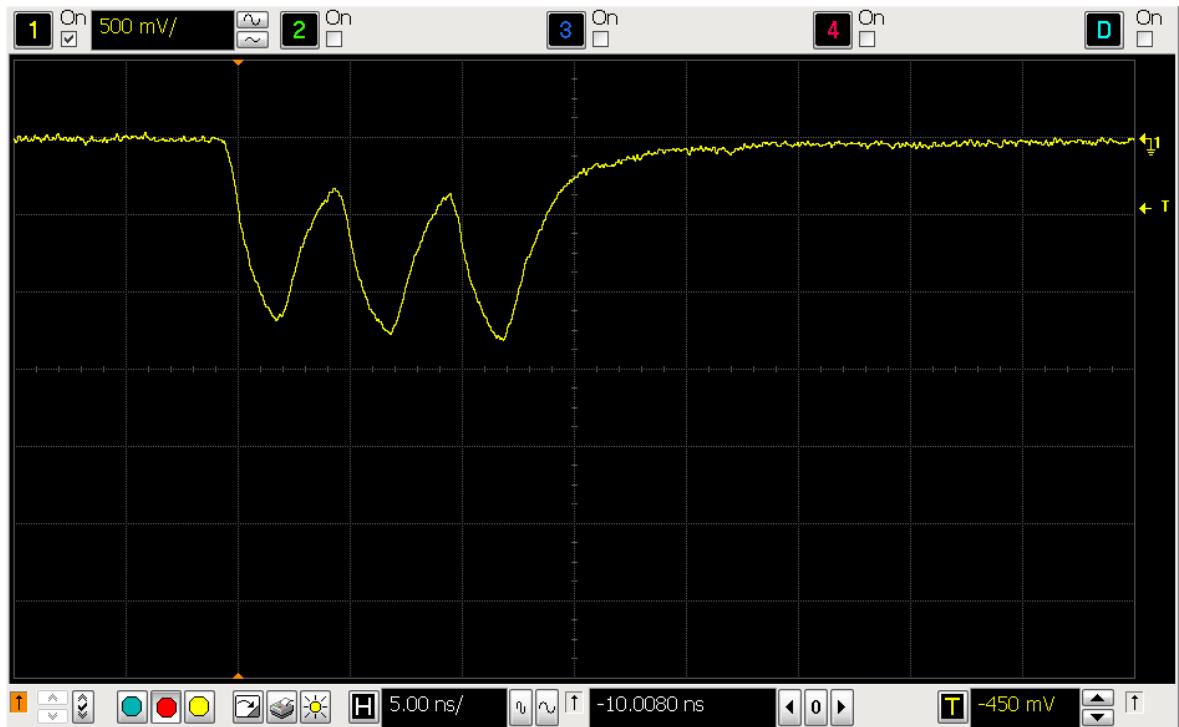
Vysílač byl instalován na Far RP strany C (viz Obr. 2), která je propojena s DAQ systémem nacházejícím se v místnosti USA15 pomocí 265 m dlouhého koaxiálního kabelu s nízkým útlumem. Na vysílači byla v průběhu experimentu zvolena nejnižší četnost dávek a během testování došlo postupně k nastavení všech možných kombinací datových vzorů. Samotná rychlost vysílání byla při experimentu nastavena nejprve na 250 MHz a následně na 400 MHz. K přijímači byl připojen osciloskop monitorující 4 paralelní datové signály a také průběh na terminátoru koaxiálního kabelu. Počet chyb byl přes USB rozhraní vývojového kitu reportován do PC.

6.2.4.2 Výsledky měření



Obr. 53 Průběh signálu na 50Ω terminačním odporu, vzor 10101, rychlost vysílání 250 MHz

Vzhledem k taktovacímu kmitočtu urychlovače 40 MHz (a odpovídající periodě 25 ns) je patrné, že doba trvání datového rámce, vysílaného rychlostí 250 MHz a zachyceného na Obr. 53, je dostatečně krátká pro provoz systému i při maximální četnosti událostí.



Obr. 54 Průběh signálu na 50Ω terminačním odporu, vzor 10101, rychlost vysílání 400 MHz

Z hlediska vyhodnocování signálu v přijímači je ovšem výhodnější mít větší časové rozestupy mezi jednotlivými rámci. Z tohoto důvodu byl přenos dat testován také s rychlostí 400 MHz, přičemž průběh napětí na terminačním odporu je zachycen na Obr. 54. Při této rychlosti trvá přenos datového rámce cca 12,5 ns (při měření v polovině amplitudy pulzů) ve shodě s teoretickým předpokladem:

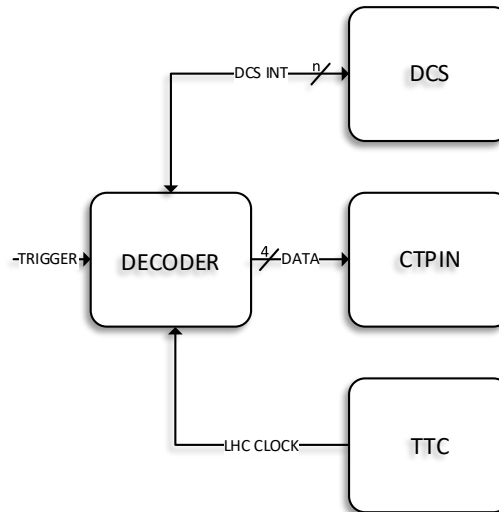
$$t_{\text{FRAME}} = t_{\text{TXC}} N_{\text{BIT}} \text{ [s]} \quad (6.1)$$

Ve výše uvedené rovnici značí t_{FRAME} [s] dobu trvání datové rámce, t_{TXC} [s] pak vyjadřuje periodu vysílacího kmitočtu a N_{BIT} [-] reprezentuje počet přenášených bitů.

6.2.5 Zhodnocení výsledků a funkčnosti

Bezproblémová funkce firmware kodéru byla v průběhu testování ověřena společně s dostatečnou budicí schopností vysílače. Z napětí snímaného z terminačního odporu na konci přenosové trasy lze v případě korektního nastavení prahové úrovně komparátoru v obvodu pro regeneraci signálu spolehlivě zrekonstruovat signál zkreslený přenosem. Problém s kodekem nastal při dekódování zrekonstruovaného signálu v FPGA přijímače. Vzhledem k použití relativně nízkého kmitočtu s fázovým posunem mezi čtyřmi svými kopiemi o 0° , 90° , 180° a 270° pro vzorkování vstupního signálu se stává jeho následné zpracování a vyhodnocení netriviální záležitostí. Firmware dekodéru tak v průběhu testování vykazoval vysokou chybovost a pro praktickou aplikaci je nevhodný. Alternativní řešení dekodéru nastiňuje kapitola 6.2.6.

6.2.6 Další vývoj



Obr. 55 Připojení dekodéru k DCS, CTPIN a TTC

Připojení nové generace dekodéru k CTPIN, DCS a Timing and Trigger Control (TTC) systémům je na Obr. 55 [32], [33]. Dekodér bude využívat výkonné FPGA řady PolarFire s možností vzorkování až 1,25 GHz [34]. Počet vzorků datového rámce se pak řídí rovnicí:

$$N_{\text{SAMPLE}} = \frac{t_{\text{FRAME}}}{f_{\text{SAMPLE}}} [-] \quad (6.2)$$

V uvedené rovnici značí $N_{\text{SAMPLE}} [-]$ počet vzorků pokrývajících datový rámec, $t_{\text{FRAME}} [s]$ vyjadřuje dobu trvání rámce a $f_{\text{SAMPLE}} [Hz]$ představuje vzorkovací frekvenci. Po dosazení rovnice 4.1 do 4.2 lze shrnout vliv frekvence přijímače na počet vzorků v každém datovém rámci do tabulky Tab. 13. Do tabulky byly vybrány uvažované vysílací kmitočty $f_{\text{TX}} [Hz]$, ze kterých je dopočtena délka datového rámce, počet vzorků a také délka jednoho bitu $t_{\text{BIT}} [s]$.

Tab. 13 Počty vzorků datových rámců a jednotlivých bitů v dekodéru v závislosti na frekvenci vysílače

$f_{\text{TX}} [MHz]$	$t_{\text{FRAME}} [ns]$	$t_{\text{BIT}} [ns]$	$N_{\text{SAMPLE}} [-]$
250	20	4	5
300	16,67	3,33	4,17
350	14,29	2,86	3,57
400	12,5	2,5	3,125

Frekvence vysílače v rozsahu od 250 MHz do 400 MHz mohou být měněny v průběhu ladění funkce dekodéru. Na jednu stranu je žádoucí dosahovat maximální frekvence přenosu z důvodu větší časové rezervy mezi datovými rámci, což znamená snazší vyhodnocování v dekodéru. Proti tomuto požadavku jde však snižování počtu vzorků na bit s narůstajícím vysílacím kmitočtem. TTC poskytuje dekodéru taktovací signál urychlovače o frekvenci 40 MHz, jelikož datový přenos mezi dekodérem a CTPIN musí být synchronní. Podpůrné funkce zařízení (diagnostika, vzdálený reset, monitorování teploty apod.) budou realizovány

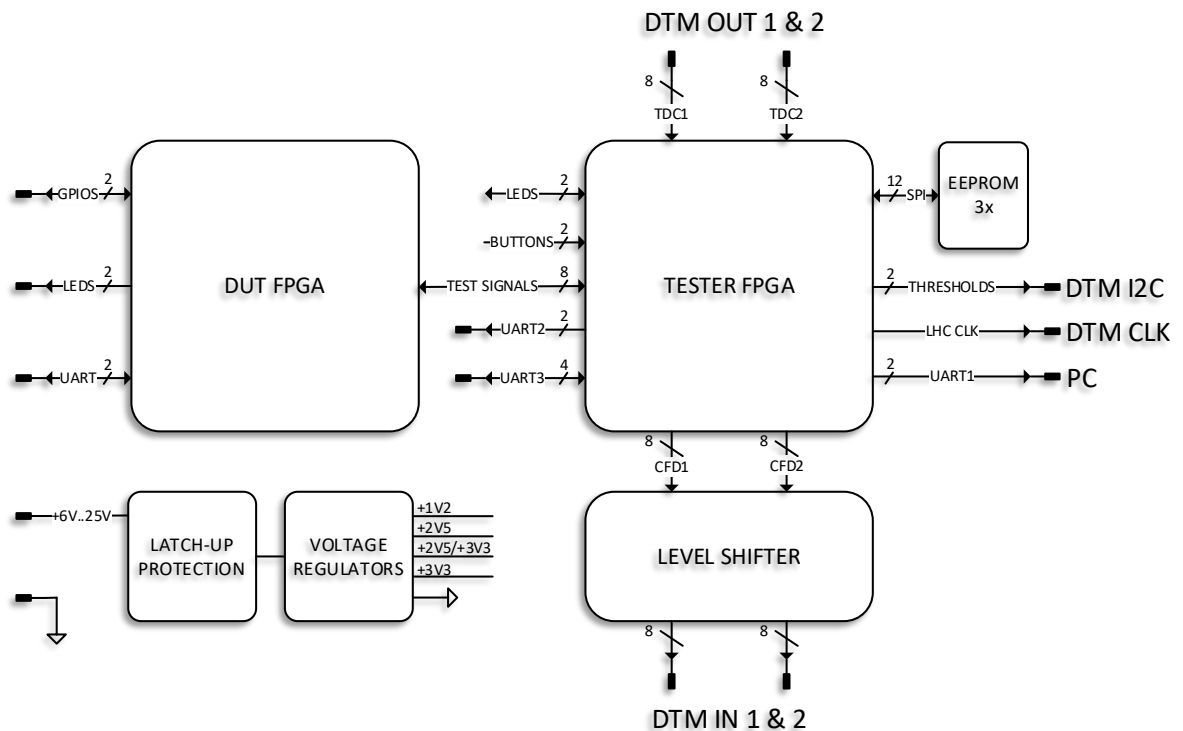
s využitím systému DCS. Předpokládaný form factor výsledného zařízení je jednonásobný NIM box. Signalizační standard používaný pro komunikaci s CTPIN a TTC je NIM.

Pro testy byl dekodér sestaven s pomocí vývojového kitu, který je vybaven FPGA PolarFire [35]. Pro ověření možnosti synchronizace byl výstup TTC nahrazen funkčním generátorem. Datové výstupy z dekodéru ve formátu LVDS byly monitorovány připojeným osciloskopem se čtyřmi diferenciálními sondami.

6.3 Tester

Z důvodu automatizovaného ověření parametrů DTM byl vyvinut tester založený na system on a chip (SoC) SmartFusion2 [36]. Použití IO kombinující hradlové pole a mikrokontrolér je velmi vhodné pro stavbu komplexního a flexibilního testovacího zařízení. Samotná DPS testeru je osazena dvěma SoC, kde druhé SoC (DUT FPGA) je určeno pro testy parametrů SmartFusion2 v prostředí se zvýšenou radiací.

6.3.1 Architektura, parametry a funkce



Obr. 56 Architektura testeru

Hlavní funkcí FPGA testeru na Obr. 56 je vysílání testovacích pulzů pro jednotlivé trainy, nastavování logických podmínek pro MCC a vyhodnocování výstupů (potažmo účinnosti) DTM. Pro generování LVPECL signálů jsou použity převodníky úrovní. DTM je řízena přes I2C konektor, nicméně v tomto případě jsou signály SCL a SDA použity pouze jako univerzální vstupní/výstupní piny (GPIO). Tyto dva signály pomocí CTRL FPGA nastavují

prahové úrovně všech MCC najednou, a to v rozsahu 1 až 4 současné logické jedničky v konkrétním trainu. Tester umožňuje také generování synchronizačního kmitočtu ve standardu CML pro kvalifikaci CFD signálů v DTM. Vzhledem k obtížné implementaci testovací procedury účinnosti DTM s využitím kvalifikačního signálu není tento výstup prakticky využit. Komunikace s PC může být navázána přes 3 připravená rozhraní UART, přičemž jedno z nich je pro testování DTM použito. Dvě LED diody signalizují stav testu. Univerzálně použitelná tlačítka mohou sloužit pro realizaci dalších funkcí testeru. V případě potřeby je možné využít také tři electrically erasable programmable read-only memory (EEPROM) paměti.

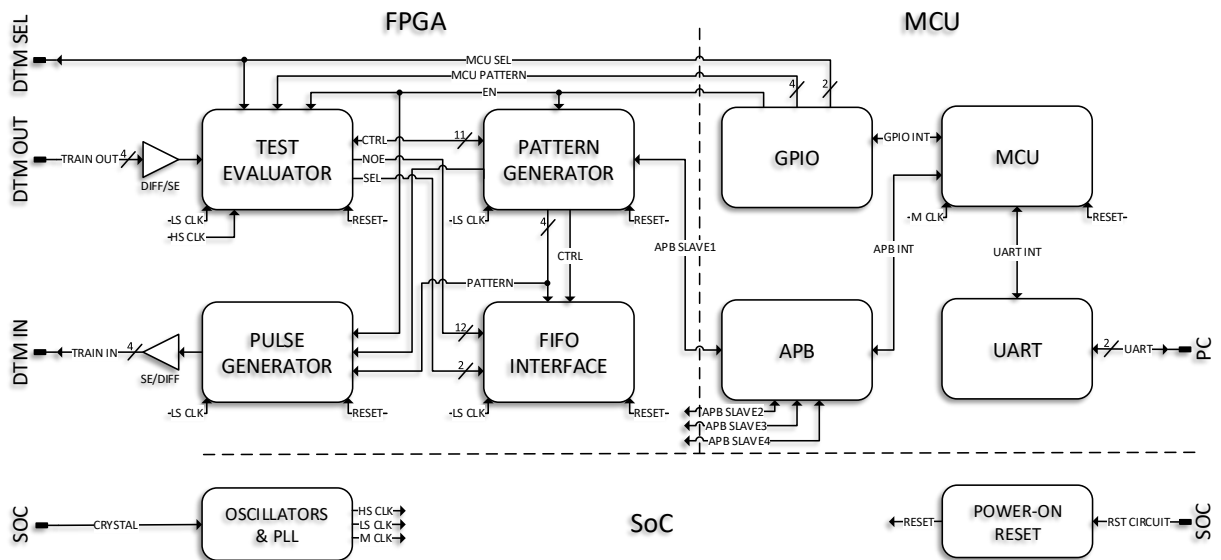
Pro testování reakce SmartFusion2 na zvýšenou radiaci je na desce umístěno také DUT FPGA, které komunikuje s FPGA testeru pomocí osmi konfigurovatelných GPIO.

V případě, že by se u některého z IO testeru projevil latch-up efekt, a došlo k výraznému nárůstu odběru zařízení, provede zdvojený ochranný obvod odpojení DPS od napájecího zdroje na definovanou dobu. Po jejím uplynutí se zařízení opětovně připojí k napájení.

6.3.2 Firmware

Za účelem měření účinnosti DTM a ověření schopnosti kvalifikovat vstupní signály pro jednotlivé MCC byly vyvinuty dva různé firmwary popsané v kapitolách 6.3.2.1 a 6.3.2.2.

6.3.2.1 Testování účinnosti



Obr. 57 Firmware testeru pro test účinnosti DTM

Firmware testeru lze podle využívání dostupných zdrojů IO rozdělit do třech základních skupin: FPGA, mikrokontrolér (MCU) a podpůrné obvody pro celkovou funkci SoC.

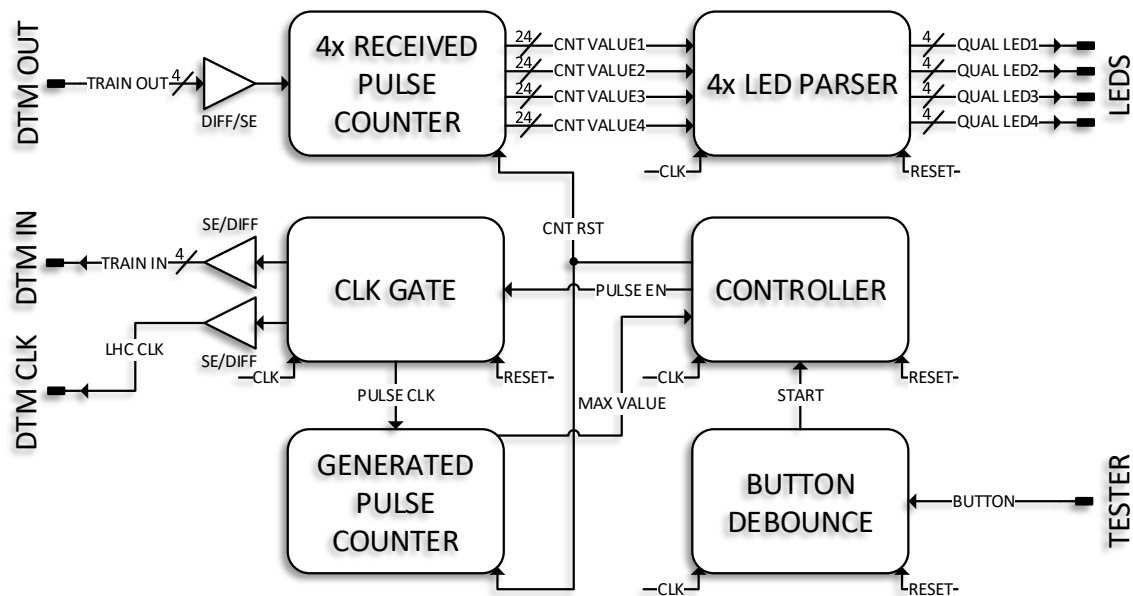
MCU skupina zajišťuje komunikaci s PC s využitím periferie UART. Data, která

v průběhu testu produkuje FPGA, jsou přes rozhraní Advanced Peripheral Bus (APB) vyčítána mikrokontrolérem. Řízení testovací procedury je realizováno přes GPIO rozhraní.

V průběhu testu MCU nastaví testovací vzor, který je zaveden do bloku vyhodnocování testů, a dále také do bloku generování testovacího vzoru. Pulzní generátor následně produkuje testovací pulzy. Vyhodnocovač testů monitoruje výstupy z DTM, které porovnává nejen s vyslanými pulzy (respektive nastaveným vzorem), ale bere do úvahy také nastavené prahové úrovně MCC. Výsledky vyhodnocení jsou vždy po 1000 dávkách předány společně s nastaveným vzorem a prahovou úrovní do rozhraní paměti FIFO. Firmware zobrazený v části FPGA je ve skutečnosti v designu použit čtyřikrát, tzn. jednou pro každý train.

Zbývající entity ve skupině SoC slouží krom resetu zařízení také ke generování rychlého (400 MHz) a pomalého (100 MHz) taktovacího kmitočtu pro FPGA a pro MCU (50 MHz).

6.3.2.2 Testování kvalifikace



Obr. 58 Firmware testeru pro test kvalifikace DTM

Stavový automat v bloku CONTROLLER čeká na stisk tlačítka uživatelem. Následně tento blok resetuje všech pět čítačů a povolí propouštění hodinového signálu (40 MHz) přes blok CLK GATE.

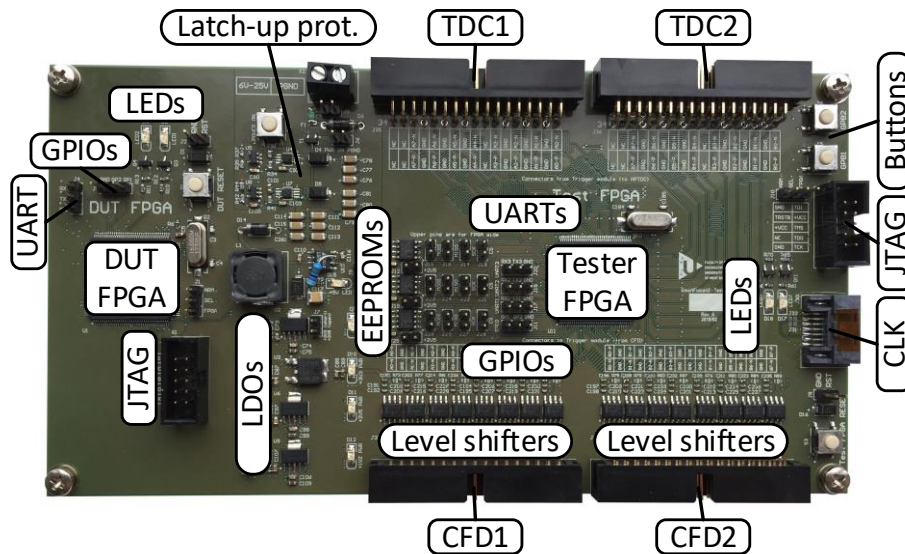
Výstupem bloku CLK GATE je pět identických kopií hodinového signálu. Čtyři jsou zavedeny do testovaného MCC. Od další signálové kopie je odvozen synchronizační kmitočet urychlovače, který je po modifikacích (šířka pulzu, zpoždění) použit právě pro kvalifikaci vstupních signálů do MCC. Poslední kopie je použita pro sledování počtu vyslaných pulzů.

Všechny čítače mají shodnou šířku 24 bitů, což odpovídá maximální hodnotě 16 777 215 testovacích pulzů. Při dosažení maximální hodnoty čítače vyslaných pulzů je aktivován signál

MAX VALUE, na jehož pokyn ukončí stavový automat generování pulzů.

Počty pulzů jednotlivých kanálů jsou průběžně přes entity LED PARSER signalizovány pomocí LED diod. Každý LED PARSER rozděluje prostor 2^{24} hodnot do 16 stejných intervalů, jelikož pro zobrazení aktuální hodnoty daného čítače jsou použity pouze 4 LED diody. Po vyslání požadovaného počtu testovacích pulzů pak LED diody pro jednotlivé kanály zůstanou rozsvícené podle poslední hodnoty čítačů a lze tak stanovit účinnost kvalifikace signálu pomocí LED s kvantizačním krokem 6,25 %.

6.3.3 Praktická realizace



Obr. 59 DPS testeru

DPS testeru na Obr. 59 má 6 vrstev a řízenou impedanci diferenciálních délkově zarovnaných spojů. Testovací pulzy generované z FPGA procházejí přes převodníky úrovní a konektory CFD1/2 do DTM. Prahové úrovně jednotlivých MCC jsou řízeny přes vyznačené GPIO piny. Výstupy z DTM jsou do testeru zavedeny přes konektory TDC1 a TDC2. PC s terminálovým oknem používaným pro řízení testeru se připojuje přes USB/UART převodník. V pravé části desky se pak nachází ještě univerzálně použitelná tlačítka, LED diody a konektor pro buzení DTM hodinovým signálem. V levé části se nachází DUT FPGA doplněné taktéž o UART, GPIO a LED diody. Poblíž šroubovacího napájecího konektoru je umístěn zdvojený ochranný obvod proti latch-up efektu následovaný spínaným zdrojem a kaskádou napěťových regulátorů. Kompletní schéma zapojení se nachází v přílohách M až R.

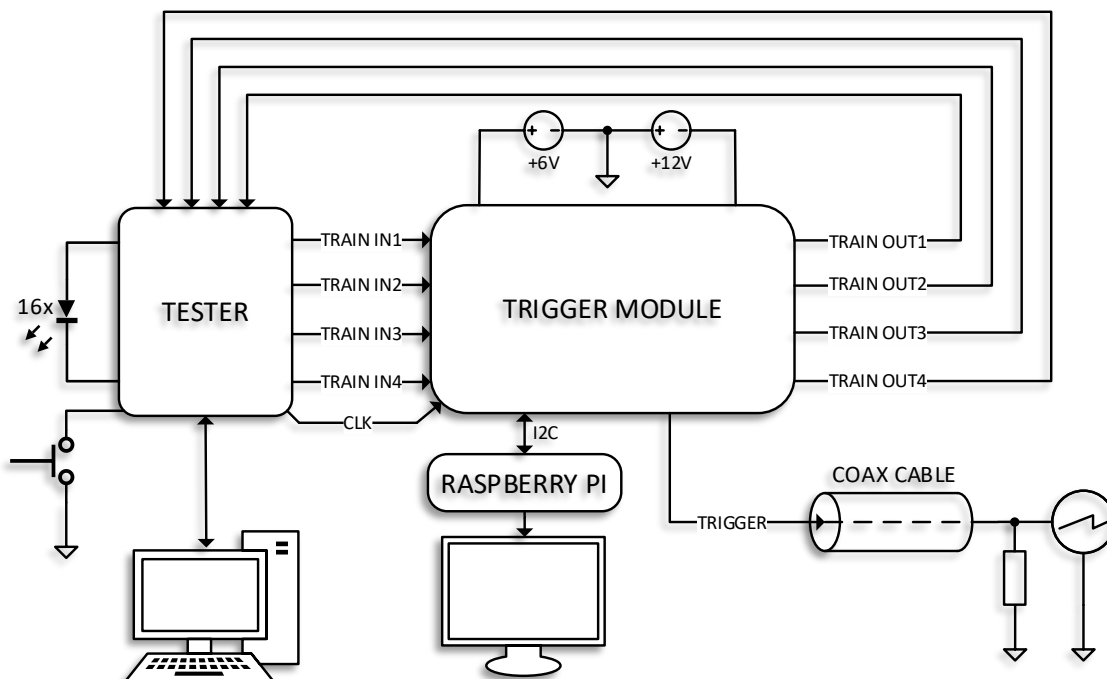
6.4 Testy DTM

Kapitoly 6.4.1 a 6.4.2 popisují průběh a výsledky testování DTM v laboratorních podmínkách i v detekčním řetězci ToF provozovaném na urychlovači částic v DESY [40].

6.4.1 Popis experimentů

DTM byl krom standardních testů v laboratoři podrobena také provozu v rámci celého detekčního řetězce ToF. Zapojení a účel obou experimentů popisují kapitoly 6.4.1.1 a 6.4.1.2.

6.4.1.1 Laboratorní testy



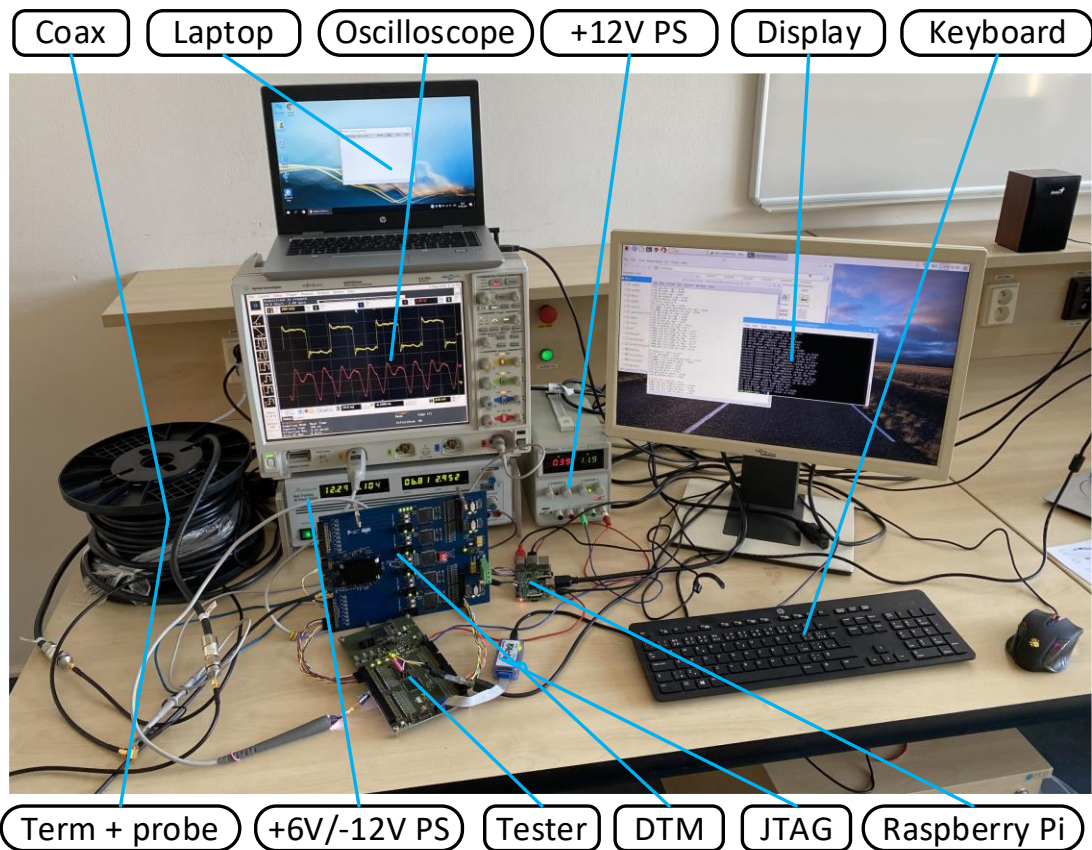
Obr. 60 Zapojení experimentu pro měření parametrů DTM v laboratoři FEL ZČU v Plzni

Blokové zapojení setupu pro ověření účinnosti a funkcí DTM v laboratoři je uveden na Obr. 60. Pro napájení modulu byl použit dvoukanálový laboratorní zdroj s napětím +6 V a -12 V. Funkce TDC při komunikaci s DTM byla simulována s pomocí Raspberry Pi.

Generování testovacích pulzů a vyhodnocování správné funkce při zpracování CFD signálů v DTM měl za úkol řešit tester popisovaný v kapitole 6.3. Tester byl v tomto případě řízen z PC, přičemž pro každý vzor a prahovou úroveň bylo vysláno 50 000 testovacích pulzů.

Další aplikací, ve které byl tester použit, bylo ověření funkce kvalifikování vstupních signálů pro MCC FPGA. Za tímto účelem byl vyvinut zjednodušený firmware pro tester využívající pro signalizaci výsledků LED diody.

Napětí produkované budičem na terminačním odporu zakončujícího 100 m dlouhý koaxiální kabel bylo monitorováno osciloskopem.

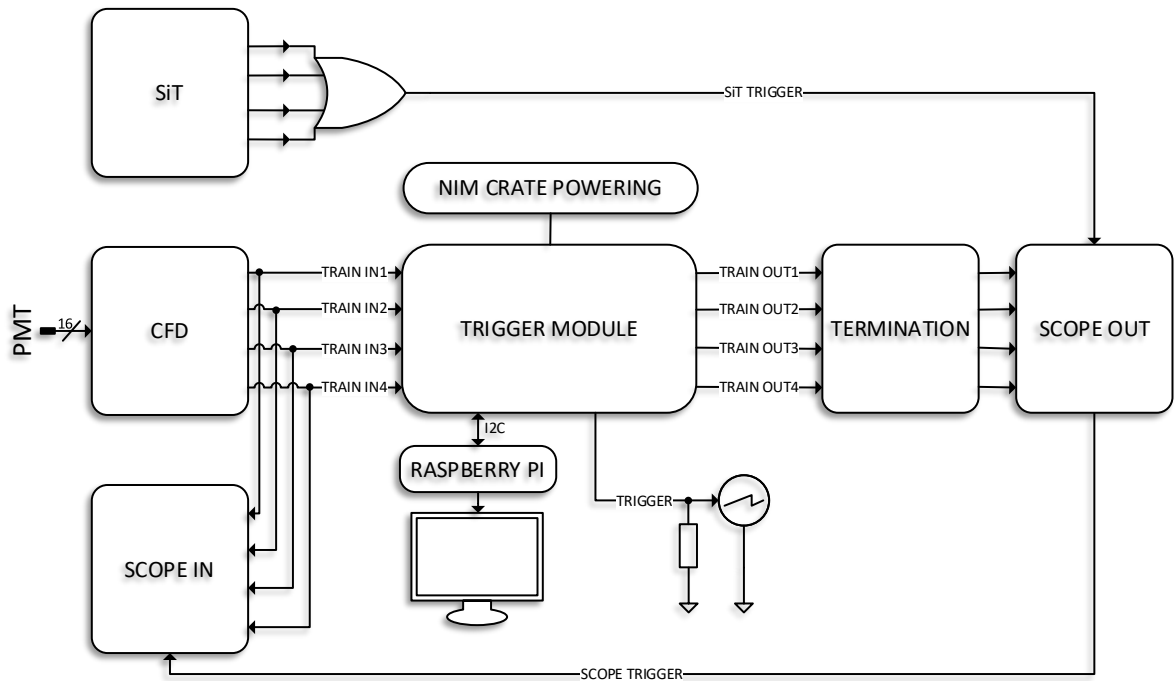


Obr. 61 Měřicí pracoviště pro měření parametrů DTM v laboratoři

Podoba experimentálního pracoviště sloužícího pro ověření parametrů a funkcí DTM je uvedena na Obr. 61.

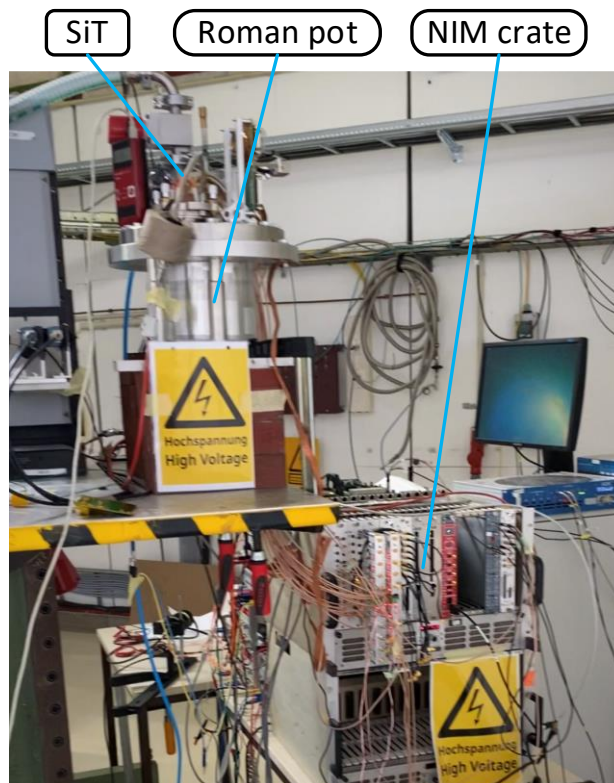
6.4.1.2 Testy s detekčním řetězcem ToF

Zapojení DTM při ověřování parametrů modulu v rámci detekčního řetězce ToF je uvedeno na Obr. 62. CFD modul zpracovává signály z PMT jak je popsáno v kapitole 2.4. Tyto signály jsou dále předány do DTM, která na základě stanovených podmínek signály zadrží či propustí na svůj výstup. Vstupní signály jsou sledovány osciloskopem SCOPE IN. Na výstupy je přes terminační desku připojen osciloskop SCOPE OUT. Pro spuštění osciloskopu na výstupu jsou použity výstupy ze SiT detektoru sloučené OR hradlem. Výstupní osciloskop pak umožňuje spouštět osciloskop připojený na vstupu. Popisovaným zapojením lze tedy získat data pro vyhodnocení účinnosti DTM. Pro ověření vysílání trigger signálu pro DAQ je připojen další osciloskop s terminačním odporem. Zařízení bylo v průběhu testů řízeno z Raspberry Pi a napájeno ze standardního rozhraní v NIM crate. Pro měření účinnosti DTM i schopnosti kvalifikace vstupních signálů pro MCC bylo použito vždy 5 000 pulzů pro každou kombinaci.



Obr. 62 Zapojení experimentu pro měření parametrů DTM na urychlovači v DESY

Podobná experimentu prováděného na urychlovači v DESY je zachycena na Obr. 63. Vzhledem k rozsáhlosti celého zapojení je na fotografii patrný pouze římský hrnec se SiT detektorem a také NIM crate.



Obr. 63 Měřicí pracoviště pro měření parametrů DTM na urychlovači v DESY

6.4.2 Výsledky měření

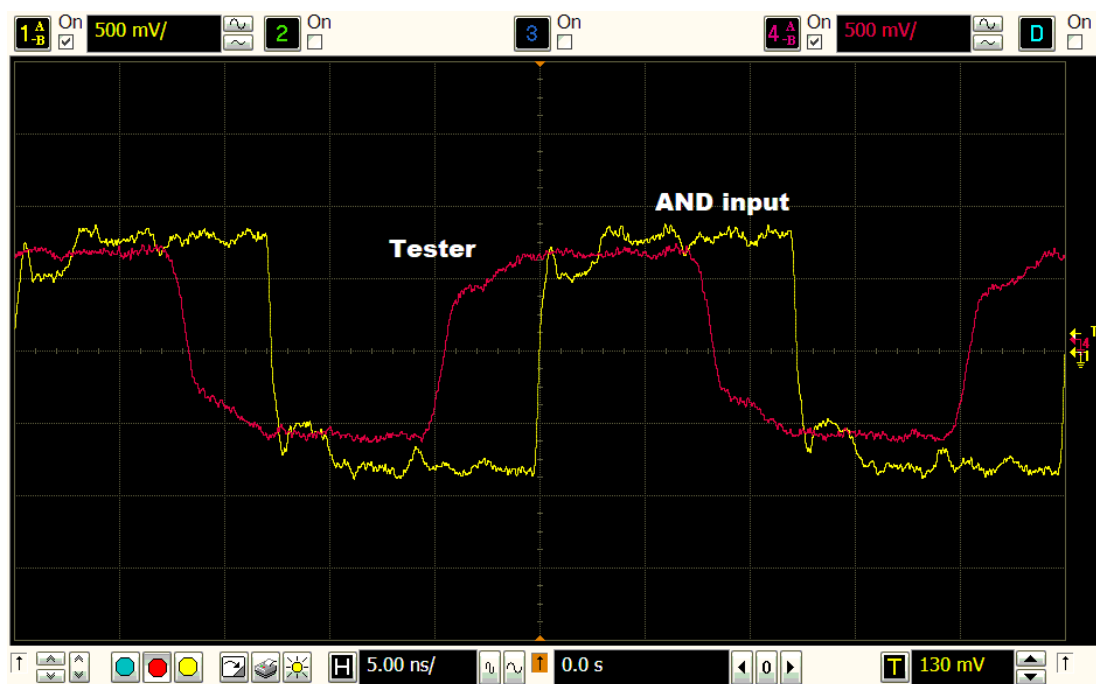
V rámci měření byly sledovány průběhy signálů na MCC, účinnost, kvalifikace signálů pro MCC, teplotní závislost MCC FPGA, jitter jednotlivých kanálů a příkon celého modulu.

6.4.2.1 Průběhy signálů na MCC



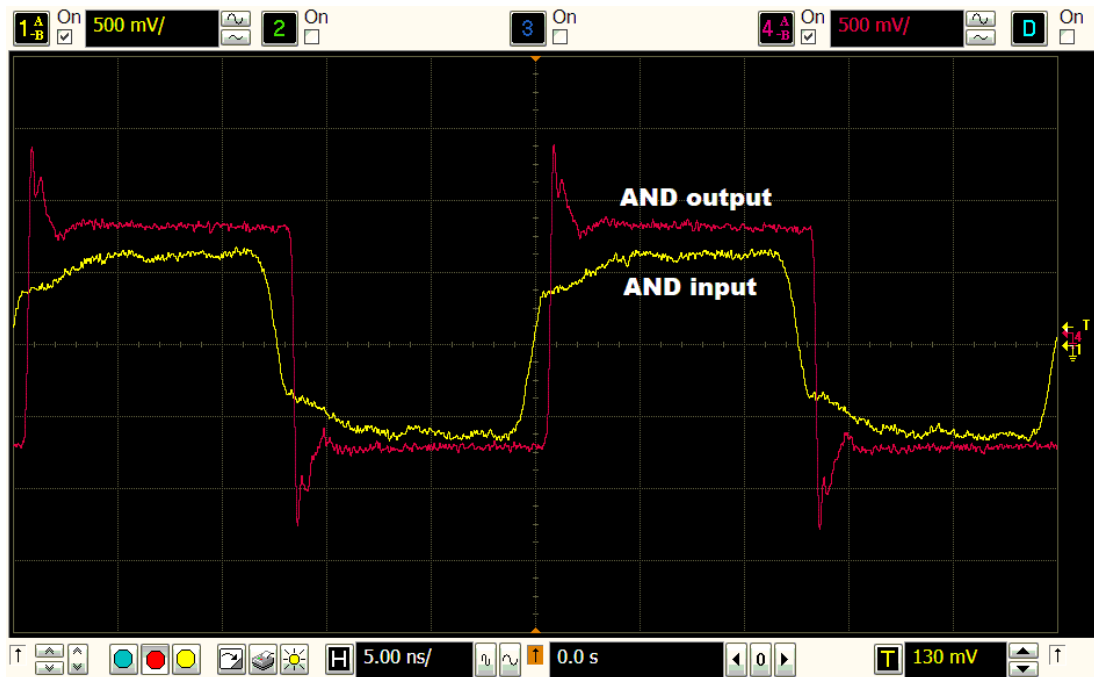
Obr. 64 Průběh signálů na výstupních zachycovacích obvodech MCC, vstupy AND hradla

Dle Obr. 64 je okénkový signál je na vstupu AND hradla s 800 ps předstihem proti CFD signálu. U train signálu lze pozorovat zkreslení hran způsobené průchodem zpoždovací linkou.



Obr. 65 Průběh signálů na výstupu testeru a na vstupu AND hradla

Pokles strmosti hrany CFD signálu po průchodu zpoždovací linkou je v kontrastu s originální hranou signálu produkovaného testerem patrný z Obr. 65.



Obr. 66 Průběh signálů na vstupu a výstupu AND hradla

Obr. 66 porovnává zkreslený vstupní signál AND hradla s obnoveným signálem na výstupu.

6.4.2.2 Účinnost DTM a závislost na teplotě

Následující dvě podkapitoly popisují laboratorní testy (účinnost MCC a jeho závislost na teplotě) a testy s detekčním řetězcem ToF (účinnost MCC a generování trigger signálu pro DAQ systém).

6.4.2.2.1 Laboratorní testy

Pro měření účinnosti DTM v laboratorních podmínkách byl využit tester, přičemž v daném trainu byl jeden ze signálů vždy časově posunut (zpožděn) oproti zbývajícím třem kanálům, a to postupně o 200, 400, 600 a 800 ps. Vzhledem k relativně širokému okénkovému signálu (~ 4 ns) a vhodnému časování MCC byla v rámci tohoto testu účinnost všech trainů 100 % pro přibližně 50 000 vzorků testujících každou kombinaci vstupního vzoru a nastavené prahové úrovně. Jelikož jsou maximální rozestupy mezi signály z CFD 300 ps, byla prokázána časová rezerva při zpracování těchto signálů více než dostatečná.

Tab. 14 Měření vlivu teploty na FPGA použitého ve MCC DTM

		Doba šíření				Šířka pulzu			
	Vstup	$t_{PD-1/4}$ [ns]	$t_{PD-2/4}$ [ns]	$t_{PD-3/4}$ [ns]	$t_{PD-4/4}$ [ns]	$t_{PW-1/4}$ [ns]	$t_{PW-2/4}$ [ns]	$t_{PW-3/4}$ [ns]	$t_{PW-4/4}$ [ns]
$T_{FPGA} = 50\text{ }^{\circ}\text{C}$	1/4	7,44	-	-	-	4,39	-	-	-
	2/4	7,44	7,47	-	-	4,38	4	-	-
	3/4	7,44	7,47	7,5	-	4,31	3,98	3,7	-
	4/4	7,02	7,04	7,11	7,48	4,69	4,45	4,15	3,78
$T_{FPGA} = 60\text{ }^{\circ}\text{C}$	1/4	7,46	-	-	-	4,4	-	-	-
	2/4	7,46	7,49	-	-	4,32	4	-	-
	3/4	7,46	7,46	7,5	-	4,29	3,98	3,7	-
	4/4	7,03	7,05	7,13	7,49	4,69	4,45	4,15	3,78
$T_{FPGA} = 70\text{ }^{\circ}\text{C}$	1/4	7,52	-	-	-	4,4	-	-	-
	2/4	7,52	7,51	-	-	4,33	4,01	-	-
	3/4	7,48	7,5	7,51	-	4,3	3,99	3,71	-
	4/4	7,05	7,07	7,16	7,51	4,7	4,45	4,16	3,78
$T_{FPGA} = 80\text{ }^{\circ}\text{C}$	1/4	7,55	-	-	-	4,41	-	-	-
	2/4	7,52	7,53	-	-	4,34	4,01	-	-
	3/4	7,5	7,52	7,54	-	4,31	4	3,71	-
	4/4	7,08	7,09	7,19	7,53	4,71	4,46	4,16	3,8
$T_{FPGA} = 90\text{ }^{\circ}\text{C}$	1/4	7,6	-	-	-	4,44	-	-	-
	2/4	7,53	7,58	-	-	4,35	4,02	-	-
	3/4	7,54	7,55	7,56	-	4,33	4,01	3,72	-
	4/4	7,11	7,11	7,2	7,57	4,71	4,47	4,18	3,8

Hodnoty zobrazené v Tab. 14 byly získány při měření doby šíření a šířky pulzu okénkového signálu na vývojovém kitu s FPGA obsahujícím stejný firmware jako MCC v DTM. Z uvedených hodnot je patrné, že teplota v rozsahu 50 °C až 90 °C nemá příliš velký vliv na rozdíly v době zpracování signálů (rozdíl ≤ 160 ps) či na šířku pulzu okénkového signálu (rozdíl ≤ 60 ps).

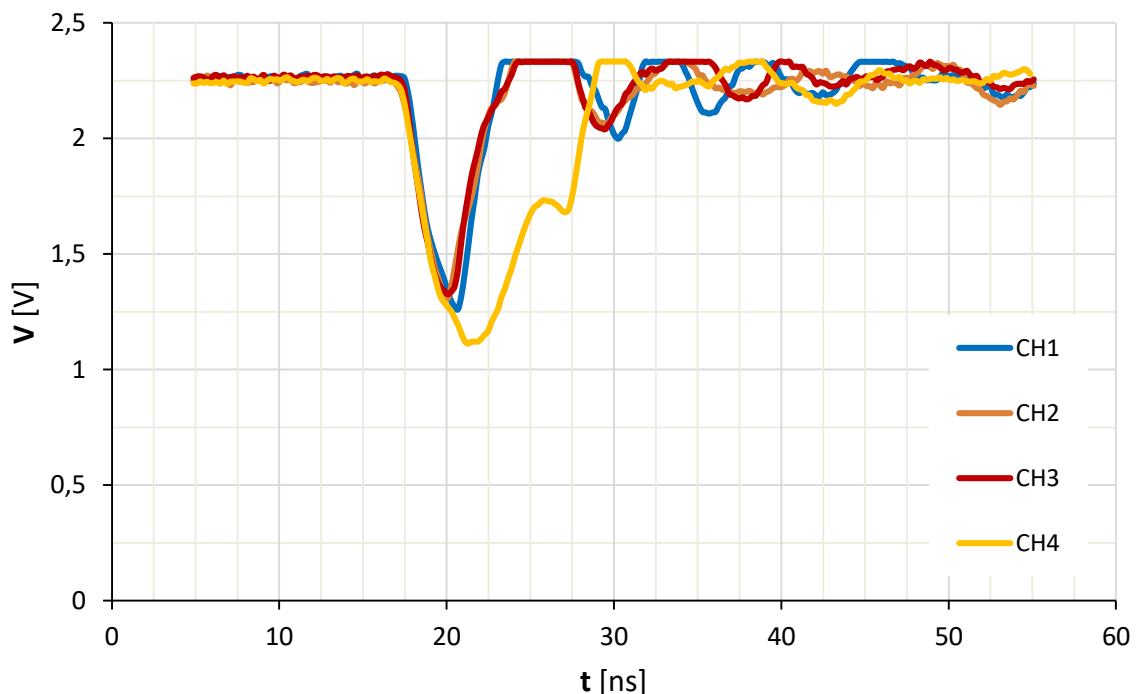
6.4.2.2 Testy s detekčním řetězcem ToF

Tab. 15 Účinnost DTM v detekčním řetězci ToF, TRAIN2

Režim	$\eta_{MCC, 150\text{ mV}}$ [%]	$\eta_{MCC, 300\text{ mV}}$ [%]
1/4	98,88	97,88
2/4	92,56	91,84
3/4	82,32	81,04
4/4	84,28	83,6

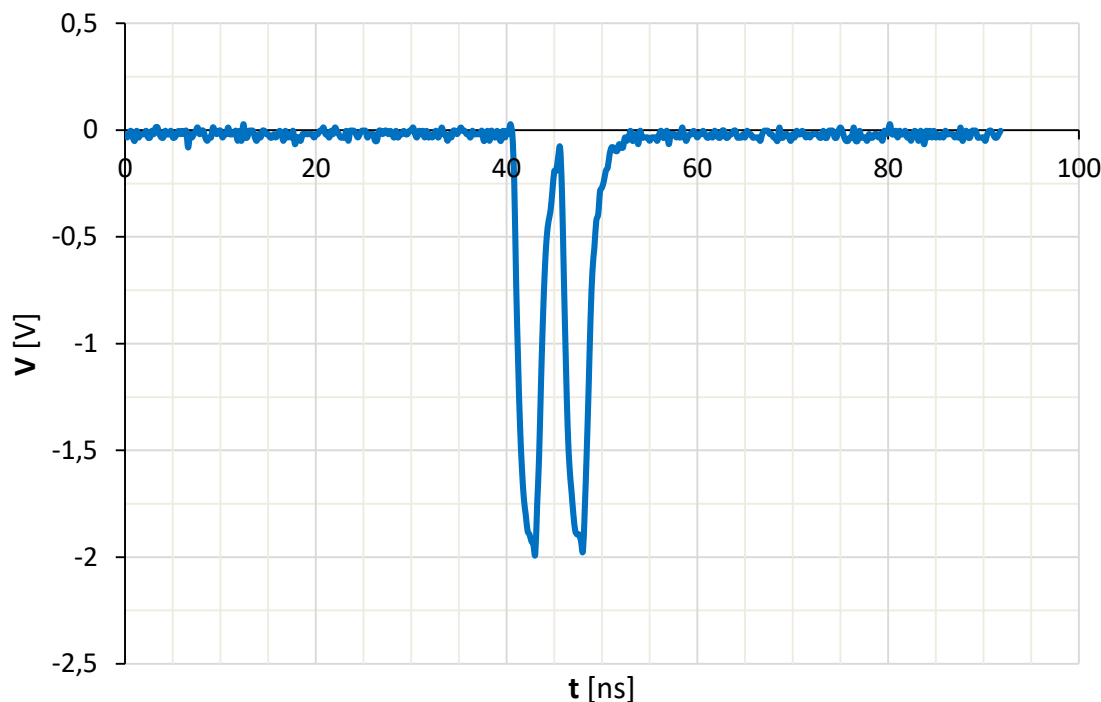
Hodnoty v Tab. 15 byly získány analýzou uložených průběhů z osciloskopů zapojených na vstup a výstup DTM dle Obr. 62. V průběhu sběru dat byly prahové úrovně pro zpracování PMT signálů v CFD modulu nastaveny postupně na 150 mV a 300 mV. CSV soubory s daty

odpovídajícími jednotlivým událostem (celkový počet 5000 pro každou kombinaci) byly zpracovány vytvořeným skriptem v programu MATLAB. Při analýze byly experimentálně voleny prahové úrovně napětí a minimální šířky pulzu považované za logickou jedničku. Z výsledků je patrné, že pro zvyšující se prahovou úroveň MCC se snižuje účinnost zpracování signálu. Příčinou je nevhodné snímání výstupního signálu DTM na terminačních odporech. Při tomto měření byly z důvodu nedostatečného počtu diferenciálních sond (3, přičemž pro jeden train jsou potřeba 4) použity sondy se společnou signalizací připojené vždy pouze na polovinu diferenciálního signálu každého kanálu. Toto řešení vedlo jednak k přeslechům mezi jednotlivými kanály daného MCC a jednak ke zkreslení signálů, což výrazně ovlivňuje vyhodnocení a analýzu dat uložených v osciloskopu.



Obr. 67 Výstupní pulzy Z DTM, TRAIN2

Účinnost při vysílání trigger signálu pro DAQ systém vzhledem k aktivitě trainu 2 byla vyhodnocena jako 100 % pro 2 500 analyzovaných událostí. Pro ilustraci analyzovaných signálů (výstupy DTM na trainu 2 a trigger signál pro DAQ) byla vybrána událost zobrazená na Obr. 67 a Obr. 68.



Obr. 68 Trigger signál pro DAQ, start bit a aktivita na TRAIN2

6.4.2.3 Kvalifikace vstupních signálů pro MCC

Tab. 16 Účinnost kvalifikace vstupních signálů, TRAIN3, $t_{PD-SET} = 220$ ps

t_{PD-SET} [ps]	η_{Q-CH1} [%]		η_{Q-CH2} [%]		η_{Q-CH3} [%]		η_{Q-CH4} [%]	
	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX
0	0,00	6,25	0,00	6,25	0,00	6,25	0,00	6,25
10	0,00	6,25	0,00	6,25	0,00	6,25	0,00	6,25
20	12,50	18,75	12,50	18,75	12,50	18,75	12,50	6,25
30	43,75	50,00	43,75	50,00	43,75	50,00	43,75	6,25
40	0,00	6,25	0,00	6,25	0,00	6,25	0,00	6,25
50	31,25	37,50	31,25	37,50	31,25	37,50	31,25	6,25
60	93,75	100,00	93,75	100,00	93,75	100,00	93,75	6,25
70	93,75	100,00	93,75	100,00	93,75	100,00	93,75	6,25
80	93,75	100,00	93,75	100,00	93,75	100,00	93,75	6,25
90	93,75	100,00	93,75	100,00	93,75	100,00	93,75	6,25
100	81,25	87,50	81,25	87,50	81,25	87,50	81,25	6,25
110	37,50	43,75	37,50	43,75	37,50	43,75	37,50	6,25
120	93,75	100,00	93,75	100,00	93,75	100,00	93,75	6,25
130	75,00	81,25	75,00	81,25	75,00	81,25	75,00	6,25
140	0,00	6,25	0,00	6,25	0,00	6,25	0,00	6,25
150	0,00	6,25	0,00	6,25	0,00	6,25	0,00	6,25

Pro měření hodnot zaznamenaných v Tab. 16 byla nastavena šířka pulzu (respektive kvalifikačního okénka pro CFD signály) na 220 ps. To se započtením minimální šířky pulzu určené kresbou DPS dává ve výsledku hodnotu 607 ps. Jednotlivé testovací signály generované

testerem měly maximální vzájemný rozestup přibližně 500 ps. Pro ověření funkce kvalifikace signálů vstupujících do MCC byl během měření vybrán interval 150 ps, který je po odečtení offsetu proměnné t_{PD-SET} uveden v tabulce. Z naměřených hodnot je patrné, že se účinnost kvalifikace blízká 100 % vyskytuje pro interval zpoždění 40 ps. Očekávaný interval zpoždění o velikosti cca 110 ps, ve kterém by měla kvalifikace 100% fungovat, je tedy zmenšen přibližně o 70 ps. To je způsobeno jednak vlivem obvodové nesymetrie uvnitř FPGA a jednak neuniformním chováním zpožďovacích linek při jejich přeladování (viz skoky v účinnostech při změně zpoždění). Zdrojem problémů s uniformitou je nesymetrie proporcí jednotlivých zpožďovacích elementů.

6.4.2.4 Časový posun kanálů MCC

Přibližné časové posuny mezi jednotlivými kanály DTM naměřené osciloskopem spadají do intervalu 0 až 300 ps. Vzhledem k tomu, že informace předávaná mezi CFD a TDC moduly je kódována do šířky pulzu, nejsou časové posuny mezi jednotlivými kanály kritické. Větší časové rozestupy v porovnání s ADTM jsou způsobeny delšími zpožďovacími linkami přenášejícími vstupní CFD signály do výstupních zachycovacích obvodů. I přes pečlivou kresbu DPS (délkové odchylky mezi jednotlivými spoji ≤ 1 mm) není výrobní technologie schopná zabezpečit přesnou shodu měrných parametrů jednotlivých spojů.

6.4.2.5 Jitter

Tab. 17 Šířky pulzů před a po průchodu DTM

		TRAIN IN			TRAIN OUT		
		$t_{MEAN-IN}$ [ns]	t_{MIN-IN} [ns]	t_{MAX-IN} [ns]	$t_{MEAN-OUT}$ [ns]	$t_{MIN-OUT}$ [ns]	$t_{MAX-OUT}$ [ns]
TRAIN1	CH1	12,3657	12,3279	12,4015	12,3703	12,3312	12,3975
	CH2	12,3711	12,3282	12,4015	12,3807	12,3408	12,4126
	CH3	12,3412	12,3162	12,3754	12,3454	12,3145	12,3821
	CH4	12,3492	12,3074	12,3819	12,3510	12,3113	12,3824
TRAIN2	CH1	12,3567	12,3312	12,3919	12,3620	12,3393	12,3927
	CH2	12,3758	12,3436	12,4005	12,3834	12,3567	12,4162
	CH3	12,3588	12,3360	12,3879	12,3649	12,3448	12,3884
	CH4	12,3602	12,3359	12,4222	12,3644	12,3413	12,4210
TRAIN3	CH1	12,3783	12,3233	12,4256	12,3798	12,3349	12,4257
	CH2	12,3566	12,3056	12,4037	12,3624	12,3109	12,4098
	CH3	12,3835	12,3378	12,4260	12,3797	12,3337	12,4214
	CH4	12,3686	12,3078	12,4268	12,3641	12,3103	12,4211
TRAIN4	CH1	12,3587	12,3094	12,4139	12,3626	12,3218	12,4209
	CH2	12,3916	12,3482	12,4409	12,3881	12,3329	12,4433
	CH3	12,3600	12,3147	12,4090	12,3547	12,3068	12,4065
	CH4	12,3840	12,3303	12,4386	12,3807	12,3296	12,4357

Pro charakterizaci jitteru, který DTM přidává ke vstupním signálům z CFD, byl využit 40 MHz generátor se čtyřnásobným fan-out obvodem s typickým root mean square (RMS) jitterem 70 fs [37]. K měření šířek pulzů byla použita dvojice diferenciálních sond N2751A a osciloskop MSO9254A [38], [39]. V průběhu experimentu byly postupně otestovány všechny čtyři trainy. Na jeden z výstupů fan-out obvodu byla připojena diferenciální sonda a tento výstup byl postupně připojen na kanály jedna až čtyři, na kterých byl současně měřen i výstupní signál. Na každý kanál bylo vysláno přibližně 2,5 miliardy pulzů. Výsledky shrnuje Tab. 17.

$$|\Delta t_{\text{MEAN}}| = |t_{\text{MEAN-IN}} - t_{\text{MEAN-OUT}}| \text{ [s]} \quad (6.3)$$

Pro vyjádření vlivu DTM na střední hodnotu jitteru byla použita výše uvedená rovnice (a její analogické verze pro minimální a maximální hodnoty). V této rovnici $|\Delta t_{\text{MEAN}}|$ označuje absolutní velikost rozdílu mezi středními hodnotami šířky pulzu na vstupu a výstupu DTM. Šířka pulzu na vstupu zařízení je pak značena jako $t_{\text{MEAN-IN}}$ [s] a výstupní hodnota je $t_{\text{MEAN-OUT}}$ [s]. Výsledky výpočtů rozdílů mezi vstupy a výstupy DTM vyjadřuje Tab. 18.

Tab. 18 Rozdíly mezi šířkami pulzů před a po průchodu DTM

		$ \Delta t_{\text{MEAN}} $ [ps]	$ \Delta t_{\text{MIN}} $ [ps]	$ \Delta t_{\text{MAX}} $ [ps]
TRAIN1	CH1	4,6	3,3	4,0
	CH2	9,6	12,6	11,1
	CH3	4,2	1,7	6,7
	CH4	1,8	3,9	0,5
TRAIN2	CH1	5,3	8,1	0,8
	CH2	7,6	13,1	15,7
	CH3	6,1	8,8	0,5
	CH4	4,2	5,4	1,2
TRAIN3	CH1	1,5	11,6	0,1
	CH2	5,8	5,3	6,1
	CH3	3,8	4,1	4,6
	CH4	4,5	2,5	5,7
TRAIN4	CH1	3,9	12,4	7,0
	CH2	3,5	15,3	2,4
	CH3	5,3	7,9	2,5
	CH4	3,3	0,7	2,9

6.4.2.6 Příkon

Tab. 19 Proudový odběr na napájecích větvích DTM

	6 V větev	-12 V větev
Proudový odběr [A]	3,068	0,105

Nahrazení velké části IO pro zpracování signálů v MCC obvody FPGA vedlo ke značné redukci spotřeby, jelikož se LVPECL technologie použitá v ADTM vyznačuje vysokým

ztrátovým výkonem. K dalšímu snížení proudového odběru také výrazně přispěl DC/DC regulátor nahrazující LDO. Popsané úpravy vedly ke snížení odběru kladné větve napájení přibližně o 63 %. Odběr ze záporné napájecí větve stoupl na 105 mA vzhledem k úpravám kabelového budiče. Důvodem je použití preemfáze, jiného typu budičích tranzistorů a snížení hodnot odporů v obvodovém řešení budiče. Odběr ze záporné napájecí větve je však i nadále zanedbatelný.

6.4.2.7 Zhodnocení výsledků a funkčnosti

Provedené testy prokázaly funkčnost zařízení a dosažení požadovaných parametrů. DTM vykazoval v případě laboratorních testů 100% účinnost při zpracování přibližně 50 000 vzorků (pulzů) na každém trainu, přičemž tímto počtem pulzů byla testována každá možná vstupní kombinace společně s každou prahovou úrovní. Testy v rámci detekčního řetězce ToF použitého na urychlovači částic v DESY vykazovaly účinnost v rozsahu 81,04 % až 98,88 % pro různé kombinace prahových úrovní PMT signálů zpracovávaných v CFD a různá nastavení MCC FPGA.

Účinnost při vysílání trigger signálu pro DAQ systém byla po zpracování 2 500 zachycených událostí stanovena jako 100 %. Velikost latence mezi vstupem CFD signálem a výstupem trigger signálu z kabelového budiče je přibližně 24 ns.

Ověřena byla i možnost kvalifikace vstupních signálů pro MCC FPGA. Očekávaný interval posunu kvalifikačního signálu (okénka), který ještě zajistí akceptaci vstupních signálů pro zpracování ve MCC, byl na základě měření stanoven přibližně na 110 ps. Vlivem nesymetrie zpracování signálu v MCC FPGA, a disproporcionalitě zpoždovacích elementů ve zpoždovacích linkách, je tento interval reálně zmenšen přibližně o 70 ps. To v praxi znamená, že je nutné nastavovat kvalifikační okénko minimálně o 70 ps širší, než je nejmenší šířka teoreticky postačující pro akceptaci vstupních signálů ve MCC FPGA.

Závislost zpracování signálů v FPGA na teplotě je dle provedených testů velmi nízká a při provozu nepředstavuje problém. Rozdíl v době šíření signálu je pro teplotní rozsah 50 °C až 90 °C menší než 160 ps. Přes stejný rozsah teplot je pak změna v šířce pulzu ≤ 90 ps.

V průběhu ladění firmware v FPGA přišla vhod značná flexibilita zařízení, jelikož bylo zjištěno, že původní verze firmware vytvořená na vývojovém kitu produkuje příliš krátké okénkové pulzy. Přidáním více opakovačů signálu do resetovací smyčky klopných obvodů typu D (viz Obr. 43) dochází ke generování delšího okénkového signálu, což zaručuje větší rezervu v časování obvodů DTM.

Zjištěný časový posun mezi jednotlivými kanály ≤ 300 ps je v této aplikaci dostatečně

malý, jelikož informace z CFD je kódována v šířce pulzu a nikoli v časových posunech mezi jednotlivými kanály.

Jitter přidávaný k CFD signálům vlivem činnosti DTM byl měřen pro cca 2,5 miliardy vzorků. Maximální odchylka střední hodnoty mezi šířkou pulzu vstupního a výstupního signálu dosahuje 9,6 ps.

Příkon zařízení byl částečnou výměnou obvodového zapojení oproti ADTM snížen na méně než 40 %. To vede i ke zjednodušení a zlevnění mechanické konstrukce, kdy na napájecích obvodech (LDO regulátorech) nemusí být nyní montovány masivní chladiče teplotně spojené s NIM boxem.

Proces ožívání a následného testování zařízení se neobešel bez ladění. Na DPS byly zjištěny potíže s přeslechmi mezi signály vedoucími z CTRL FPGA do bloku úpravy synchronizačního kmitočtu. Tento problém byl vyřešen přidáním kondenzátorů mezi vstupní piny zpožďovacích linek a zem. Další potíží, kterou bylo nutno vyřešit, byla nevhodná terminace mezi AND a OR hradly ve výstupních zachycovacích obvodech MCC. Hradla se vlivem nadměrné výkonové ztráty přehřívala a při dlouhodobějším provozu DTM fungoval nespolehlivě. Optimalizací hodnoty terminace došlo k vyřešení potíží s přehříváním bez vlivu na časování zařízení.

Veškeré problémy zjištěné během procesu ladění a testování zařízení se podařilo odstranit a DTM je připraven pro nasazení v projektu AFP na LHC v CERNu bez nutnosti dalších úprav hardware či firmware.

7 Závěr

V úvodní části práce byl TM zasazen do kontextu detekčního systému ToF AFP. Definicí trigger systémů, jejich parametrů a funkcí se zabývala následující kapitola. Dále jsou popsány hlavní faktory vedoucí k vývoji TM pro projekt ToF AFP, cíle práce a použité vědecké metody. Další kapitola se zabývá požadavky kladenými na ADTM, návrhem jeho architektury, vysvětlením klíčových funkcí a testováním prototypu. Předposlední kapitola pak představuje vylepšenou architekturu TM v podobě DTM. Krom samotného modulu kapitola popisuje i vývoj speciálního testeru určeného pro ověření sledovaných parametrů DTM. Dále jsou zde popsány výsledky dosažené při měření přenosové trasy a kodeku používaných pro povelování vzdáleného DAQ systému.

7.1 Shrnutí výsledků pro ADTM

Po analýze požadovaných funkcí, parametrů a dostupných rozhraní byly pro návrh a konstrukci rychlých výběrových obvodů elektroniky použity IO v ECL standardu – KO, hradla, fan-out obvody, komparátory a zpožďovací linky. Hlavní logická funkce (majorita) při vyhodnocování train signálů byla na každém MCC realizována pomocí analogového součtu digitálních výstupů KO s tím, že sumární napětí je porovnáváno s napětím referenčním. Pro vysílání trigger signálů po koaxiálním kabelu do DAQ centra byly navrženy obvody majority a multiplexoru, jejichž výstupy jsou zavedeny do kabelových budičů v NIM standardu. Potřebné úrovně pro napájení modulu jsou zajišťovány lineárními regulátory se zvýšenou radiační odolností.

Mezi hlavní výsledky plynoucí z testování ADTM patří především:

- Ověření funkce MCC pro události s četností 40 MHz včetně možnosti změny prahové úrovně. Objevují se problémy s teplotní závislostí obvodů.
- Při pečlivé kalibraci lze dosáhnout účinnosti výběrových obvodů vyšší než 99 %.
- Ověření funkce podpůrných obvodů – teploměry, I2C expandéry, DAC, napájení.
- Maximální vzájemný časový posun mezi dvěma kanály jednoho MCC <92 ps.
- Problémy s kontaktováním mezi MCC moduly a základní deskou.
- Prakticky nulová flexibilita při rekonfiguraci výběrových obvodů v MCC – dáno použitou architekturou založenou na KO a hradlech.
- Vysoká spotřeba – přibližně 50 W je z hlediska chlazení na hraně přijatelnosti.

7.2 Shrnutí výsledků pro DTM

Výše uvedené nedostatky zjištěné při vývoji ADTM (teplotní závislost, vysoká spotřeba, nízká flexibilita, potíže s replikací a kontaktováním) vedly k návrhu druhé generace zařízení v podobě DTM. Obvodové řešení MCC pro jednotlivé trainy bylo plně digitalizováno s využitím FPGA. Tento krok vedl rovněž ke zvýšení možnosti rekonfigurace zařízení a výraznému snížení spotřeby. FPGA bylo rovněž dedikováno i pro řízení DTM jako celku (nadřazená komunikace, řízení MCC, teplotní monitorování, ladění kvalifikačního signálu apod.). Ke snížení celkové spotřeby DTM dopomohlo i použití spínaného DC/DC měniče místo LDO regulátorů. Pro konstrukci zařízení byly použity buď obvody se zvýšenou radiační odolností nebo obvody COTS testované na dávku ekvivalentní 4 letům provozu poblíž LHC.

Oproti ADTM jsou výsledky testování a měření parametrů DTM více komplexní, neboť u této verze platí předpoklad, že je verze finální. Mezi hlavní výsledky plynoucí z testování DTM patří především:

- Ověření funkce MCC včetně možnosti změny prahové úrovně a rekonfigurace výběrových obvodů.
- Účinnost zpracování událostí s četností 40 MHz je 100 % pro vstupní signály v rámci jednoho MCC se vzájemným rozestupem až 400 ps.
- Účinnost při vysílání trigger signálu pro DAQ systém je rovněž 100 %.
- Velikost latence mezi vstupem CFD signálů a výstupem trigger signálu z kabelového budiče je 24 ns, což představuje výrazné zlepšení oproti latenci přibližně 80 ns, kterou při základním triggerování vyžadoval HPTDC modul.
- Minimální šířka kvalifikačního okénka potvrzujícího platnost zpracovávaných signálů je stanovena přibližně na 70 ps.
- Teplotní závislost MCC obvodů (respektive FPGA) je velmi nízká. V rozsahu od 50 °C do 90 °C se doba zpracování signálu liší maximálně o 160 ps, přičemž doba šíření je v absolutní hodnotě cca 7,5 ns.
- Jitter přidávaný k signálům vstupujícím do DTM je menší než 9,6 ps.
- Celková spotřeba o velikosti přibližně 20 W je z hlediska chlazení příznivá.
- Testy kodéru a kabelového budiče potvrdily schopnost přenést přes 265 m dlouhý koaxiální kabel 400 MHz signál v podobě, kterou lze relativně jednoduše obnovit.

7.3 Přínos pro vědu a praxi

Hlavní přínosy disertační práce pro vědu a praxi jsou vyjádřeny v následujících bodech:

- V teoretické části byly přehledně zdokumentovány základní trigger systémy běžně používané v experimentech částicové fyziky. Zmiňovaná dokumentace trigger systémů zahrnuje jejich architekturu, vysvětlení principu funkce, sledované parametry a také příklady reálných aplikací na urychlovačích částic.
- V praktické části byla vyvinuta TM schopná operovat s vysokou četností srážkových událostí na LHC. Konkrétní řešení v podobě DTM je flexibilní z hlediska rekonfigurace výběrových a řídicích obvodů, radiačně odolné, dosahuje vysoké účinnosti při zpracování událostí a má vynikající časové parametry (nízká latence, vysoká míra souběhu signálů v paralelních větvích, nízký jitter). Dále se zařízení vyznačuje optimalizovanou spotřebou a svým provedením ve formě NIM boxu, tedy standardu běžně používaném v částicové fyzice.
- Práce ukazuje použití asynchronní sekvenční logiky v radiačně odolných obvodech pro potřeby zpracování vysokorychlostních signálů z vícekanálových částicových detektorů. Konkrétně se tato aplikace zaměřuje na hledání koincidencí mezi zpracovávanými signály a vyhodnocení s využitím majoritního obvodu s nastavitelnou úrovní.
- Koncepce použitá pro návrh, stavbu a ověření parametrů TM je zdokumentována dostatečně detailně na to, aby z ní mohla být odvozena obdobná řešení pro další fyzikální experimenty.

7.4 Použití TM a plánované úpravy

Trvalá instalace dvou DTM na urychlovači LHC v CERNu je plánována rámcově na druhou polovinu roku 2021. V první fázi bude přijímač (respektive dekodér) příkazů pro DAQ pouze reagovat na start bit datového rámce. Po dokončení plnohodnotného dekodéru bude CTP zpracovávat i informace o tom, který z trainů byl aktivní. Zkušenosti a znalosti získané při vývoji TM pro detektor ToF projektu AFP budou užitečné při stavbách dalších zařízení v oblasti nukleární instrumentace.

Použitá literatura

- [1] POGHOSYAN, Martin. An introduction to Regge Field Theory. In: *Diffractive and electromagnetic processes at high energies*. Heidelberg, 2013.
- [2] ZAFFARONI, Alberto. Introduction to the AdS/CFT correspondence. In: *University of Milano Bicocca*. Milano, 2009.
- [3] IVANOV, I. P. Forward physics of hadronic colliders. In: *Baikal Summer School of Elementary Particles and Astrophysics*. Baikal, July 2012.
- [4] KAŠPAR, Jan. *Forward physics at LHC* [online]. Fyzikální ústav akademie věd ČR. [cit. 7. 10. 2019]. Dostupné z: <https://www.fzu.cz/node/9447>
- [5] *Česká republika a CERN* [online]. Praha: MŠMT ČR: ©2012 [cit. 14.3.2019]. Dostupné z: http://www.msmt.cz/file/35217_1_1/
- [6] *CERN* [online]. Wikipedie. [cit. 14. 3. 2019]. Dostupné z: <https://en.wikipedia.org/wiki/CERN>
- [7] *Velký hadronový urychlovač* [online]. Wikipedie. [cit. 14. 3. 2019]. Dostupné z: https://cs.wikipedia.org/wiki/Velk%C3%BD_hadronov%C3%BD_urychlova%C4%8D
- [8] *LHC experiments and Non-LHC experiments* [online]. CERN. [cit. 14. 3. 2019]. Dostupné z: <https://home.cern/science/experiments>
- [9] GRINSTEIN, Sebastian on behalf of the AFP Collaboration. The ATLAS Forward Proton Detector (AFP). In: *Nuclear and Particle Physics Proceedings 273-275*. ScienceDirect, 2016. s. 1180-1184.
- [10] FÖRSTER, Fabian on behalf of the AFP Collaboration. 3D Silicon Tracker for AFP: From Qualification to Operation. In: *Vertex*. Las Caldas, 2017.
- [11] KOMÁREK, Tomáš. AFP Time-of-Flight detector. In: *EMMI workshop*. Cracow, 2017.
- [12] LOPÉZ PAZ, Ivan. *The one-armed ATLAS Forward Proton detector*. Barcelona, 2018. Disertační práce. Universitat Autònoma de Barcelona. Institut de Física d'Altes Energies. Vedoucí práce Jörn Lange.
- [13] U.S. NIM COMMITTEE. *Standard NIM Instrumentation System*. U.S. Department of Energy – Office of Energy Research, May 1990.
- [14] *Čerenkovovo záření* [online]. Wikipedie. [cit. 25. 4. 2019]. Dostupné z: https://cs.wikipedia.org/wiki/%C4%8Cerenkovovo_z%C3%A1%C5%99en%C3%AD
- [15] BEISER, Arthur. *Úvod do moderní fyziky*. Přeložil J. ČADA. Praha: Academia, 1975. 624 s. ISBN 978-0201578997.
- [16] *Constant Fraction Discriminator* [online]. Wikipedie. [cit. 25. 4. 2019]. Dostupné z: https://en.wikipedia.org/wiki/Constant_fraction_discriminator
- [17] CHRISTIANSEN, Jorgen. *High Performance Time to Digital Converter*. CERN – Microelectronics group, March 2004.

- [18] PASTORE, Francesca. *An introduction to the trigger systems* [online]. UCL – Department of Physics and Astronomy [cit. 29 .4. 2019]. Dostupné z: http://www.hep.ucl.ac.uk/~mw/Post_Grads/2011-12/triggerDAQ-UCL-2011.pdf.
- [19] LAJOIE, John. Triggering in Particle Physics Experiments. In: *PHENIX SpinFest*. New York, 2009.
- [20] NEGRI, Andrea. Introduction to Data AcQuisition. In: *ISOTDAQ 2020*. Valencia, 2020.
- [21] ÜNEL, Gökhan. Introduction to Trigger. In: *ISOTDAQ 2020*. Valencia, 2020.
- [22] RABADY, Dinyar. Trigger architecture and hardware. In: *ISOTDAQ 2020*. Valencia, 2020.
- [23] VÁZQUEZ SCHRÖDER, Tamara on behalf of the ATLAS Collaboration. The ATLAS Trigger in Run-2. In: *EPS Conference on High Energy Physics*. Venice, July 2017.
- [24] *ATLAS experiment* [online]. Wikipedie. [cit. 3. 5. 2019]. Dostupné z: https://en.wikipedia.org/wiki/ATLAS_experiment
- [25] *Compact Muon Solenoid* [online]. Wikipedie. [cit. 3. 5. 2019]. Dostupné z: https://en.wikipedia.org/wiki/Compact_Muon_Solenoid
- [26] *Speedstack PCB* [online]. Polar Instruments. [cit. 5. 5. 2019]. Dostupné z: https://www.polarinstruments.com/products/stackup/Speedstack_PCB.html
- [27] BROULÍM, Pavel. Read-Out Control System for High Resolution Time-to-Digital Converter. In: *2016 8th International Congress on Ultra-Modern Telecommunications and Control Systems and Workshops (ICUMT)*. 2016. s. 298-303.
- [28] *CDCLVP1204 datasheet*. Texas Instruments. [cit. 6. 5. 2019]. Dostupné z: <http://www.ti.com/lit/ds/symlink/cdclvp1204.pdf>
- [29] *IGLOO2 FPGAs*. Microsemi. [cit. 10. 5. 2019]. Dostupné z: <https://www.microsemi.com/product-directory/fpgas/1688-igloo2>
- [30] AMARAL, P. Borrego et al. The ATLAS Level-1 Central Trigger Processor. In: *14th IEEE-NPSS Real Time Conference*. Stockholm 2005.
- [31] *HCA78-50J datasheet*. RFS. [cit. 13. 8. 2020]. Dostupné z: <http://www.rfsworld.com/WebSearchECat/datasheets/pdf/?q=HCA78-50J>
- [32] *ATLAS Detector Control System (DCS)* [online]. Twiki. [cit. 14. 8. 2020]. Dostupné z: <https://twiki.cern.ch/twiki/bin/view/Sandbox/TestWysiwyg>
- [33] *Timing, Trigger and Control (TTC) Systems for the LHC* [online]. CERN. [cit. 14. 8. 2020]. Dostupné z: <http://ttc.web.cern.ch/>
- [34] *PolarFire FPGAs*. Microsemi. [cit. 14. 8. 2020]. Dostupné z: <https://www.microsemi.com/product-directory/fpgas/3854-polarfire-fpgas>
- [35] *Everest-DEV-Board datasheet*. Texas ARROW. [cit. 14. 8. 2020]. Dostupné z: https://static6.arrow.com/aropdfconversion/46e7ae1ee316115b074e64a65865cd2a29c1a282/everest_dev_board_user_guide.pdf
- [36] *SmartFusion2 SoCs*. Microsemi. [cit. 14. 8. 2020]. Dostupné z: <https://www.microsemi.com/product-directory/soc-fpgas/1692-smartfusion2>

- [37] *SY58021U datasheet*. Microchip. [cit. 17. 8. 2020]. Dostupné z: <http://ww1.microchip.com/downloads/en/DeviceDoc/sy58021u.pdf>
- [38] *N2751A datasheet*. Keysight Technologies. [cit. 17. 8. 2020]. Dostupné z: <https://www.keysight.com/us/en/assets/7018-03506/data-sheets/5991-0560.pdf>
- [39] *MSO9254A datasheet*. Keysight Technologies. [cit. 17. 8. 2020]. Dostupné z: <https://www.keysight.com/us/en/assets/7018-02091/data-sheets/5990-3746.pdf>
- [40] *About DESY* [online]. DESY. [cit. 17. 8. 2020]. Dostupné z: <https://www.desy.de/>
- [41] *MATLAB* [online]. MathWorks. [cit. 25. 12. 2020]. Dostupné z: <https://www.mathworks.com/products/matlab.html>

Seznam publikací vztahujících se k disertační práci

- [AP1] ZICH, Jan. Tester modulu pro zpracování signálu z Čerenkovova detektoru v projektu AFP. In: *Elektrotechnika a informatika 2018*. Plzeň: Západočeská univerzita v Plzni, 2018. s. 159-162. ISBN 978-80-261-0785-9.
- [AP2] ZICH, Jan. Kodek řídicích signálů pro DAQ systém detektoru ToF AFP. In: *Elektrotechnika a informatika 2019*. Plzeň: Západočeská univerzita v Plzni, 2019. s. 169-172. ISBN 978-80-261-0871-9.
- [AP3] ZICH, Jan. Digitální trigger modul pro zpracování signálu z vícekanálového Čerenkovova detektoru. In: *Elektrotechnika a informatika 2020*. Plzeň: Západočeská univerzita v Plzni, 2012. s. 173-176.
- [AP4] HOLÍK, Michael, BROULÍM, Jan, GEORGIEV, Vjačeslav, MORA SIERA, Yesid, ZICH, Jan. Enhanced timepix3 chipboard for operation in vacuum and back-side spectroscopy. In: 25th Telecommunications Forum (TELFOR 2017). Bělehrad: IEEE, 2017. s. 593-596. ISBN 978-1-5386-3073-0.
- [AP5] BROULÍM, Jan, GEORGIEV, Vjačeslav, HOLÍK, Michael, Zich Jan. Improved belief propagation based on the estimation backtracking. In: 25th Telecommunications Forum (TELFOR 2017). Bělehrad: IEEE, 2017. s. 262-265. ISBN 978-1-5386-3073-0.
- [AP6] ZICH, Jan, GEORGIEV, Vjačeslav, HOLÍK, Michael, PAVLÍČEK, Vladimír, VAVROCH, Ondřej. Multichannel coincidence circuit with settable threshold level for ToF AFP detector. In: 27th Telecommunications Forum (TELFOR 2019). Bělehrad: IEEE, 2019. s. 1-4. ISBN 978-1-7281-4790-1.
- [AP7] BURIAN, Petr, BROULÍM, Pavel, BERGMANN, Benedikt, GEORGIEV, Vjačeslav, POSPÍŠIL, Stanislav, PUŠMAN, Lukáš, ZICH, Jan. Timepix3 detector network at ATLAS experiment. In: *Journal of Instrumentation*, vol. 13, November 2018.
- [AP8] HOLÍK, Michael, AHMADOV, Gadir S., BROULÍM, Jan, ZICH, Jan, BERIKOV, Daniyar, MORA, Yesid, KOPATCH, Yu N., NURUYEV, S. M., ABBASZADA, N., ZHUMADILOV, Kassym Sh. Alpha calibration of the Timepix pixel detector exploiting energy information gained from a common electrode signal. In: *Journal of Instrumentation*, vol. 14, June 2019.
- [AP9] HOLIK, M., AHMADOV, F., AHMADOV, G., AKBAROV, R., BERIKOV, D., MORA, Y., NURUYEV, S., PRIDAL, P., SADIGOV, A., SADYGOV, Z., ZICH, J. Miniaturized read-out interface “Spectrig MAPD” dedicated for silicon photomultipliers. In: *Nuclear Inst. And Methods in Physics Research*, vol. 978, 21 October 2020.
- [AP10] BROULIM, J., BROULIM, P., CAMPBELL, M., GEORGIEV, V., HOLIK, M., KUNSTMULLER, P., PAVLICEK, V., POSPISIL, S., VAVROCH, O., VLASEK, J., ZICH, J. A concept for spatially and time correlated single event effect detection in semiconductors using Timepix type pixel detectors. In: *Nuclear Inst. And Methods in Physics Research*, vol. 978, 21 October 2020.
- [AP11] ZICH, Jan et al. First determination of the p parameter at s = 13 TeV – probing the existence of a colorless three-gluon bound state. In: *Submitted to Physical Review*. 2018.
- [AP12] ZICH, Jan et al. First measurement of elastic, inelastic and total cross-section at s=13 TeV by TOTEM and overview of cross-section data at LHC energies. In: *The European Physical Journal C*, 79, 2, 2019. s. 1-10.

- [AP13] ZICH, Jan et al. Observation of proton-tagged, central (semi)exclusive production of high-mass lepton pairs in pp collisions at 13 TeV with the CMS-TOTEM precision proton spectrometer. In: *Journal of High Energy Physics*, 7, 2018. s. 0-44.
- [AP14] GEORGIEV, Vjačeslav, NOŽKA, Libor, VAVROCH, Ondřej, ZICH, Jan. Diagnostic Device for Photomultiplier Tubes at ARP ToF Detector. In: 25th International Conference Applied Electronics 2020. Plzeň: IEEE, 2020.
- [AP15] GEORGIEV, Vjačeslav, ZICH, Jan. LHC Clock Conditioning Circuitry for AFP Trigger Module. In: 25th International Conference Applied Electronics 2020. Plzeň: IEEE, 2020.
- [AP16] HOLÍK, M., AHMADOV, G., BERIKOV, D., KOPATCH, YU., AHMADOV, F., AKBAROV, R., MORA, Y., NURUYEV, P., PRIDAL, P., SADIGOV, A., ABBASZADA, N., ZICH, J. A program for data analysis of rare fission mode processes from neutron-induced and spontaneous fissions. In: *Advanced Physical Research*, vol. 2, 2020.

Seznam ostatních publikací

- [AP17] ZICH, Jan. Bezdrátová autonomní vyhodnocovací jednotka pro sledování parametrů okolního prostředí. In: *Elektrotechnika a informatika 2016*. Plzeň: Západočeská univerzita v Plzni, 2016. s. 159-162. ISBN 978-80-261-0516-9.
- [AP18] ZICH, Jan. Obvody pro měření napětí, proudu a ochranu signálových vstupů ve výkonových aplikacích. In: *Elektrotechnika a informatika 2017*. Plzeň: Západočeská univerzita v Plzni, 2017. s. 161-164. ISBN 978-80-261-0712-5.
- [AP19] ZICH, Jan, BROULÍM, Jan. Wireless unit for environmental monitoring. In: 24th Telecommunications Forum (TELFOR 2016). Bělehrad: IEEE, 2016. s. 643-646. ISBN 978-1-5090-4087-2.
- [AP20] BROULÍM, Jan, DAVARZANI, Sima, ZICH, Jan. Genetic optimization of a short block length LDPC code accelerated by distributed algorithms. In: 24th Telecommunications Forum (TELFOR 2016). Bělehrad: IEEE, 2016. s. 250-253. ISBN 978-1-5090-4087-2.
- [AP21] ZICH, Jan, BROULÍM, Jan, HOLÍK, Michael. Smart single-phase battery storage system. In: 25th Telecommunications Forum (TELFOR 2017). Bělehrad: IEEE, 2017. s. 589-592. ISBN 978-1-5386-3073-0.
- [AP22] JANDÍK, Jan, ZICH, Jan. Active Battery Management System for Home Battery Energy Storage. In: 2020 21st International Scientific Conference on ELECTRIC POWER ENGINEERING (EPE). Praha: IEEE, 2020.

Funkční vzorky

- [AP23] GEORGIEV, Vjačeslav, BROULÍM, Pavel, BROULÍM, Jan, BURIAN, Petr, ZICH, Jan. Testovací stanice Single Event Effect (SEE). Plzeň: Západočeská univerzita v Plzni, 2016.
- [AP24] GEORGIEV, Vjačeslav, HOLÍK, Michael, ZICH, Jan. Digitální trigger modul pro částicové detektory. Plzeň: Západočeská univerzita v Plzni, 2020.
- [AP25] GEORGIEV, Vjačeslav, HOLÍK, Michael, VAVROCH, Ondřej, ZICH, Jan. Tester trigger modulu pro částicové detektory. Plzeň: Západočeská univerzita v Plzni, 2020.
- [AP26] BROULÍM, Pavel, GEORGIEV, Vjačeslav, ZICH, Jan. Kodek pro řízení systému sběru dat v experimentech částicové fyziky. Plzeň: Západočeská univerzita v Plzni, 2020.
- [AP27] GEORGIEV, Vjačeslav, VAVROCH, Ondřej, ZICH, Jan. Diagnostické zařízení pro fotonásobiče. Plzeň: Západočeská univerzita v Plzni, 2020.

Užité vzory

- [AP28] ČESKÉ VYSOKÉ UČENÍ TECHNICKÉ V PRAZE a ENERGYCLOUD, A. S. Elektronický spínač stejnosměrné sběrnice bateriového úložiště. Původci: Václav VODIČKA, Jan ZICH. Česká republika. Užité vzor CZ 33973. 11. 3. 2020.

Výčet pedagogické a vědecké činnosti autora

- Spolupráce na projektu AFP v CERNu (prosinec 2016 - současnost). Popis činnosti: Návrh modulu pro zpracování signálu z Čerenkovova detektoru v Time-of-Flight detekčním řetězci. Vývoj hardware pro vzdálené řízení zesilovačů signálů z fotonásobičů. Vývoj zařízení pro diagnostiku fotonásobičů se zaměřením na jejich stárnutí vlivem působící radiace.
- Spolupráce na experimentu TOTEM v CERNu (listopad 2016 – současnost). Popis činnosti: Návrh a testování obvodových řešení s vysokorychlostními front-end diskriminátory pro Time-of-Flight detektor.
- Studijní pobyt v Edmontonu (Kanada, provincie Alberta, červen–červenec 2017) za účelem testování zařízení určených pro projekt AFP (CERN) na Centennial Centre for Interdisciplinary Science (CCIS) - Department of Physics.
- Účast na konferenci 14th international School on the Effects of Radiation on Embedded Systems for Space Applications (European Space Agency, Nizozemsko) a prezentace posteru s názvem Single Event Effect Tester for SmartFusion2 FPGAs.
- Účast na workshopu V4 Seminars for Young Scientists on Publishing Techniques in the Field of Engineering Science (Západočeská univerzita v Plzni, 2018).
- Účast na workshopu ISOTDAQ 2020 – International School of Trigger and Data Acquisition (University of Valencia, Španělsko) zaměřeném na systémy pro sběr dat ve fyzikálních experimentech.
- Účast na projektu SGS-2015-20 „Moderní metody řešení, návrhu a aplikace elektronických a komunikačních systémů“.
- Účast na projektu SGS-2018-001 „Výzkum a vývoj elektronických komunikačních systémů ve vědeckých a inženýrských aplikacích“.
- Účast na projektu INAFYM (CZ.02.1.01/0.0/0.0/16_019/0000766) „Inženýrské aplikace fyziky mikrosvěta“.
- Účast na projektu CANUT (TE01020455) „Centrum pokročilých jaderných technologií“.
- Účast na projektu LTT17018 „Získávání nových poznatků o mikrosvětě v infrastruktuře CERN“.
- Účast na projektu LM2015058 „Výzkumná infrastruktura pro experimenty v CERN“.
- Účast na projektu 21-21801S „Měření anomálií v úhlové korelaci elektronu a pozitronu z vnitřní párové produkce v excitovaných jádrech 8Be a 4He “.
- Vedení diplomové práce Jana Jandíka s tématem „Aktivní balancování a správa akumulátorů v domácí bateriové stanici“. Úspěšná obhajoba v roce 2020.
- Vedení diplomové práce Tomáše Kulhánka s tématem „DAQ systémy pro experimenty v částicové fyzice“. Předpokládaná obhajoba v roce 2021.
- Cvičení předmětu „Návrh a simulace PCB“.

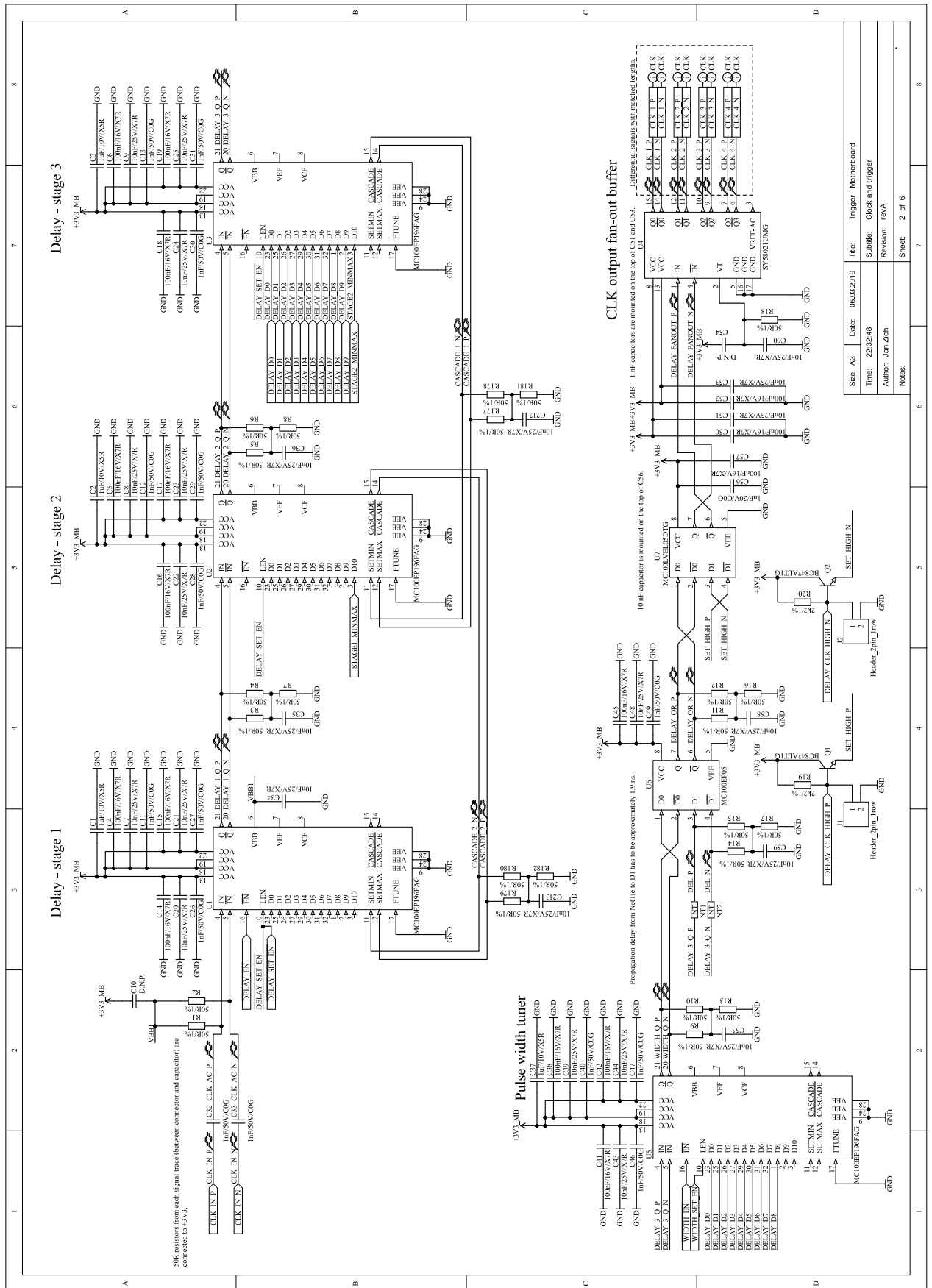
Výčet odborné nepedagogické činnosti autora

- Dlouhodobá spolupráce (srpen 2015 - současnost) se společností EnergyCloud, a.s. (dříve NetPro system, s.r.o.) při vývoji výkonové a řídicí elektroniky. Vykonávání pracovní pozice s názvem *Hardware Development Team Leader*.
- Přednáška (za společnost EnergyCloud, a.s.) s názvem *Domácí baterie EnergyCloud* v rámci účasti na semináři Infineon High Power Seminar 2018.
- Přednáška (za společnost EnergyCloud, a.s.) s názvem *Domácí bateriová stanice s integrovanou DC/DC nabíječkou EV* v rámci účasti na XXIII. Jarní konferenci AEM (Asociace Energetických Manažerů).

Účast na soutěžích a ocenění autora

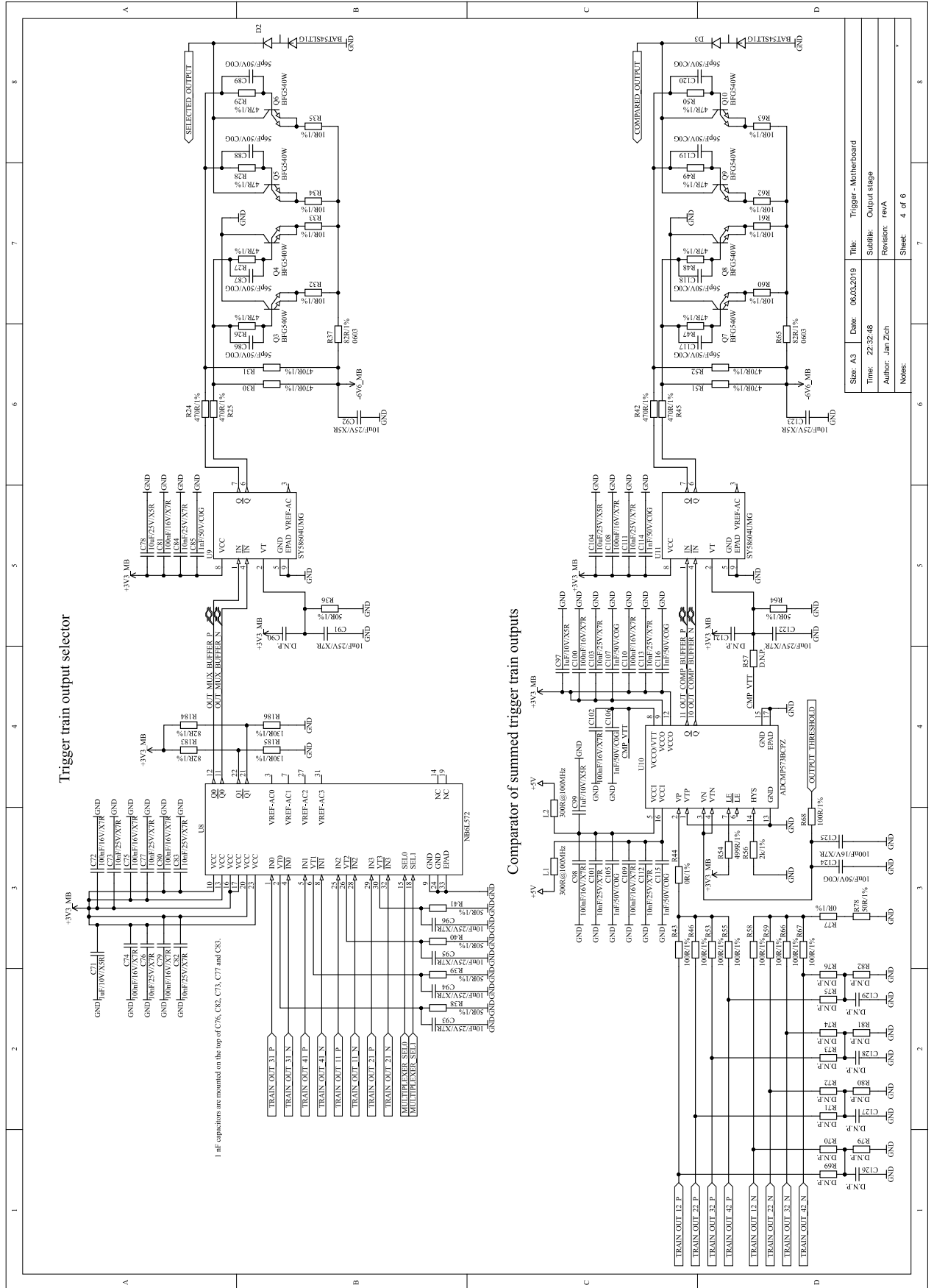
- Cena děkana Fakulty elektrotechnické v roce 2016 za Významné aktivity na projektech Katedry aplikované elektroniky a telekomunikací.
- První místo na soutěži SVOČ 2017 v kategorii studentů doktorského studia za příspěvek *Trigger jednotka pro difrakční fyziku v projektu AFP*.
- Cena hejtmana plzeňského kraje v roce 2017 za práci *Trigger jednotka pro difrakční fyziku v projektech ATLAS Forward Proton*.
- První místo na konferenci Elektrotechnika a informatika 2018 v sekci elektronika za prezentaci příspěvku *Tester modulu pro zpracování signálu z Čerenkovova detektoru v projektu AFP*.
- První místo na soutěži SVOČ 2019 v kategorii studentů doktorského studia za příspěvek *Kodek řídicích signálů DAQ systému detektoru ToF AFP*.
- První místo na konferenci Elektrotechnika a informatika 2019 v sekci elektronika za prezentaci příspěvku *Kodek řídicích signálů pro DAQ systém detektoru ToF AFP*. Cena děkana Fakulty elektrotechnické v roce 2019 za Významné aktivity na projektech Katedry aplikované elektroniky a telekomunikací.
- První místo na soutěži SVOČ 2021 v kategorii vědecké práce pro studenty Ph.D. za příspěvek *In-line trigger systém pro experimenty forward fyziky na urychlovači LHC*.

Příloha B – ATM – Základní deska – Úprava synchronizačního signálu urychlovače



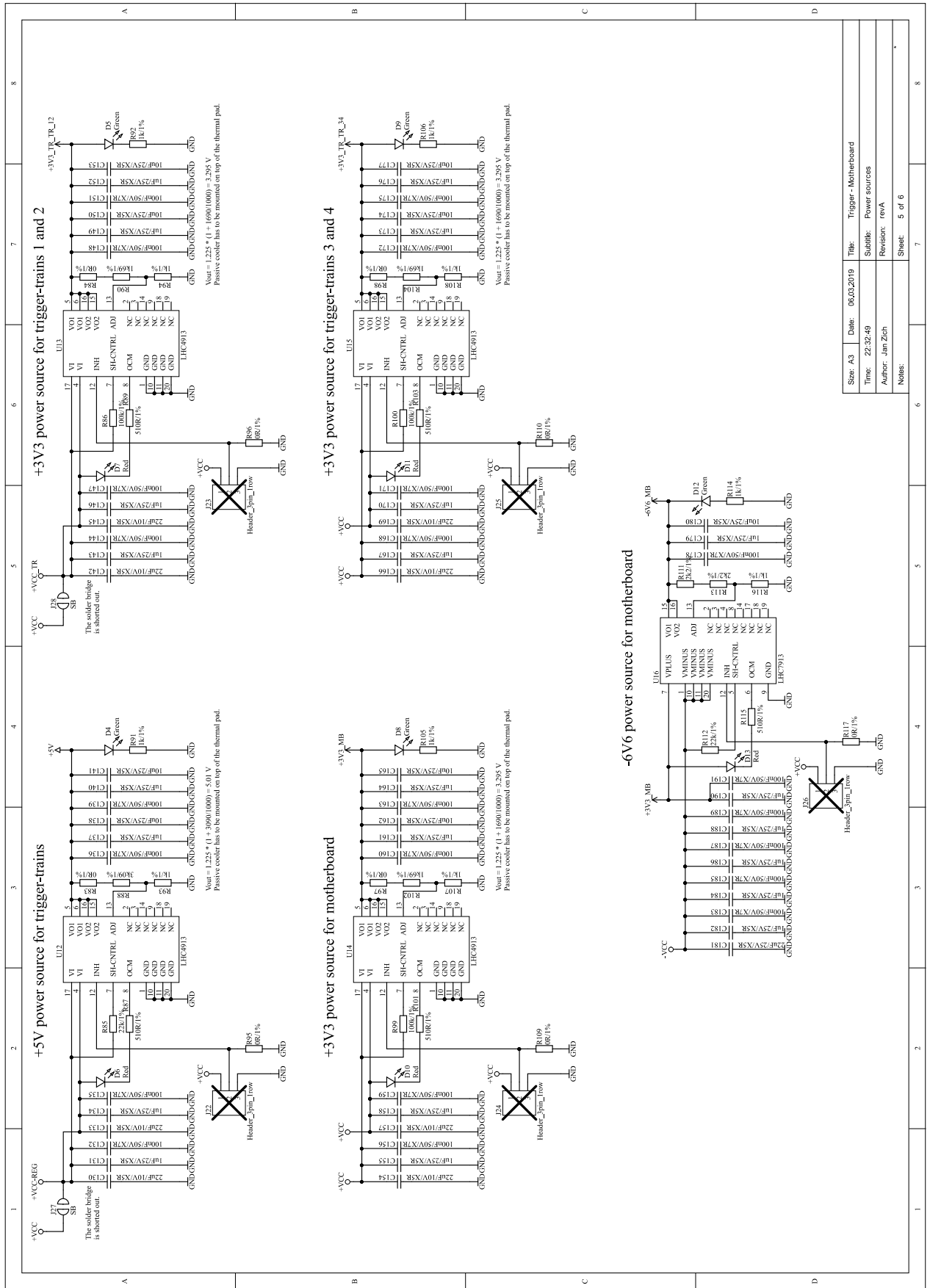
Size: A3	Date: 06.03.2019	Title: Trigger - Motherboard
Time: 22:32:48	Subfile: Clock and Trigger	
Author: Jan Zich	Revision: revA	
Notes:	Sheet: 2 of 6	

Příloha D – ATM – Základní deska – Logika pro DAQ a budiče koaxiálního kabelu



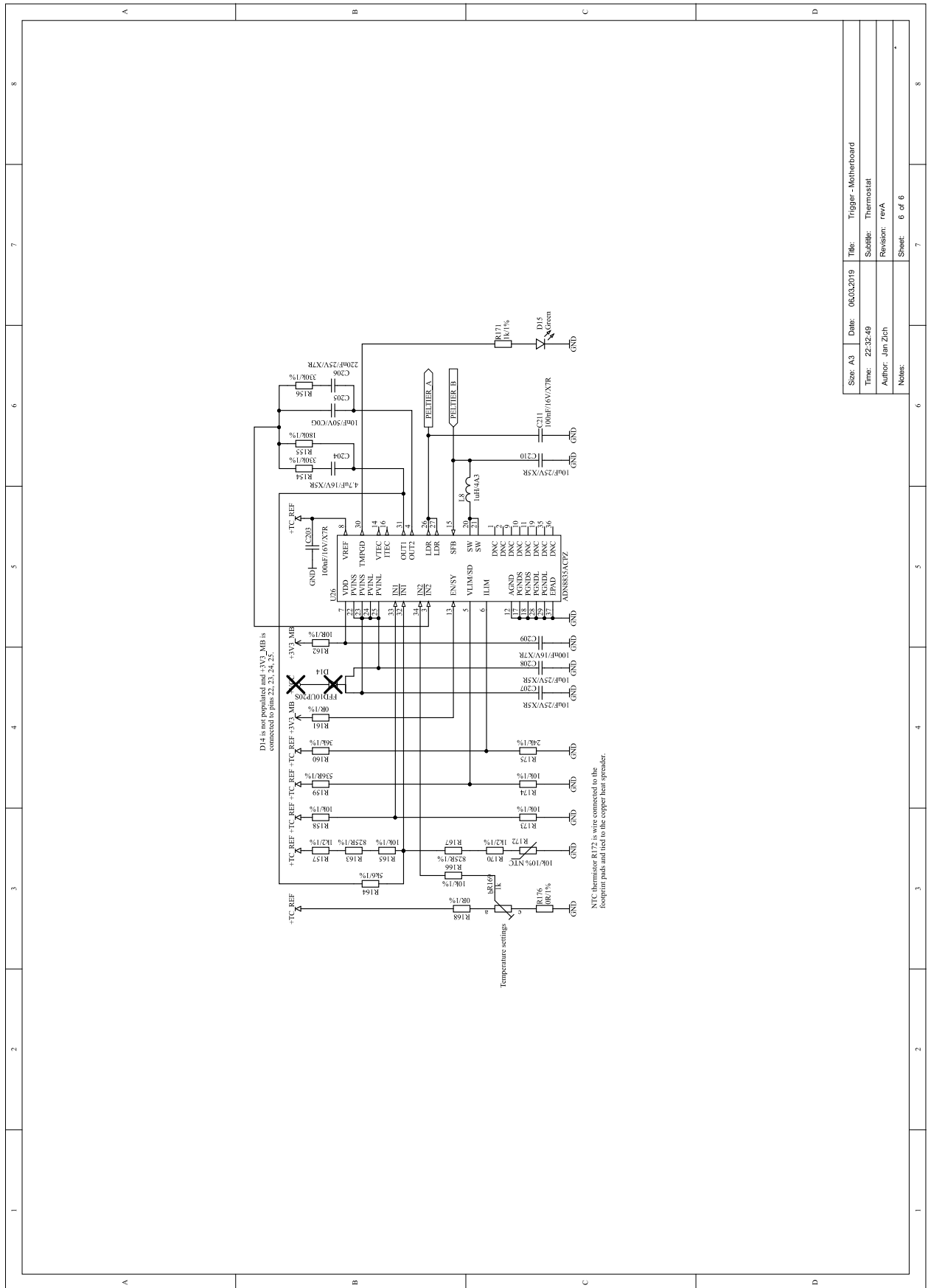
Size: A3	Date: 06.03.2019	Title: Trigger - Motherboard
Time: 22:32:48	Author: Jan Zich	SubTitle: Output stage
	Revision: revA	
	Notes:	Sheet: 4 of 6

Příloha E – ATM – Základní deska – Napájecí zdroje



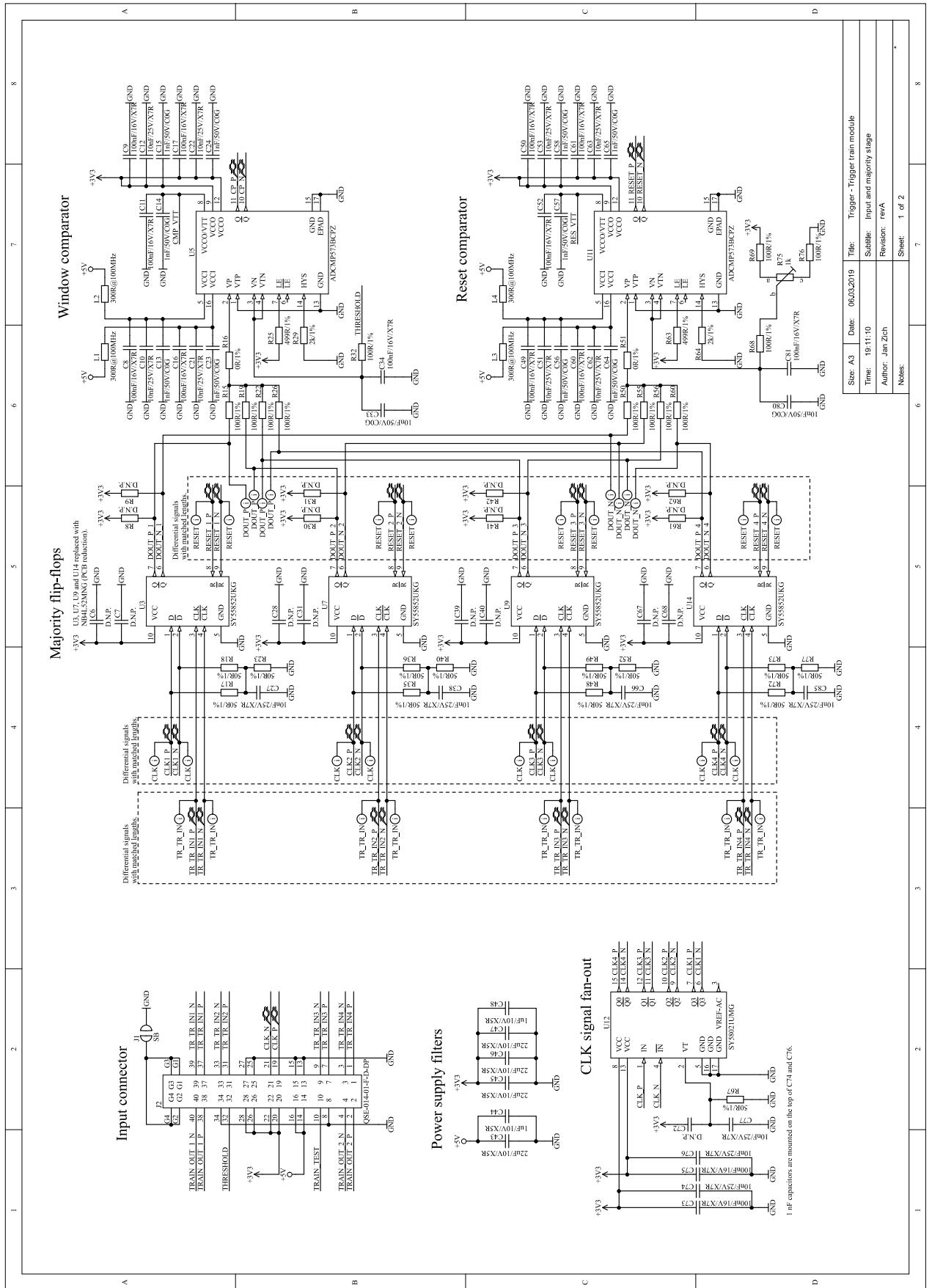
Sheet: A3	Date: 06.02.2019	Title: Trigger - Motherboard
Time: 22:32:49	Subtitle: Power sources	
Author: Jan Zich	Revision: revA	
Notes:	Sheet: 5 of 8	

Příloha F – ATM – Základní deska – Termostat



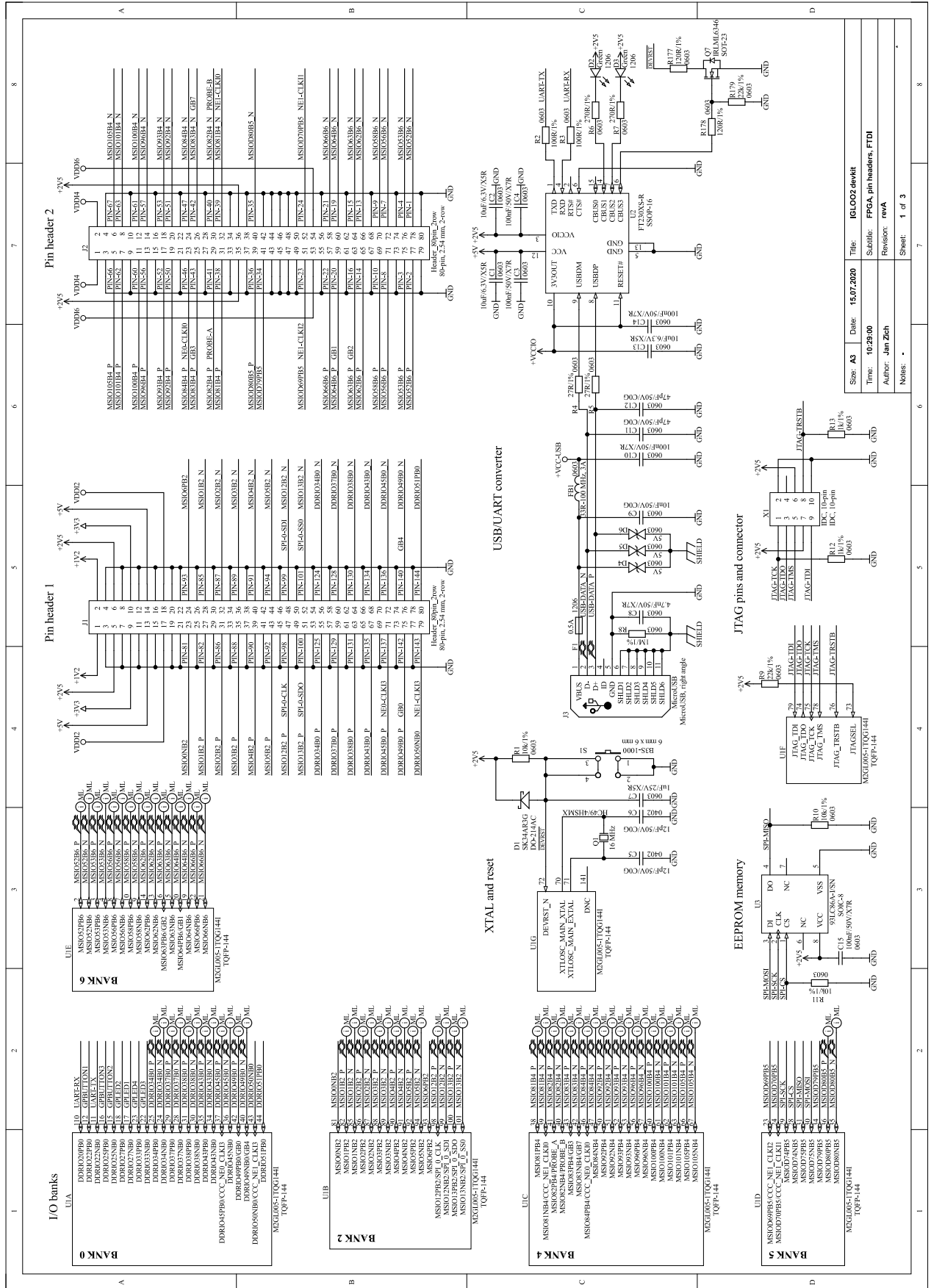
Size: A3	Date: 06.03.2019	Title: Trigger - Motherboard
Time: 22:32:49	Author: Jan Zich	Subtitle: Termostat
		Revision: revA
		Notes: 6 of 6

Příloha G – ATM – Trigger train – Vstupní část a vyhodnocení majority

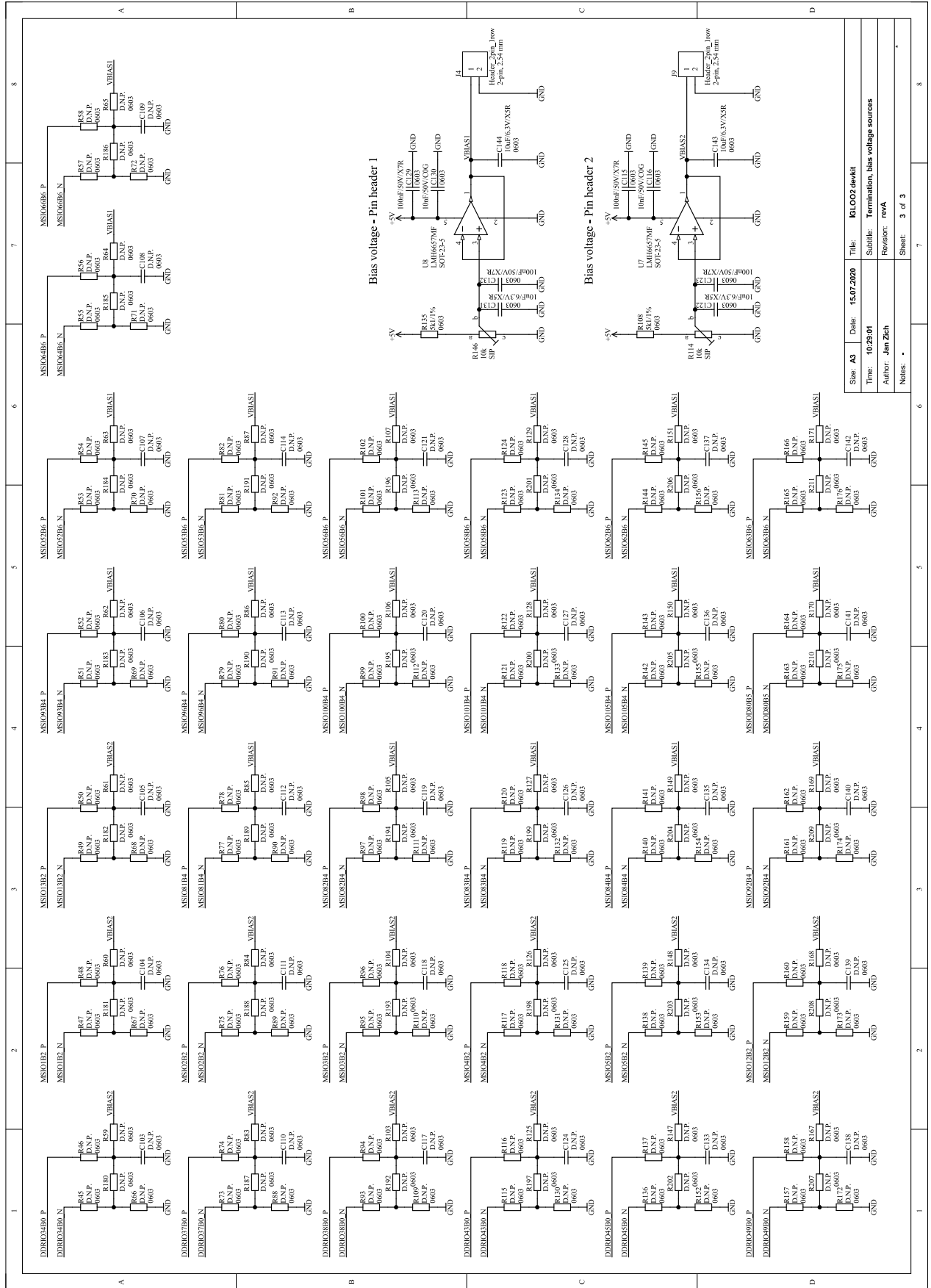


Sheet: A3	Date: 06.03.2019	Title: Trigger - Trigger train module
Time: 19:11:10	Subtitle: Input and majority stage	
Author: Jan Zich	Revision: rwa	
Notes:	Sheet: 1 of 2	

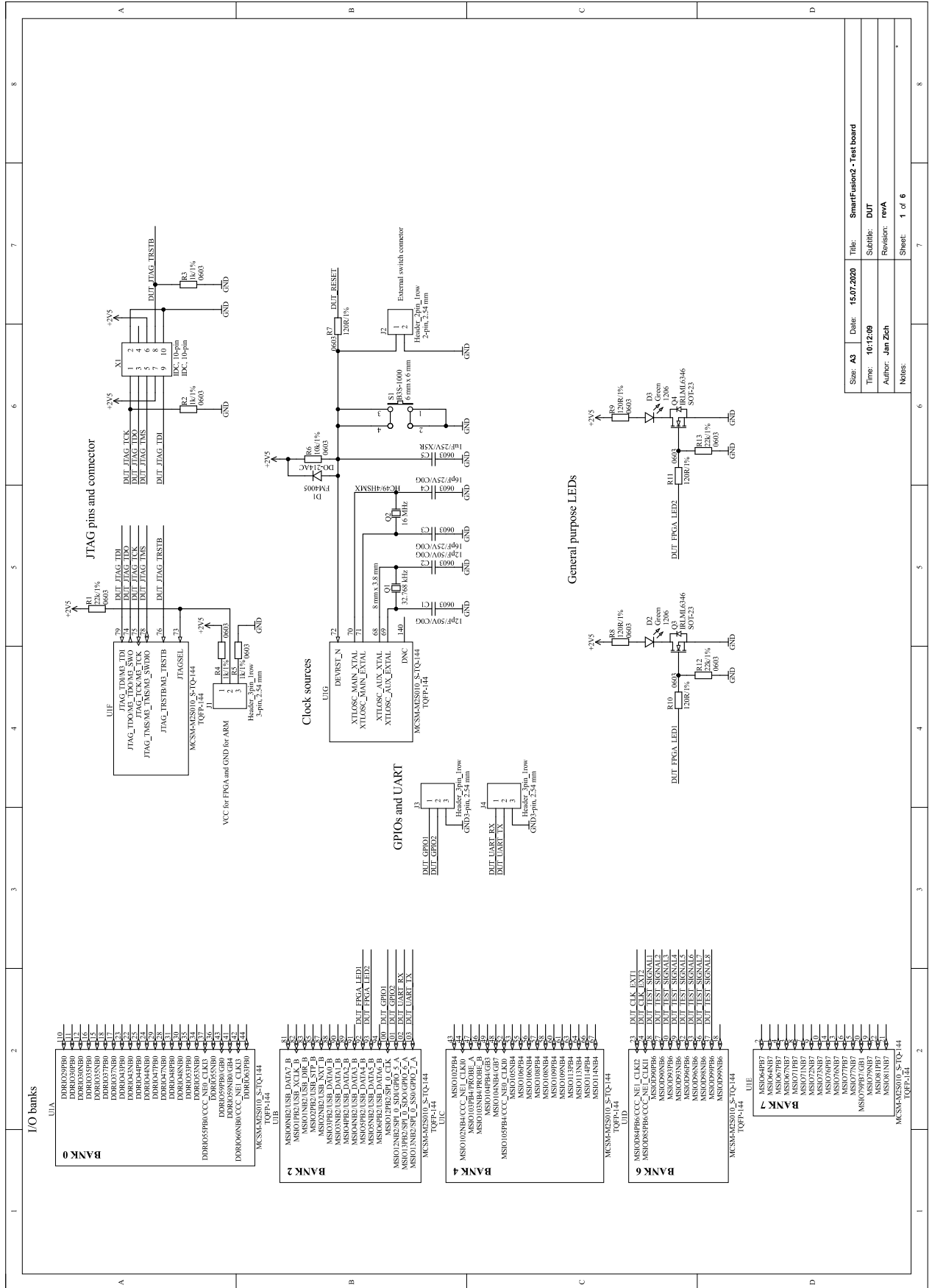
Příloha CH – Kodek – Vývojový kit – FPGA, konektory, USB/UART převodník



Příloha J – Kodek – Vývojový kit – Terminace

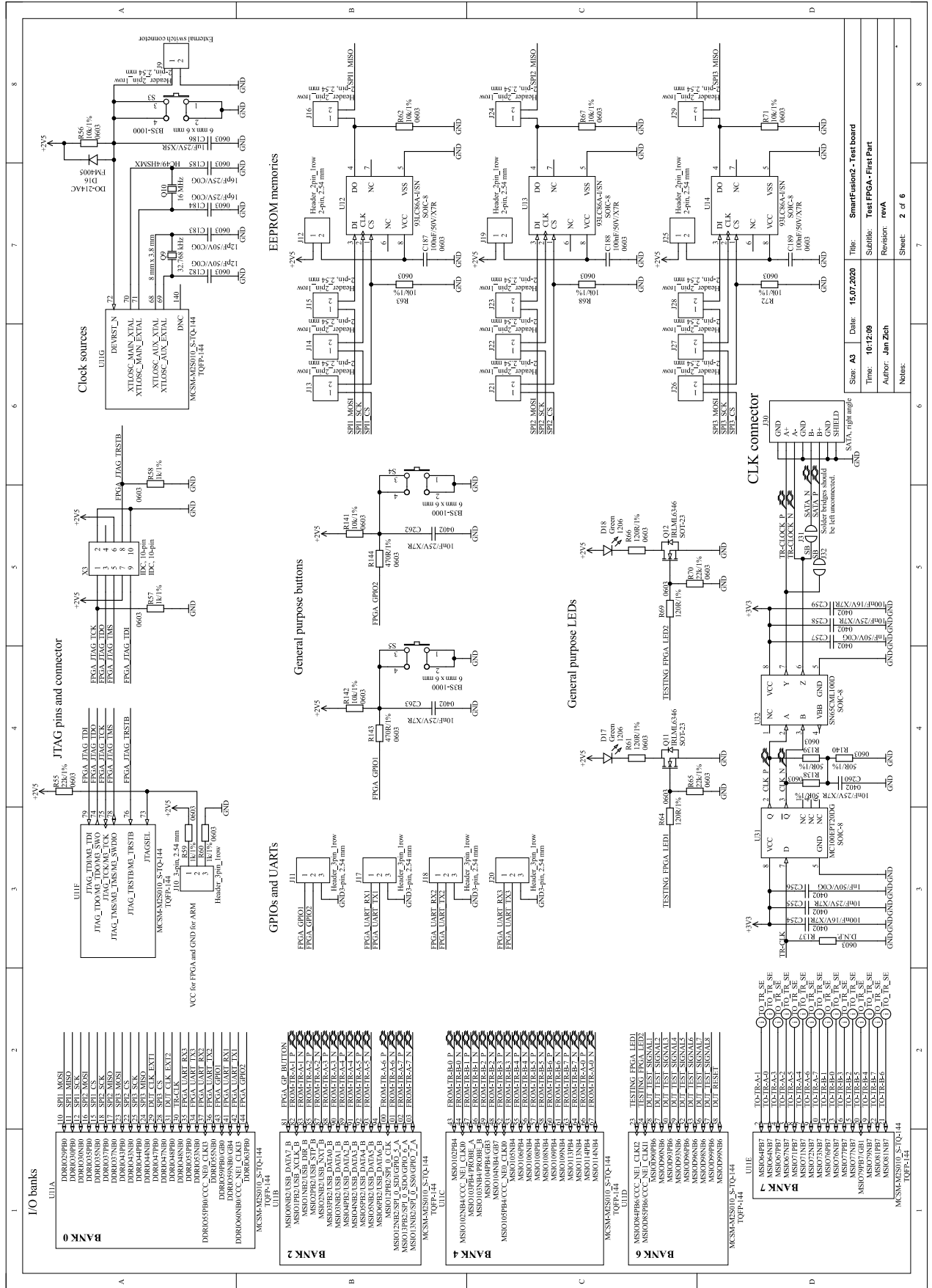


Příloha M – Tester – DUT



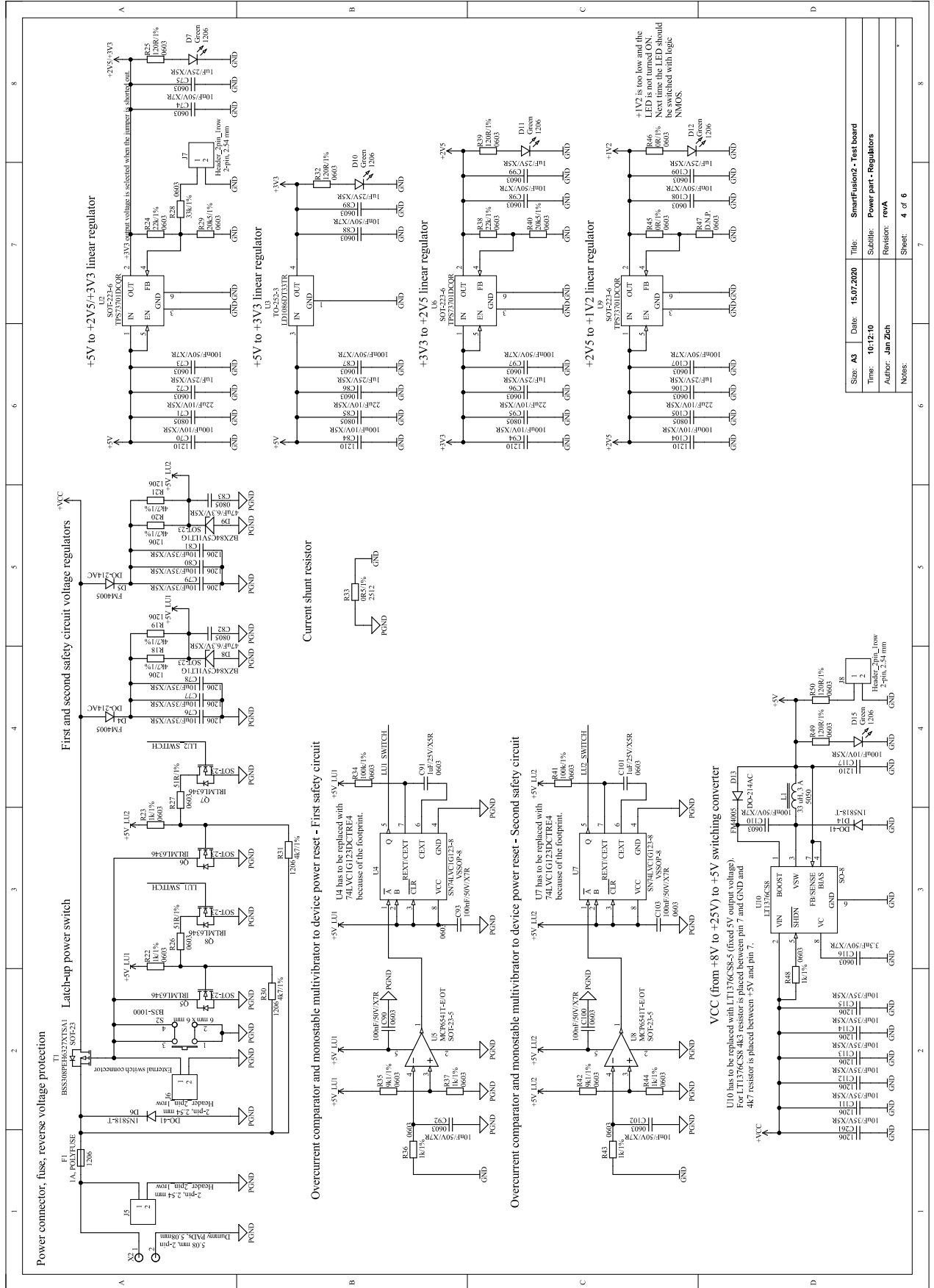
Size: A3	Date: 15.07.2020	Title: SmartFusion2 - Test board
Time: 10:12:09	Author: Jan Zich	Subtitle: DUT
Revision: revA	Notes: 1 of 6	

Příloha N – Tester – Testovací FPGA – První část



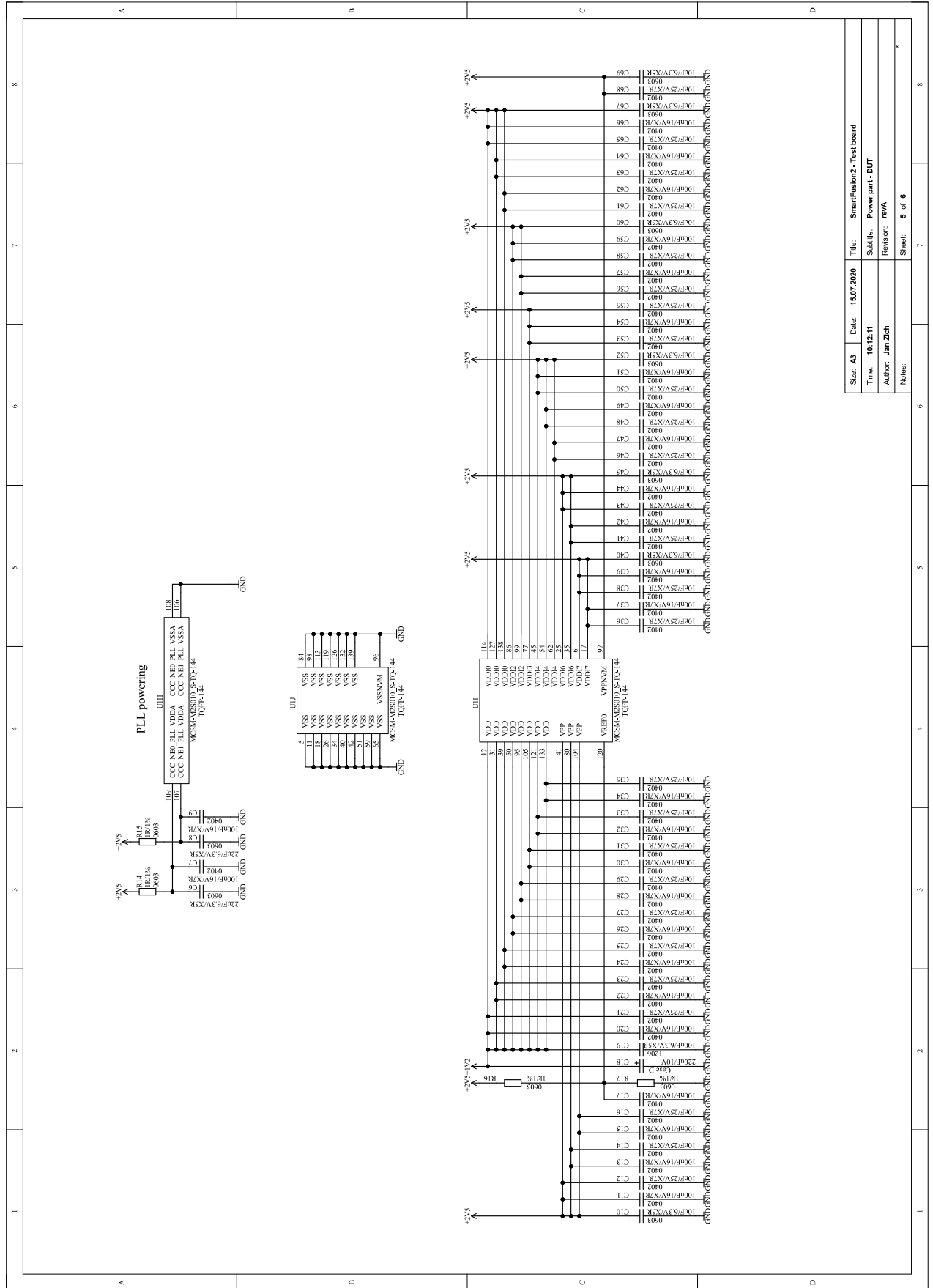
Size:	A3	Date:	15.07.2020	Title:	Smartfusion2 - Test board
Time:	10:12:09	Author:	Jan Zich	Revision:	rowA
Notes:		Sheet:	2 of 6		

Příloha P – Tester – Napájení – Regulátory



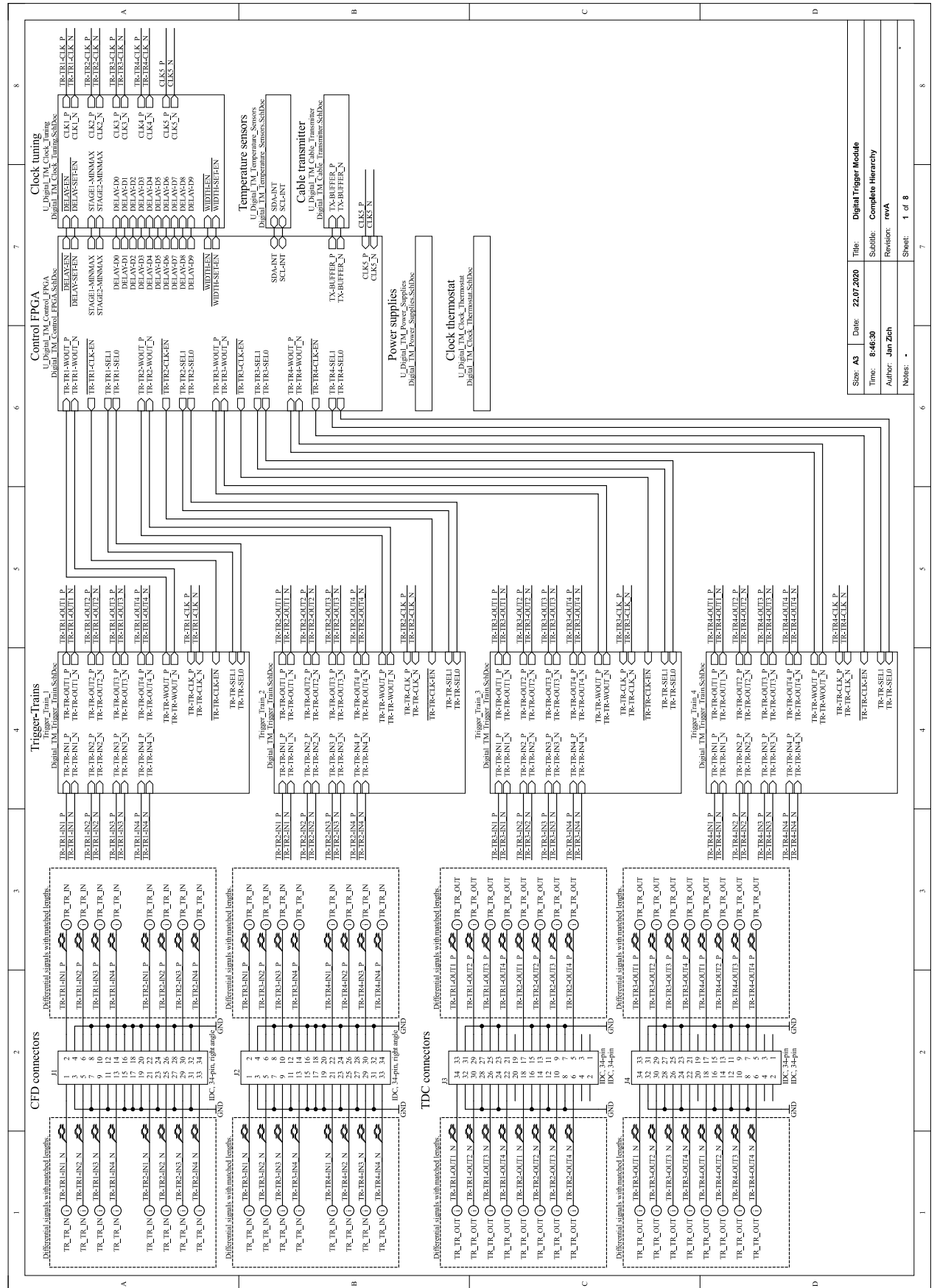
Sheet: A3	Date: 15.07.2020	Title: Smartfusion2 - Test board
Time: 10:12:10	Author: Jan Zich	Subtitle: Power part - Regulators
Revision: revA	Notes:	Sheet: 4 of 6

Příloha Q – Tester – Napájení – DUT



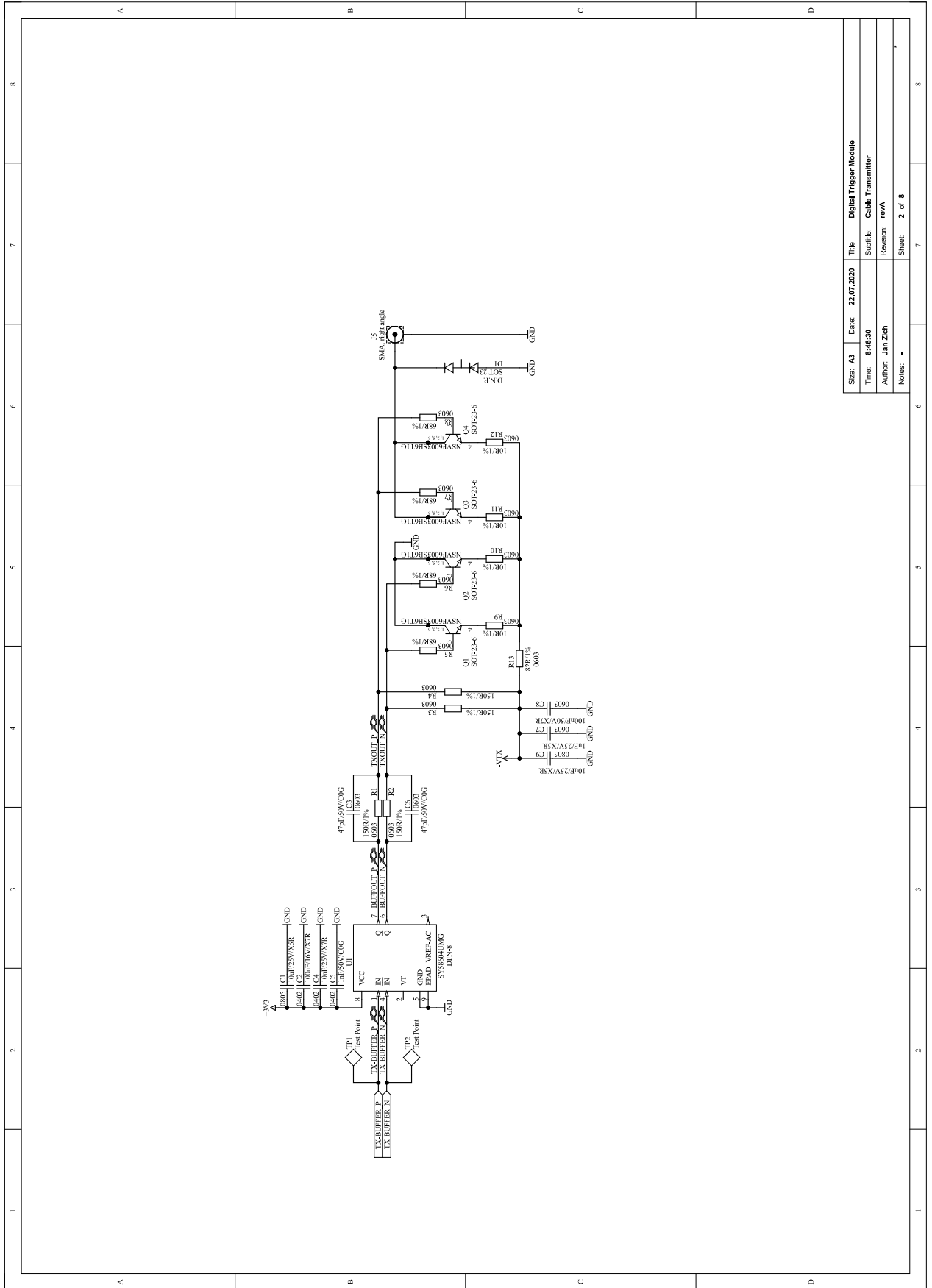
Size: A3	Date: 15.07.2020	Title: SmartFusion2 - Test board
Time: 10:12:11	Author: Jan Zich	Subtitle: Power part - DUT
	Revision: revA	
Notes:	Sheet: 5 of 6	

Příloha S – DTM – Hierarchická struktura



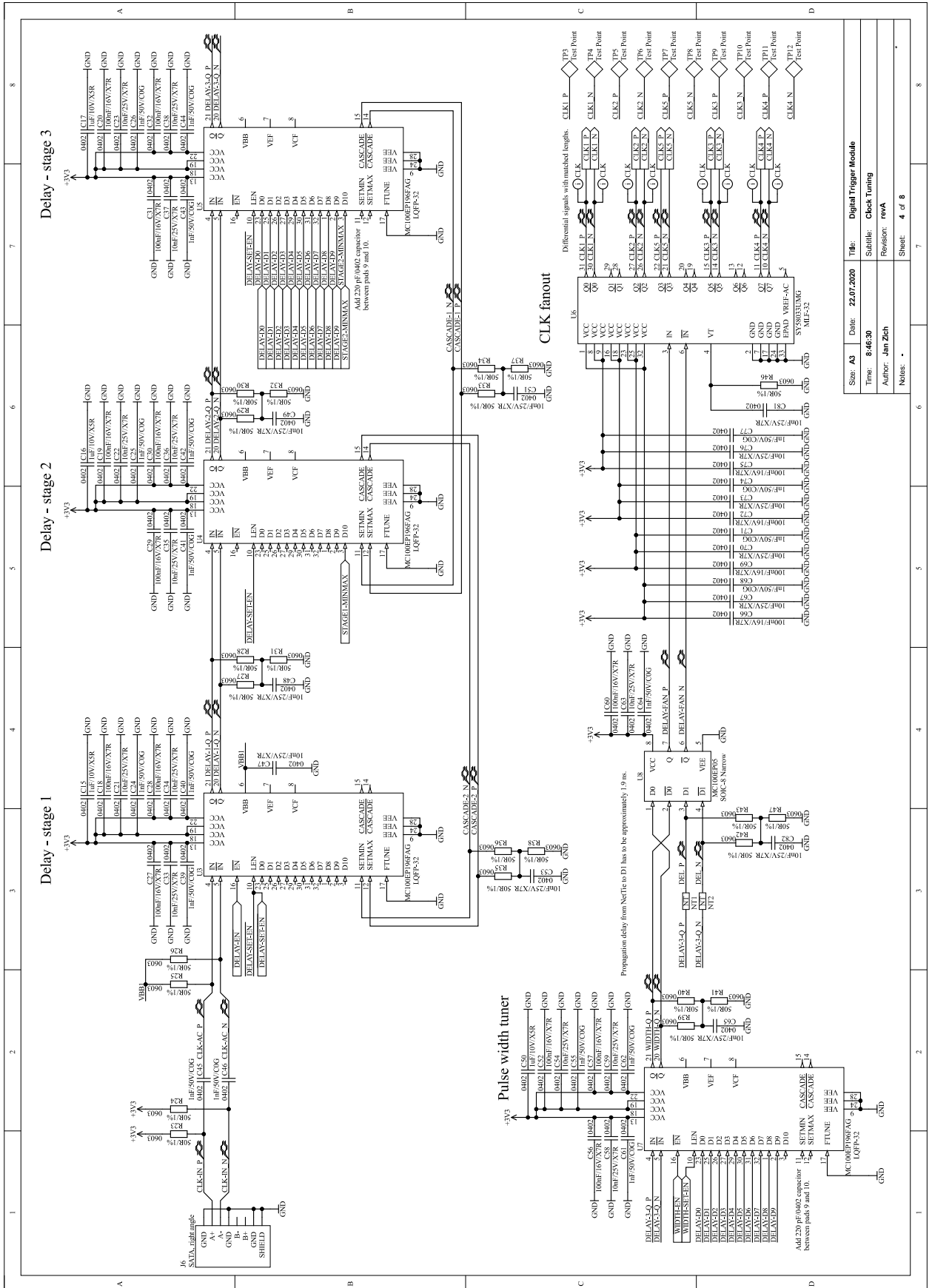
Sheet: A3	Date: 22.07.2020	Title: Digital Trigger Module
Time: 8:46:30	Scale: Complete Hierarchy	Revision: revA
Author: Jan Zich	Resistor: revA	Notes: 1 of 8

Příloha T – DTM – Kabelový budič



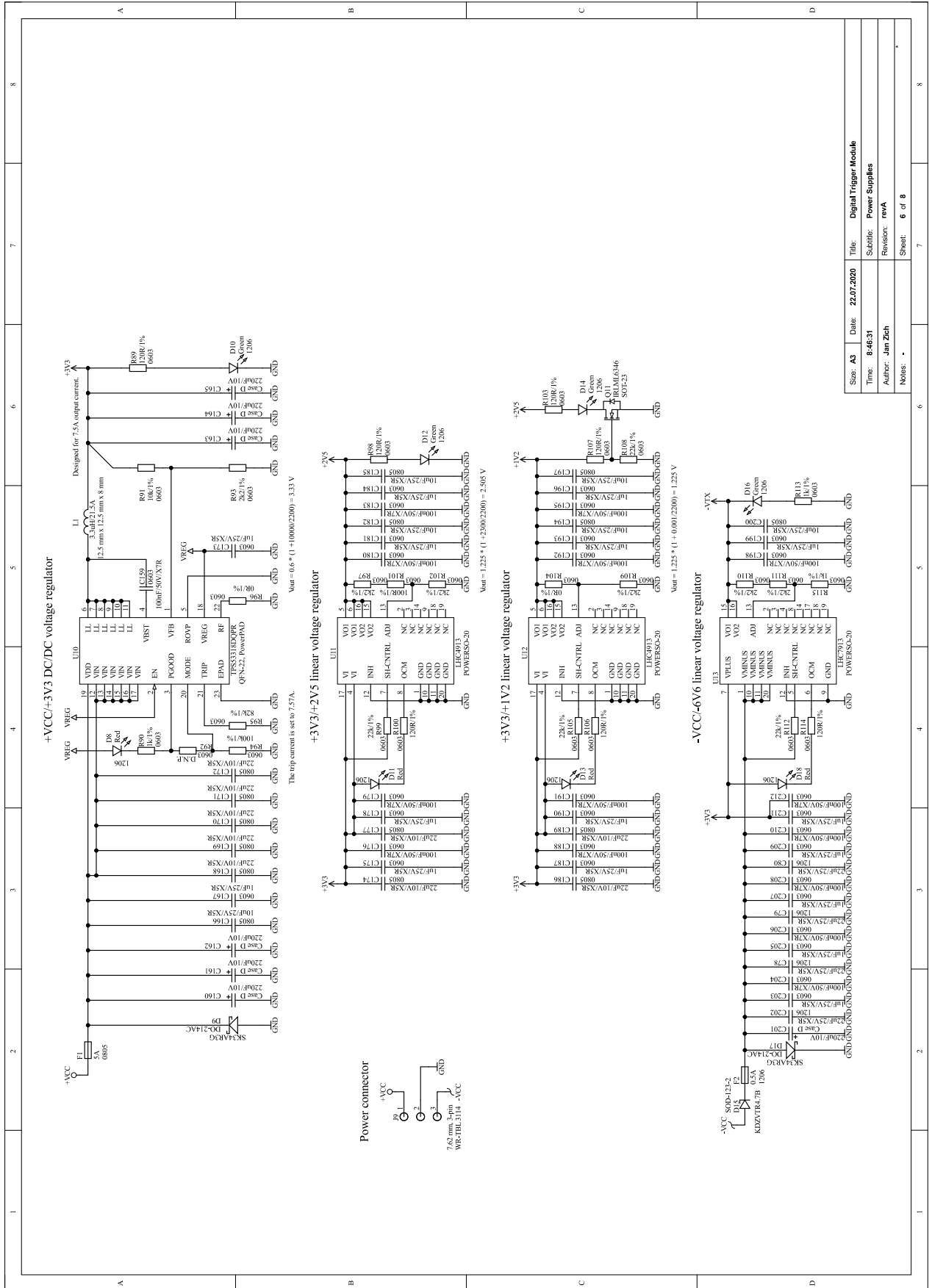
Size: A3	Date: 22.07.2020	Title: Digital Trigger Module
Time: 8:46:30	Subtitle: Cable Transmitter	
Author: Jan Zich	Revision: revA	
Notes: .	Sheet: 2 of 8	

Příloha V – DTM – Úprava synchronizačního signálu urychlovače



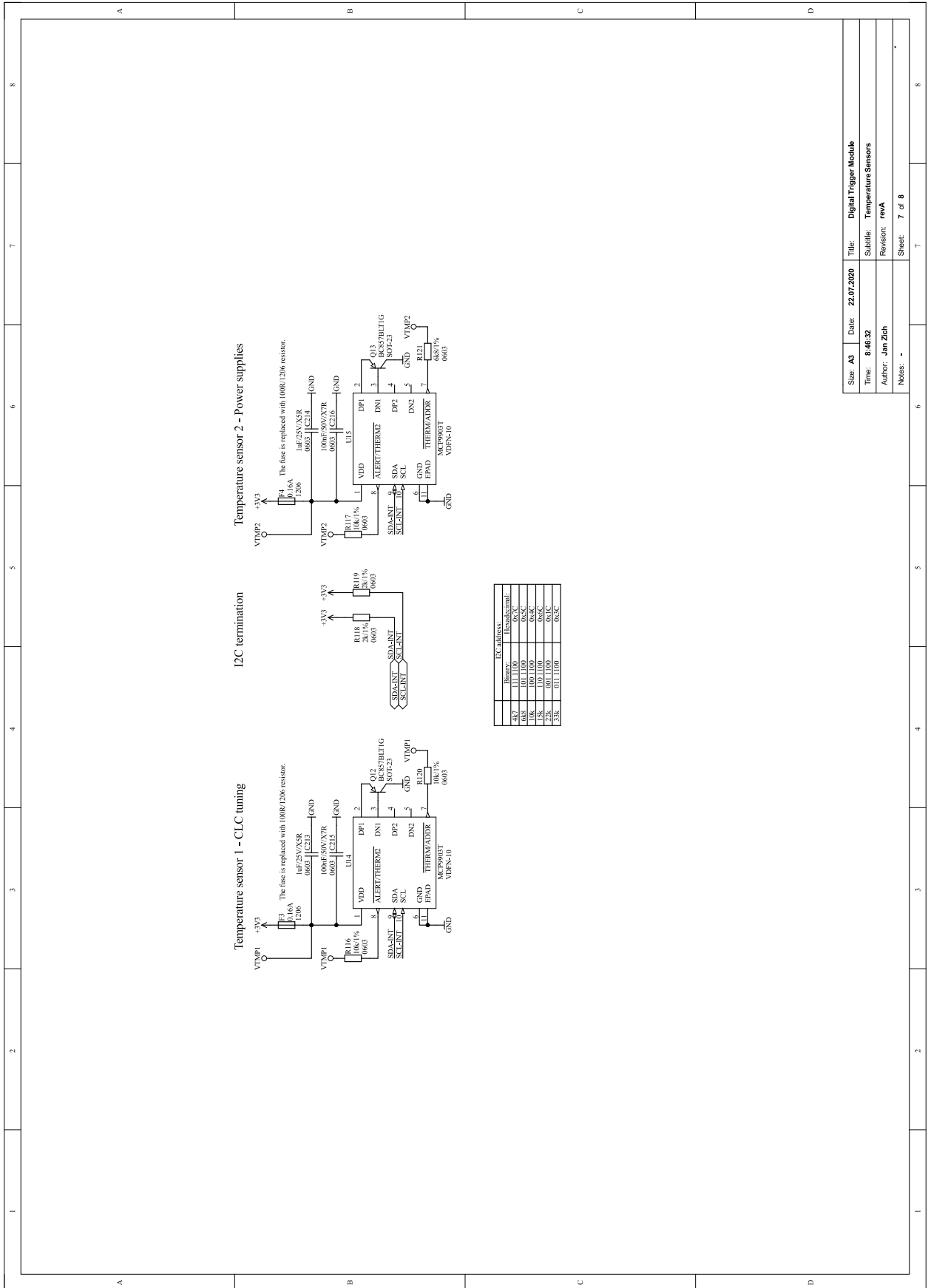
Size: A3	Date: 22.07.2020	Title: Digital Trigger Module
Time: 8:46:30	Subtitle: Clock Tuning	
Author: Jan Zich	Revision: revA	
Notes: .	Sheet: 4 of 8	

Příloha X – DTM – Napájecí zdroje



Size: A3	Date: 22.07.2020	Title: Digital Trigger Module
Time: 8:46:31	Author: Jan Zich	Subtitle: Power Supplies
	Revision: revA	
	Notes: 6 of 8	

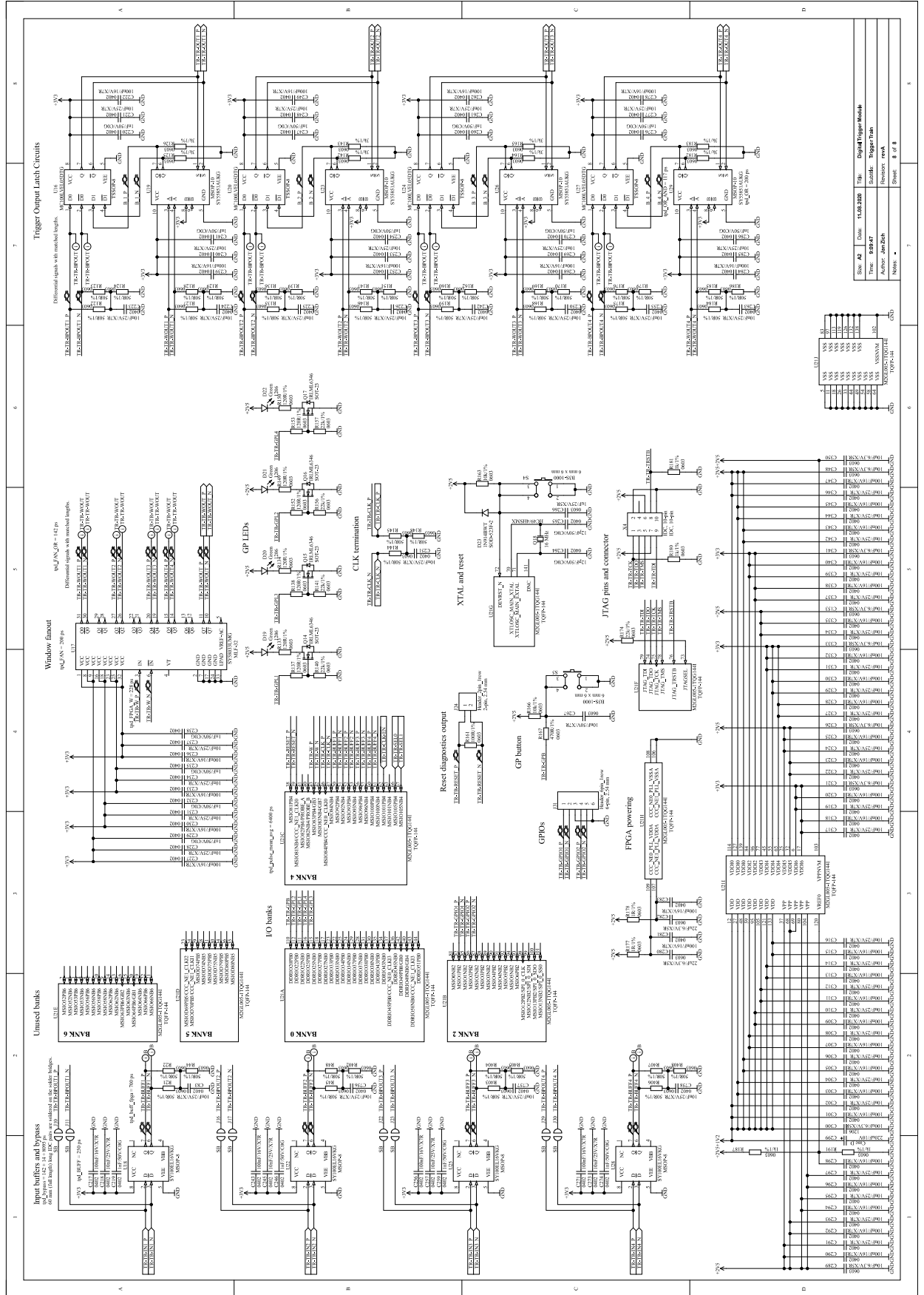
Příloha Y – DTM – Teplotní čidla



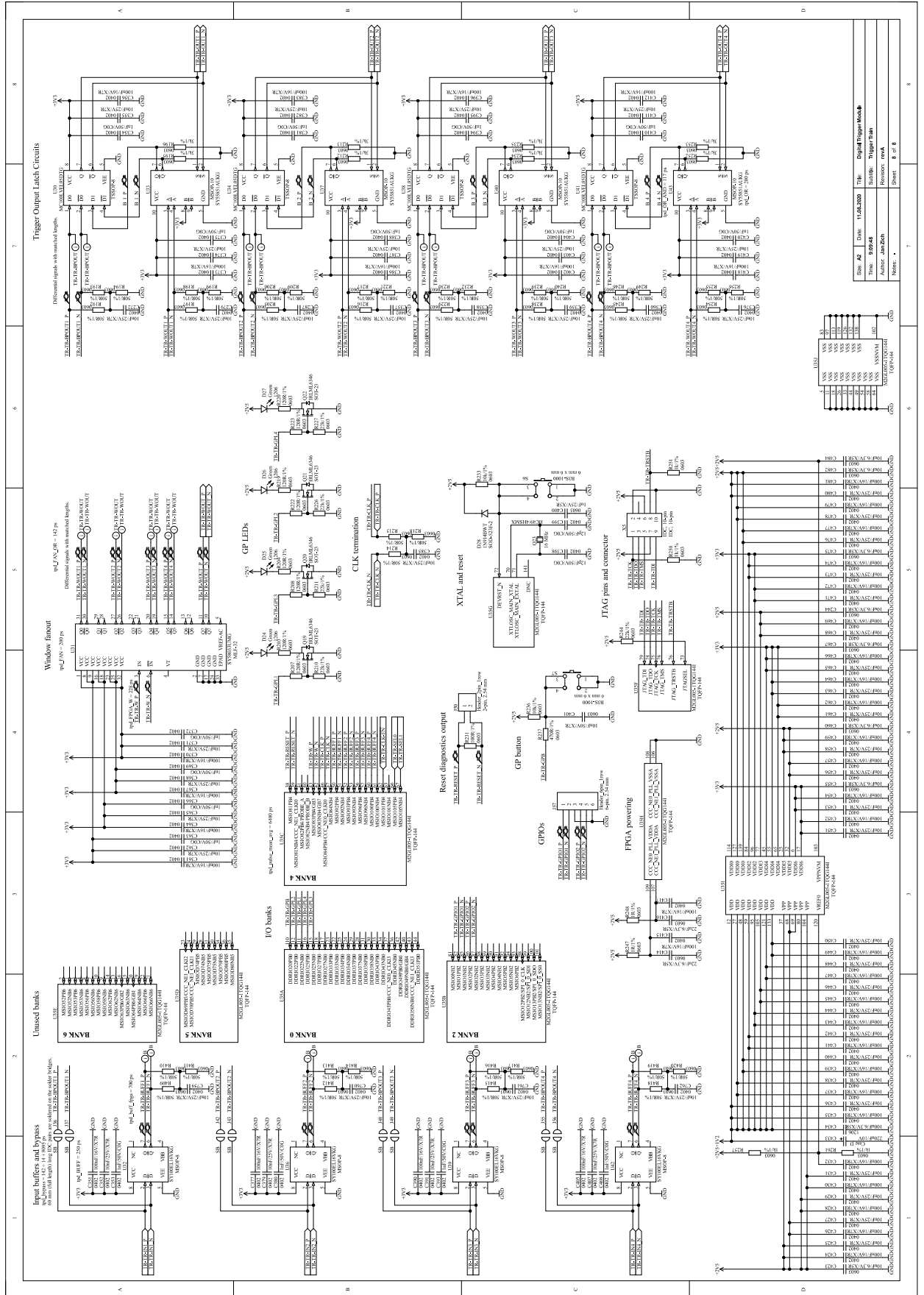
	DN address:
Binary:	111 1100
Hexadecimal:	067C
4K7	111 1100
10K	100 1100
15K	110 1100
20K	011 1100
30K	011 1100
40K	011 1100

Size: A3	Date: 22.07.2020	Title: Digital Trigger Module
Time: 8:46:32	Author: Jan Zich	Subtitle: Temperature Sensors
Revision: revA	Notes: -	Sheet: 7 of 8

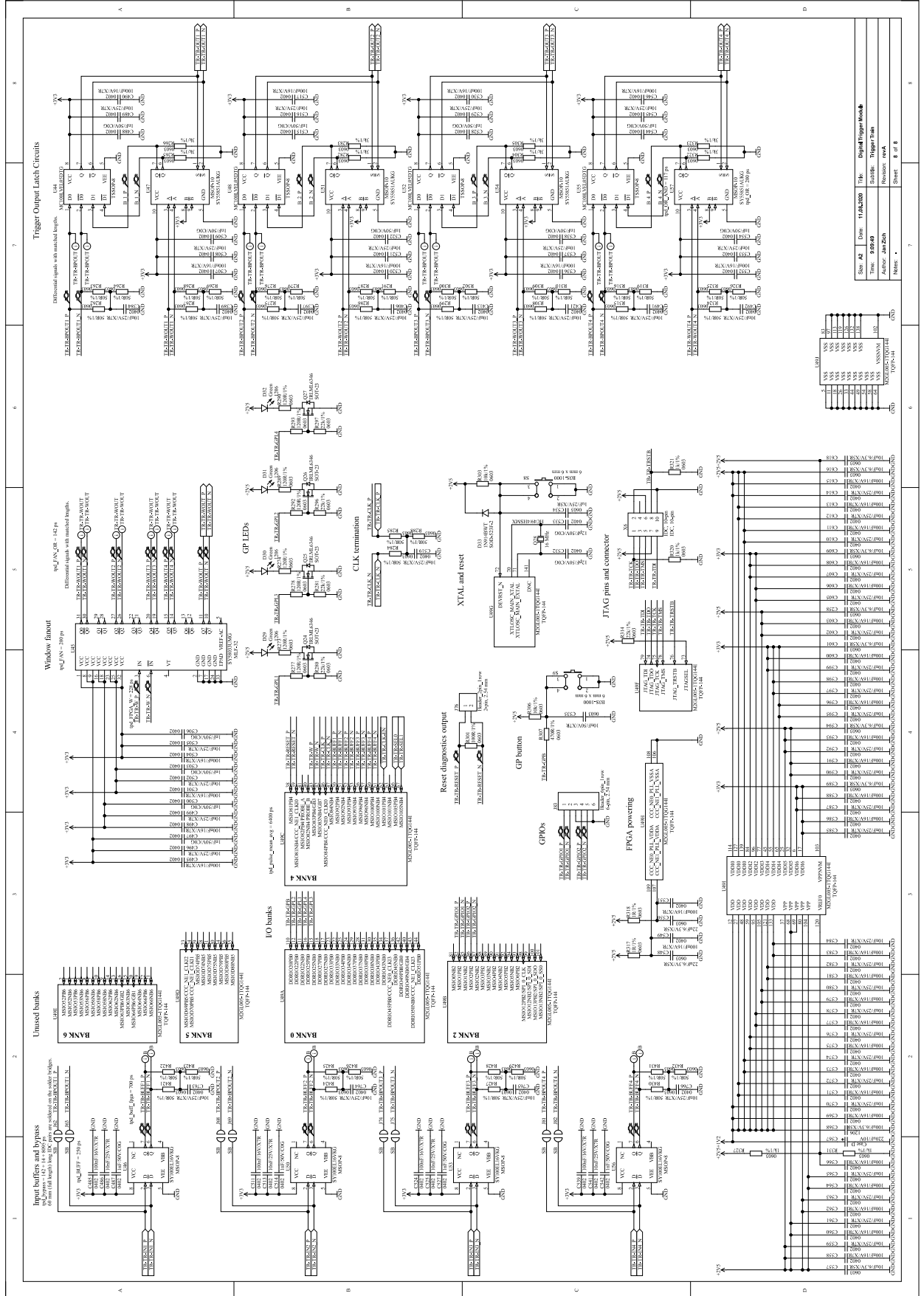
Příloha Z – DTM – Trigger train 1



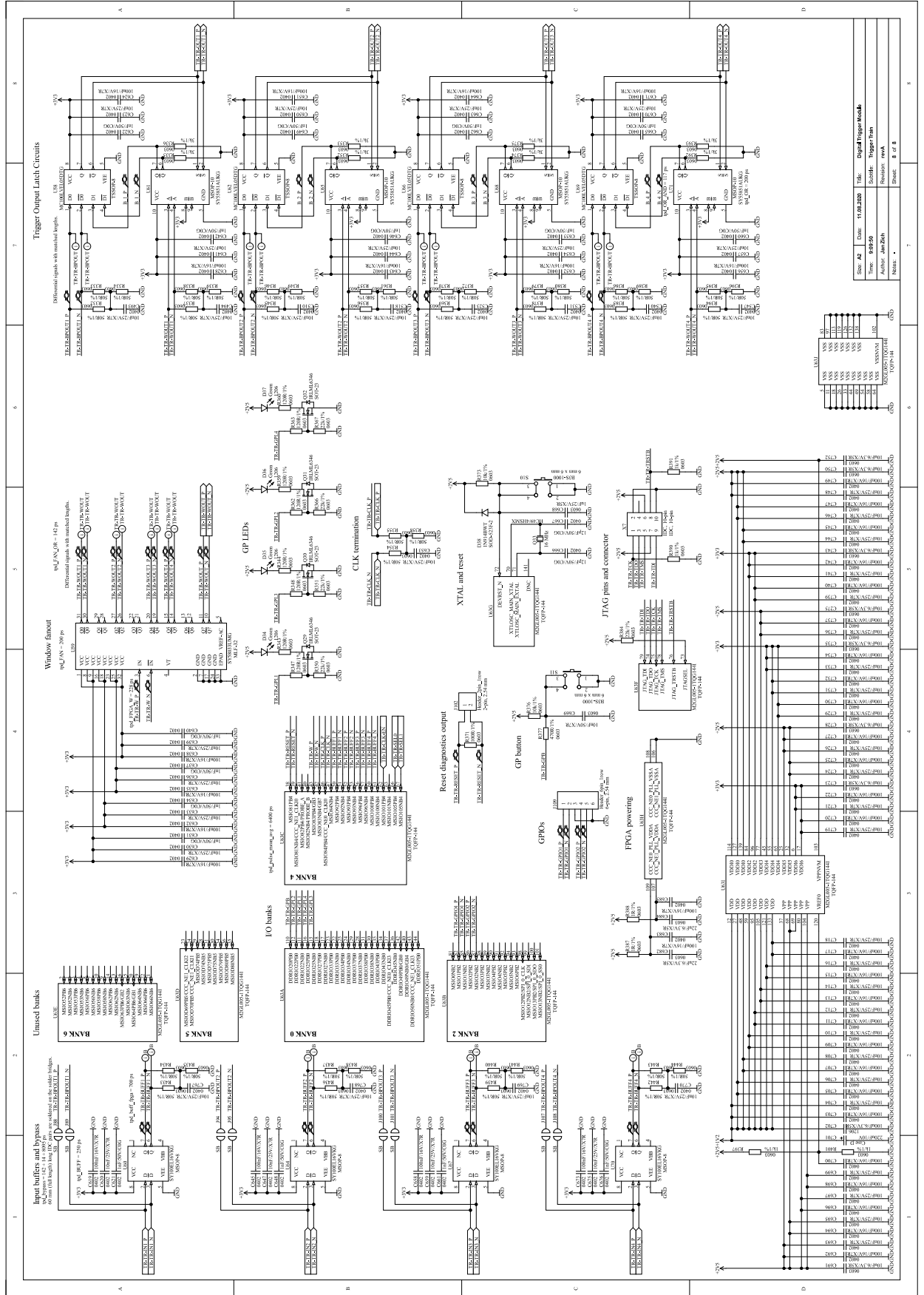
Příloha AA – DTM – Trigger train 2



Příloha AB – DTM – Trigger train 3



Příloha AC – DTM – Trigger train 4



Revision: revA
Author: Jan Zich
Date: 11.03.2020
Title: Digital Trigger Train

Sheet: 8 of 8

Příloha AD – COTS – výsledky testů, MCP9903T

	Hodnota	Podmínky
V_{DD} [V]	3,0 - 3,6	

Měření teploty na čipu a externím PNP tranzistorem				
	Reference	Vzorek 1	Vzorek 2	Vzorek 3
T_{CHIP} [°C]	23,75	23,25	23,375	23,625
T_{EXT} [°C]	25,625	25,5	25,625	25,75

Příloha AE – COTS – výsledky testů, 1N914BWT

	Hodnota	Podmínky
V_R [V]	75	
I_F [mA]	300	
t_{RR} [ns]	4	$I_F = 10$ mA, $V_R = 6$ V
P_{MAX} [mW]	200	$T = 25$ °C

VA charakteristika, I. kvadrant										
Reference										
V_F [mV]	500	541	576	612	650	700	742	807	952	1018
I_F [mA]	0,1	0,25	0,5	1	2	5	10	25	100	150
P_D [mW]	0,05	0,14	0,29	0,61	1,3	3,5	7,42	20,2	95,2	153

Vzorek 1										
V_F [mV]	492	542	575	612	650	701	744	807	950	1010
I_F [mA]	0,1	0,25	0,5	1	2	5	10	25	100	150
P_D [mW]	0,05	0,14	0,29	0,61	1,3	3,51	7,44	20,2	95	152

Vzorek 2										
V_F [mV]	498	544	583	618	656	708	746	813	959	1021
I_F [mA]	0,1	0,25	0,5	1	2	5	10	25	100	150
P_D [mW]	0,05	0,14	0,29	0,62	1,31	3,54	7,46	20,3	95,9	153

Vzorek 3										
V_F [mV]	454	522	565	602	642	697	737	809	954	1016
I_F [mA]	0,1	0,25	0,5	1	2	5	10	25	100	150
P_D [mW]	0,05	0,13	0,28	0,6	1,28	3,49	7,37	20,2	95,4	152

Závěrné napětí, $V_R = 75$ V				
	Reference	Vzorek 1	Vzorek 2	Vzorek 3
Ne/splněno	splněno	splněno	splněno	splněno

Doba zotavení, $I_F = 10$ mA, $V_R = 6$ V				
	Reference	Vzorek 1	Vzorek 2	Vzorek 3
t_{RR} [ns]	3,95	3,61	3,67	3,62

Příloha AF – COTS – výsledky testů, BAT54SLT1G

	Hodnota	Podmínky
V_R [V]	30	
I_F [mA]	200	
t_{RR} [ns]	5	$I_F = 10$ mA, $V_R = 6$ V
P_{MAX} [mW]	225	$T = 25$ °C

VA charakteristika, I. kvadrant										
Reference										
V_F [mV]	214	226	258	277	295	322	343	379	465	515
I_F [mA]	0,1	0,25	0,5	1	2	5	10	25	100	150
P_D [mW]	0,02	0,06	0,13	0,28	0,59	1,61	3,43	9,48	46,5	77,3

Vzorek 1										
V_F [mV]	215	239	260	278	295	321	345	377	470	509
I_F [mA]	0,1	0,25	0,5	1	2	5	10	25	100	150
P_D [mW]	0,02	0,06	0,13	0,28	0,59	1,61	3,45	9,43	47	76,4

Vzorek 2										
V_F [mV]	216	240	258	278	295	322	344	380	465	520
I_F [mA]	0,1	0,25	0,5	1	2	5	10	25	100	150
P_D [mW]	0,02	0,06	0,13	0,28	0,59	1,61	3,44	9,5	46,5	78

Vzorek 3										
V_F [mV]	213	238	257	276	295	322	344	377	465	507
I_F [mA]	0,1	0,25	0,5	1	2	5	10	25	100	150
P_D [mW]	0,02	0,06	0,13	0,28	0,59	1,61	3,44	9,43	46,5	76,1

Závěrné napětí, $V_R = 30$ V				
	Reference	Vzorek 1	Vzorek 2	Vzorek 3
Ne/splněno	splněno	splněno	splněno	splněno

Doba zotavení, $I_F = 10$ mA, $V_R = 6$ V				
	Reference	Vzorek 1	Vzorek 2	Vzorek 3
t_{RR} [ns]	4,34	4,36	4,39	4,225

Příloha AG – COTS – výsledky testů, SK34AR3G

	Hodnota	Podmínky
V_R [V]	40	
I_F [mA]	3000	

VA charakteristika, I. kvadrant										
Reference										
V_F [mV]	178	197	220	238	262	283	300	326	346	398
I_F [mA]	1	2	5	10	25	50	100	250	500	1500
P_D [mW]	0,18	0,39	1,1	2,38	6,55	14,2	30	81,5	173	597

Vzorek 1										
V_F [mV]	173	193	218	237	263	280	299	324	346	397
I_F [mA]	1	2	5	10	25	50	100	250	500	1500
P_D [mW]	0,17	0,39	1,09	2,37	6,58	14	29,9	81	173	596

Vzorek 2										
V_F [mV]	180	194	221	237	260	280	299	325	347	399
I_F [mA]	1	2	5	10	25	50	100	250	500	1500
P_D [mW]	0,18	0,39	1,11	2,37	6,5	14	29,9	81,3	174	599

Vzorek 3										
V_F [mV]	172	188	213	233	259	277	296	321	343	390
I_F [mA]	1	2	5	10	25	50	100	250	500	1500
P_D [mW]	0,17	0,38	1,07	2,33	6,48	13,9	29,6	80,3	172	585

Závěrné napětí, $V_R = 40$ V				
	Reference	Vzorek 1	Vzorek 2	Vzorek 3
Ne/splněno	splněno	splněno	splněno	splněno

Doba zotavení, $I_F = 10$ mA, $V_R = 6$ V				
	Reference	Vzorek 1	Vzorek 2	Vzorek 3
t_{RR} [ns]	119,37	120	121,04	118,26

Příloha AH – COTS – výsledky testů, KDZVTR4.7B

	Hodnota	Podmínky
V_Z [V]	4,7	
P_{MAX} [mW]	1000	

VA charakteristika, III. kvadrant										
Reference										
V_Z [V]	2,96	3,2	3,52	3,73	4,03	4,36	4,59	4,8	4,99	5,1
I_Z [mA]	0,1	0,2	0,5	1	2	5	10	20	50	100
P_D [mW]	0,3	0,64	1,76	3,73	8,06	21,8	45,9	96	250	510

Vzorek 1										
V_Z [V]	2,99	3,22	3,57	3,78	4,05	4,35	4,62	4,82	5,02	5,12
I_Z [mA]	0,1	0,2	0,5	1	2	5	10	20	50	100
P_D [mW]	0,3	0,64	1,79	3,78	8,1	21,8	46,2	96,4	251	512

Vzorek 2										
V_Z [V]	2,97	3,14	3,48	3,78	3,98	4,34	4,6	4,78	4,99	5,09
I_Z [mA]	0,1	0,2	0,5	1	2	5	10	20	50	100
P_D [mW]	0,3	0,63	1,74	3,78	7,96	21,7	46	95,6	250	509

Vzorek 3										
V_Z [V]	2,94	3,16	3,47	3,75	3,99	4,32	4,57	4,77	4,99	5,09
I_Z [mA]	0,1	0,2	0,5	1	2	5	10	20	50	100
P_D [mW]	0,29	0,63	1,74	3,75	7,98	21,6	45,7	95,4	250	509

Příloha ACH – COTS – výsledky testů, TLV2462A

	Hodnota	Podmínky
V_{DD} [V]	2,5	
V_{CC} [V]	-2,5	

Vstupní napěťová nesymetrie				
	Reference	Vzorek 1	Vzorek 2	Vzorek 3
V_{IO} [mV]	-0,3	0,443	0,118	1,17

Vstupní proudová nesymetrie				
	Reference	Vzorek 1	Vzorek 2	Vzorek 3
I_{IO} [nA]	-0,62	5,8	1	6,4

Vstupní klidový proud				
	Reference	Vzorek 1	Vzorek 2	Vzorek 3
I_{IB} [nA]	-6,9	44,45	44,05	51,6

Zisk v otevřené smyčce				
	Reference	Vzorek 1	Vzorek 2	Vzorek 3
A_{OL} [-]	400000	395000	392000	396000

Výstupní impedance				
	Reference	Vzorek 1	Vzorek 2	Vzorek 3
Z_{OUT} [Ω]	7,95	39,95	23,98	31,25

Rychlost přeběhu				
	Reference	Vzorek 1	Vzorek 2	Vzorek 3
SR [V/ μ s]	1,66	1,66	1,42	1,62

Mezní výkonová frekvence				
	Reference	Vzorek 1	Vzorek 2	Vzorek 3
f_o [kHz]	38	40	37	39

Příloha AI – COTS – výsledky testů, IRLML6346

	Hodnota	Podmínky
V_{DS} [V]	30	
V_{GS_MAX} [V]	12	
V_{GS_TH} [V]	0,8	$V_{DS} = V_{gs}, I_D = 10 \mu A$
I_D [A]	3,4	$V_{GS} = 10 V, T = 25^\circ C$
I_{GSS} [nA]	100	$V_{GS} = 12 V$
R_{DS_ON} [m Ω]	63	$V_{GS} = 4,5 V$
P_{MAX} [W]	1,3	$T = 25^\circ C$

Výstupní VA charakteristika									
Reference									
$V_{GS} = 4,5 V$									
V_D [mV]	0,98	2,43	4,89	9,72	24,5	50	111	154	199
I_D [A]	0,02	0,05	0,1	0,2	0,5	1	2	2,5	3
P_D [mW]	0,02	0,12	0,49	1,94	12,2	50	222	385	597

Vzorek 1									
$V_{GS} = 4,5 V$									
V_D [mV]	0,99	2,44	4,87	9,8	24,5	49,7	110	159	220
I_D [A]	0,02	0,05	0,1	0,2	0,5	1	2	2,5	3
P_D [mW]	0,02	0,12	0,49	1,96	12,3	49,7	220	397	660

Vzorek 2									
$V_{GS} = 4,5 V$									
V_D [mV]	0,99	2,45	5	10,1	25,3	51,6	115	153	220
I_D [A]	0,02	0,05	0,1	0,2	0,5	1	2	2,5	3
P_D [mW]	0,02	0,12	0,5	2,01	12,7	51,6	230	383	660

Vzorek 3									
$V_{GS} = 4,5 V$									
V_D [mV]	1,07	2,65	5,2	10,4	26,3	53,4	120	159	225
I_D [A]	0,02	0,05	0,1	0,2	0,5	1	2	2,5	3
P_D [mW]	0,02	0,13	0,52	2,09	13,2	53,4	240	398	675

Reference	
G-S svodový proud	
$V_{GS} = 10 V$	
I_{GSS} [nA]	<1

Vzorek 1	
G-S svodový proud	
$V_{GS} = 10 V$	
I_{GSS} [nA]	<1

Vzorek 2	
G-S svodový proud	
$V_{GS} = 10 V$	
I_{GSS} [nA]	<1

Vzorek 3	
G-S svodový proud	
$V_{GS} = 10 V$	
I_{GSS} [nA]	<1

G-S prahové napětí	
$I_D = 10 \mu A$	
V_{GS_TH} [mV]	781

G-S prahové napětí	
$I_D = 10 \mu A$	
V_{GS_TH} [mV]	722

G-S prahové napětí	
$I_D = 10 \mu A$	
V_{GS_TH} [mV]	679

G-S prahové napětí	
$I_D = 10 \mu A$	
V_{GS_TH} [mV]	724,6

Max. D-S napětí	
V_{DS} [V]	33,5

Max. D-S napětí	
V_{DS} [V]	33,3

Max. D-S napětí	
V_{DS} [V]	33,33

Max. D-S napětí	
V_{DS} [V]	33,27

Příloha AJ – COTS – výsledky testů, NSVF6003SB6

	Hodnota	Podmínky
V_{CE} [V]	12	
I_C [mA]	150	
h_{FE} [-]	100–180	
P_{MAX} [mW]	800	$T = 25\text{ °C}$

Výstupní VA charakteristika									
Reference									
$I_B = 600\text{ }\mu\text{A}$									
V_{CE} [mV]	8	9,11	12,2	16,9	24,6	42,1	64,3	98,5	3670
I_C [mA]	0,1	0,2	0,5	1	2	5	10	20	70
P_D [mW]	0	0	0,01	0,02	0,05	0,21	0,64	1,97	257

Vzorek 1									
$I_B = 600\text{ }\mu\text{A}$									
V_{CE} [mV]	6,03	6,92	9,41	13,2	20,4	36,4	56,7	89,3	2505
I_C [mA]	0,1	0,2	0,5	1	2	5	10	20	70
P_D [mW]	0	0	0	0,01	0,04	0,18	0,57	1,79	175

Vzorek 2									
$I_B = 600\text{ }\mu\text{A}$									
V_{CE} [mV]	5,94	6,77	9,25	13	20,2	35,9	56,5	88,9	2328
I_C [mA]	0,1	0,2	0,5	1	2	5	10	20	70
P_D [mW]	0	0	0	0,01	0,04	0,18	0,56	1,78	163

Vzorek 3									
$I_B = 600\text{ }\mu\text{A}$									
V_{CE} [mV]	7,96	90,1	12	16,7	24,7	42,6	64,1	99,1	3605
I_C [mA]	0,1	0,2	0,5	1	2	5	10	20	70
P_D [mW]	0	0,02	0,01	0,02	0,05	0,21	0,64	1,98	252

Reference	
C-E napětí	
V_{CE} [V]	41

Vzorek 1	
C-E napětí	
V_{CE} [V]	40,2

Vzorek 2	
C-E napětí	
V_{CE} [V]	40,5

Vzorek 3	
C-E napětí	
V_{CE} [V]	40,2

Rychlost přeběhu	
$V_{GEN} = 0/5\text{ V}$, obdélník	
SR [V/ μs]	153,8

Rychlost přeběhu	
$V_{GEN} = 0/5\text{ V}$, obdélník	
SR [V/ μs]	153,2

Rychlost přeběhu	
$V_{GEN} = 0/5\text{ V}$, obdélník	
SR [V/ μs]	153,8

Rychlost přeběhu	
$V_{GEN} = 0/5\text{ V}$, obdélník	
SR [V/ μs]	150,4

Příloha AK – COTS – výsledky testů, BC857BLT

	Hodnota	Podmínky
V_{CE} [V]	-45	
I_C [mA]	-100	
h_{FE} [-]	290	
P_{MAX} [mW]	225	$T = 25\text{ °C}$

Výstupní VA charakteristika									
Reference									
$I_B = 500\text{ }\mu\text{A}$									
V_{CE} [mV]	7,02	8,09	11,3	16,1	24,7	43,3	68,7	113	1821
I_C [mA]	0,1	0,2	0,5	1	2	5	10	20	70
P_D [mW]	0	0	0,01	0,02	0,05	0,22	0,69	2,26	127

Vzorek 1									
$I_B = 500\text{ }\mu\text{A}$									
V_{CE} [mV]	10,1	11,6	15,7	21,7	32,3	54	80,8	129	2335
I_C [mA]	0,1	0,2	0,5	1	2	5	10	20	70
P_D [mW]	0	0	0,01	0,02	0,06	0,27	0,81	2,59	163

Vzorek 2									
$I_B = 500\text{ }\mu\text{A}$									
V_{CE} [mV]	9,88	11,4	15,4	21,8	32,2	53,3	80,2	130	2269
I_C [mA]	0,1	0,2	0,5	1	2	5	10	20	70
P_D [mW]	0	0	0,01	0,02	0,06	0,27	0,8	2,59	159

Vzorek 3									
$I_B = 500\text{ }\mu\text{A}$									
V_{CE} [mV]	9,53	10,9	14,8	20,8	30,8	52,4	78,1	125	2343
I_C [mA]	0,1	0,2	0,5	1	2	5	10	20	70
P_D [mW]	0	0	0,01	0,02	0,06	0,26	0,78	2,5	164

Reference	
C-E napětí	
V_{CE} [V]	99,06

Vzorek 1	
C-E napětí	
V_{CE} [V]	98,63

Vzorek 2	
C-E napětí	
V_{CE} [V]	100,2

Vzorek 3	
C-E napětí	
V_{CE} [V]	100