

ZÁPADOČESKÁ UNIVERZITA V PLZNI
FAKULTA ELEKTROTECHNICKÁ

Katedra elektromechaniky a výkonové elektroniky

DIPLOMOVÁ PRÁCE

Stavba driveru výkonového 4f střídače

vedoucí práce: Ing.Luboš Streit

2012

autor: Bc.Lukáš Chaloupka

ZÁPADOČESKÁ UNIVERZITA V PLZNI
Fakulta elektrotechnická
Akademický rok: 2011/2012

ZADÁNÍ DIPLOMOVÉ PRÁCE
(PROJEKTU, UMĚLECKÉHO DÍLA, UMĚLECKÉHO VÝKONU)

Jméno a příjmení: **Lukáš CHALOUPKA**
Osobní číslo: **E10N0069P**
Studijní program: **N2612 Elektrotechnika a informatika**
Studijní obor: **Průmyslová elektronika a elektromechanika**
Název tématu: **Stavba driveru výkonového 4f střídače**
Zadávající katedra: **Katedra elektromechaniky a výkonové elektroniky**

Z á s a d y p r o v y p r a c o v á n í :

1. Popište druhy, funkce a důležité parametry driverů.
2. Navrhněte a realizujte vybrané obvodové řešení.
3. Experimentálně ověřte funkci měniče.




Rozsah grafických prací: podle doporučení vedoucího
Rozsah pracovní zprávy: 30 - 40 stran
Forma zpracování diplomové práce: tištěná/elektronická
Seznam odborné literatury:

1. VONDRÁŠEK, F.: Výkonová elektronika. Sv. III ZČU v Plzni 1998

Vedoucí diplomové práce: Ing. Luboš Streit
Regionální inovační centrum elektrotechniky

Datum zadání diplomové práce: 17. října 2011
Termín odevzdání diplomové práce: 11. května 2012


Doc. Ing. Jiří Hammerbauer, Ph.D.
děkan




Prof. Ing. Václav Kůs, CSc.
vedoucí katedry

V Plzni dne 17. října 2011

Anotace

Předkládaná diplomová práce popisuje postup při navrhování výkonového driveru pro 4-fázový měnič, který je určen pro laboratorní účely na katedře výkonové elektromechaniky. V úvodní části jsou popsány možnosti samotného driveru a připomenutí základních principů, jako je funkce 3-fázového napět'ového střídače a jiných typů měničů, které driver umožňuje řídit. Dále jsou zde popsány funkce a vlastnosti jednotlivých, důležitých komponentů, ze kterých je driver postaven. Následují výsledky z měření a testování funkčnosti výkonového driveru. Na závěr práce je ukázáno schéma zapojení celého driveru včetně návrhu DPS v programu EAGLE.

Klíčová slova

Driver, optočlen HCPL-316J, posilovací obvod IXDD30 YI, desaturační ochrana, IGBT tranzistor, DC/DC měnič.

Construction of 4-phase Power Inverter Driver

Abstract

This master thesis describes the process of the designing of a driver for a 4 phase converter, which is designed for a laboratory use in the department of Electromechanics and Power Electronics. In the introductory section are described options of the driver itself. There is a reminding of the basic principles such as the function of 3-phase voltage inverter and the other types of converters, which the driver can control. In the next part, there are described a properties and functions of important parts, from which the driver is consisted. Finally, there are some results from measuring and testing a functionality of the driver. And there is shown an internal wiring diagram including a PCB design, created using EAGLE software.

Key words

Driver, Optocoupler HCPL-316J, booster circuit IXDD_430YI, desaturation protection, IGBT transistor, DC/DC convertor.

Prohlášení

Předkládám tímto k posouzení a obhajobě diplomovou práci, zpracovanou na závěr studia na Fakultě elektrotechnické Západočeské univerzity v Plzni.

Prohlašuji, že jsem tuto diplomovou práci vypracoval samostatně, s použitím odborné literatury a pramenů uvedených v seznamu, který je součástí této diplomové práce.

Dále prohlašuji, že veškerý software, použitý při řešení této diplomové práce, je legální.

V Plzni dne 3.5.2012

Jméno příjmení

.....

Poděkování

Tímto bych rád poděkoval vedoucímu diplomové práce Ing. Lubošovi Streitovi, za cenné profesionální rady, připomínky a metodické vedení práce. Další poděkování patří Ing. Janu Molnárovi, Ph.D. za užitečné rady ohledně návrhu driveru a také doc. Ing. Pavlu Drábkovi, Ph.D.

Obsah

Úvod	8
Seznam symbolů a zkratk	9
1. Návrh schématu	10
2. Výkonový obvod a jeho možnosti zapojení	11
2.1. Pulzní měniče	11
2.1.1. Snižovací pulzní měnič	11
2.1.2. Pulzní měnič pro zvyšování napětí	13
2.1.3. Pulzní řízení odporu	14
2.1.4. Dvoukvadrantové pulzní měniče	16
2.1.5. Čtyřkvadrantový pulzní měnič	18
2.2. Tří-fázový napěťový střídač	20
2.2.1.1. Sinusová pulzně šířková modulace napětí střídače	23
3. Jednotlivé prvky výkonového měniče	24
3.1. Moduly IGBT	24
3.2. Lem - čidlo napětí	26
3.3. Lem – čidlo proudu	28
3.4. Zapojení svorek výkonového obvodu	29
3.5. Zapojení konektorů a jumperů	31
3.5.1. Konektor WSL 20	31
3.5.2. Konektor WSL 14	31
3.5.3. Jumperový konektor pro volbu výstupů z čidel	32
3.5.4. Jumperové pole pro volbu TTL nebo CMOS technologie	33
3.6. Optočlen HCPL – 316J	33
3.6.1. Princip desaturační ochrany	38
3.7. Posilovací obvod IXDD_430YI	39
3.8. Zdroje	43
3.9. CD4504 - Level shifter	46
3.10. DC/DC měniče napětí	47
3.11. Generování mrtvých časů	49
4. Návrh desky plošného spoje	51
5. Ověření funkce driveru měření	52

6. Závěr	56
Použitá literatura a zdroje	57
Přílohy	1
<i>Příloha č.1 - Horní vrstva spojů a součástek (bez polygonu)</i>	1
<i>Příloha č.2 - Horní vrstva spojů a součástek (s polygonem)</i>	2
<i>Příloha č.3 - Spodní vrstva spojů a součástek (bez polygonu)</i>	3
<i>Příloha č.4 - Spodní vrstva spojů a součástek (s polygonem)</i>	4
<i>Příloha č.5 - Schéma zapojení driveru</i>	5
<i>Příloha č.6 - fotografie hotového driveru</i>	6
<i>Příloha č.7 - Seznam součástek</i>	8

Úvod

Cílem této diplomové práce je navrhnout a postavit funkční driver pro 4-fázový měnič s IGBT moduly. Měnič pak bude využíván primárně jako tří fázový napěťový střídač pro napájení asynchronních motorů. Podle způsobu řízení je ale možné napájet i stejnosměrné motory. Celý projekt je určen pro měřicí a výzkumné účely pro laboratoř výkonové elektroniky. Driver je navržen tak, že je schopen generovat řídicí signály pro dva plně řízené H-můstky, neboli pro 4-fáze. Čtvrtá fáze bude v aplikaci 3 fázového, napěťového střídače využita jako brzdový chopper (pouze jeden tranzistor) a druhý tranzistor čtvrtého půl-můstku bude nevyužit. Hlavní změnou oproti driverům, s ovládacím modulem SKHI 71 bude, že místo tohoto modulu, který zajišťuje správné spínání IGBT tranzistorů, deadtimy, správný tvar, strmost a délku pulzů na hradlo IGBT, budou tyto všechny funkce zajišťovány jednotlivými komponenty. Např. optočlenem HCPL, posilovacím obvodem IXDD_430YI, DC/DC měniči pro jejich napájení atd. Výhodou bude možnost využití všech osmi IGBT tranzistorů najednou, oproti možnosti řízení maximálně 7 tranzistorů s modulem SKHI 71. Další výhodou tohoto driveru bude spočívat v tom, že bude možné řídit daleko větší (výkonnější) IGBT moduly než s použitím modulu SKHI 71. Funkce a účel jednotlivých prvků driveru je popsán v dalších kapitolách.

V dalším textu je popsán také návrh výkonového driveru v programu EAGLE (schéma zapojení i deska plošných spojů-dále jen DPS).

Seznam symbolů a zkratek

U	napětí ve stejnosměrném meziobvodu
I_d	střední hodnota proudu zátěží
U_d	střední hodnota napětí na zátěži
U_{di}	ideální střední hodnota napětí na zátěži (s nepřerušovaným proudem)
z	poměrná doba sepnutí
U_{z1}	fázové napětí zátěže (fáze1)
U_{s1}	fázové napětí střídače (fáze1)
U_p	napětí pily
U_r	modulační napětí
PWM	pulzní šířková modulace
I_c	kolektorový proud tranzistoru
V_{CES}	maximální napětí mezi C a E tranzistoru v propustném směru
V_{RRM}	maximální závěrné napětí (diody)
t_{tr}	závěrný zotavovací čas diody
T_c	ustálená teplota pouzdra součástky (case)
T_a	teplota okolí (ambient)
C_{ies}	kapacita hradla IGBT tranzistoru
$t_{d(on)}$	doba zapnutí tranzistoru od příchodu zapínacího pulzu
$t_{d(off)}$	doba zapnutí tranzistoru od příchodu vypínacího pulzu
$E_{on/off}$	energie, potřebná pro zapnutí a vypnutí tranzistoru
t_r	doba náběžné hrany zapínacího pulzu (10÷90%)
t_f	doba náběžné hrany vypínacího pulzu (90÷10%)
$V_c (V_{cc})$	napájecí napětí
DPS	deska plošných spojů
DSP	digitální, signálový procesor
SMD	technologie povrchové montáže na DPS
THT	technologie montáže skrz desku s prokovkami
IGBT	insulated gate bipolar transistor (bipolární tranzistor, řízený polem)
IN	vstupní svorky
OUT	výstupní svorky
EN	Enabled
K_n	konstanta čidla
I_p	měřicí rozsah proudu čidla lem
I_{SN}	efektivní hodnota sekundárního, měřícího proudu čidla
R_G	odpor zapojený do série s bránou IGBT tranzistoru
UVLO	undervoltage lockout

1. Návrh schématu

Nejprve bylo důležité navrhnout zapojení optočlenu HCPL 316J, spolu s posilovacím obvodem IXDD_430YI a DC/DC měniči pro jeden pólmostek a potom pro všechny další fáze (celkem 4) vycházet ze stejného návrhu. Rozdíl je pouze v tom, že budící obvody pro všechny spodní tranzistory jsou napájeny z jednoho DC/DC měniče a mají externě propojeny emitory. Budící obvody pro horní prvky "plavou" na různých potenciálech a proto jsou napájeny odděleně. Z toho faktu je pak nutné vycházet i při návrhu DPS a dodržovat tak patřičné izolační vzdálenosti. Zapojení HCPL 316J, IXDD_430YI a DC/DC měniče vychází z jejich datasheetů a doporučených zapojení. Další důležitá část návrhu je zvolení vhodné velikosti zdroje, tak aby dostačovala spotřebě celého driveru, ale také aby by byl transformátor z prostorových důvodů co nejmenší. V nízkonapěťové části driveru jsou celkem tři úrovně stejnosměrného napětí a to $\pm 15\text{ V}$ a $+5\text{ V}$. Každý stabilizátor je opatřen LED diodou pro kontrolu funkčnosti. LED diody jsou také umístěny přes invertory na vstupy optočlenů (signály z DSP) a na výstupy FAULT (bez invertoru). Všechny FAULT výstupy jsou zapojeny do osmivstupého hradla NAND a přes inverter vyvedeny na konektor z DSP. Všechny reset vstupy jsou spojeny do jednoho společného vývodu a ten je připojen přes pull-up odpor na $+5\text{ V}$ a také na tlačítko, které spíná všechny RESET na GND. Driver obsahuje také tři proudová čidla LEM a jedno napěťové čidlo LEM. Další důležitou částí driveru je hardwarové řešení tzv. mrtvých časů mezi spínáním horního a spodního tranzistoru. Jedná se o vhodné propojení schmittových inverterů a součinných členů NAND s vloženou RC časovou konstantou, která určuje velikost zpoždění (dead timu). Poslední částí driveru je tzv. level shifter, který umožňuje napěťové přizpůsobení logických úrovní z DSP a také kompatibilitu s TTL nebo CMOS technologiemi. Výsledkem tohoto návrhu je schéma driveru viz příloha č. 6

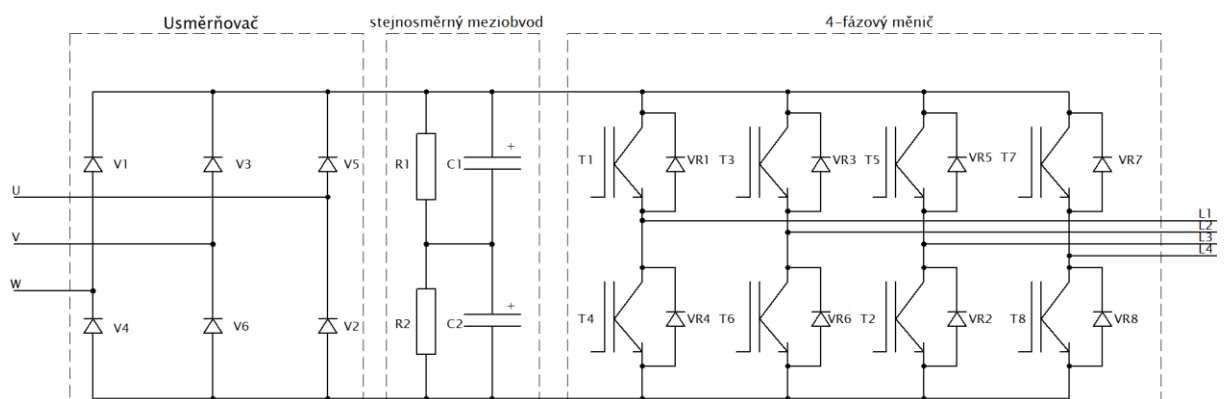
2. Výkonový obvod a jeho možnosti zapojení

Driver umožňuje řídit spínání výkonových IGBT tranzistorů podle požadavků na funkci celého měniče. K dispozici jsou dva H můstky, které mají společný potenciál GND na emitorech dolních prvků viz obr. 2. Usměrňovač není součástí obvodu, je zde zakreslen jen pro úplnost schématu.

Výkonový obvod je tedy možné využít jako:

- Snižovací a zvyšovací pulzní měnič
- Dvou nebo čtyř-kvadrantový pulzní měnič
- Jedno nebo tři-fázový napět'ový střídač

U všech typů zapojení je možné jedním tranzistorem pulzně spínat odpor, čehož se využívá při rekuperaci a maření energie v odporu.



Obr. 2 Zapojení výkonového obvodu

2.1. Pulzní měniče

Slouží pro regulaci střední hodnoty stejnosměrného napětí a proudu zátěží. Periodickým spínáním spínače (IGBT tranzistoru) je stejnosměrný zdroj připojován a odpojován od zátěže a tím je na zátěži měněna střední hodnota proudu a napětí. Proto vznikl název pulzní měnič. Následný popis pulzních měničů vychází z předpokladu nepřerušovaných proudů a ustálených stavů. Uvedené principy pulzních měničů jsou převzaty z [3].

2.1.1. Snižovací pulzní měnič

Tento měnič slouží k řízení stejnosměrného napětí na zátěži, které je menší než napětí zdroje U . Jako zátěž je zde uvažována R , L , U_i , kde U_i je menší než U . Základní schéma tohoto měniče je na obr. 3.

Měnič tvoří tranzistor T a nulová dioda VR. Když je tranzistor T sepnutý, je na zátěži napětí $U_d=U$. Proud zátěží teče přes tranzistor $I_d=I_v$. Pokud I_d nestačí klesnout během vypnutí tranzistoru k nule, jedná se o nepřerušovaný proud. Během této doby vede proud zpětná dioda VR a proud zátěží I_d postupně klesá, tak jak se ztrácí energie akumulovaná v indukčnosti zátěže. Při sepnutém tranzistoru naopak hodnota proudu I_d exponenciálně roste, a kdyby nedošlo k vypnutí tranzistoru, proud by dosáhl hodnoty:

$$I_d = \frac{U - U_i}{R}$$

Střední hodnota napětí na zátěži bude:

$$U_{di} = \frac{T_1}{T} \cdot U = z \cdot U$$

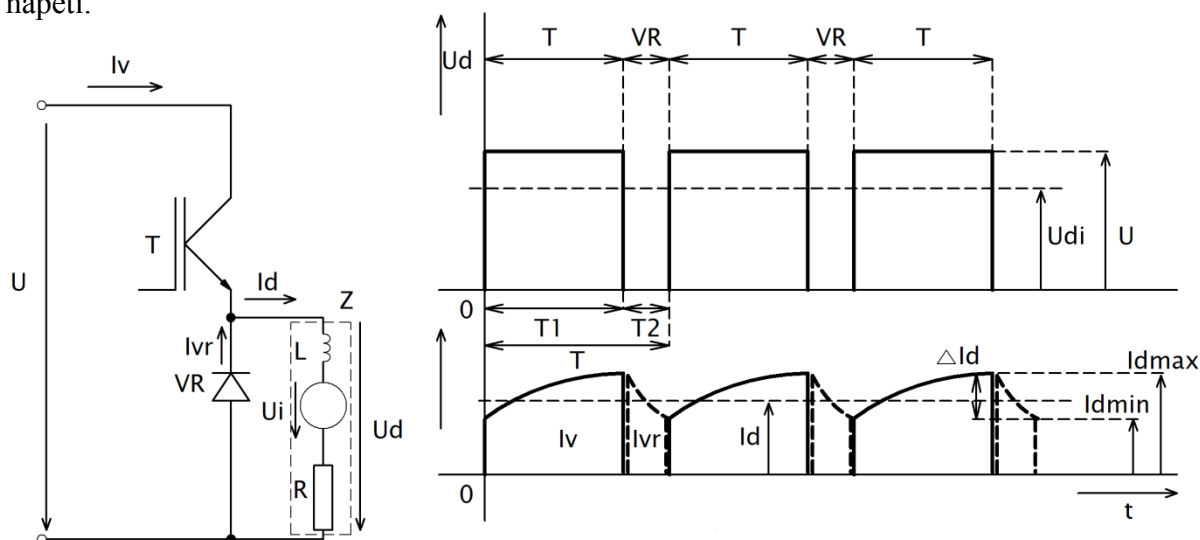
U_{di} ...je ideální střední hodnota napětí na zátěži

zje poměrná doba sepnutí tranzistoru

Napětí na zátěži je teoreticky možné řídit v intervalu $0 \leq z \leq 1$, reálně je tento rozsah menší. Teoretickému poměrnému sepnutí odpovídá regulace napětí na zátěži v rozsahu: $0 \leq U_d \leq U$. Střední hodnota proudu zátěží je:

$$I_d = \frac{U_{di} - U_i}{R}$$

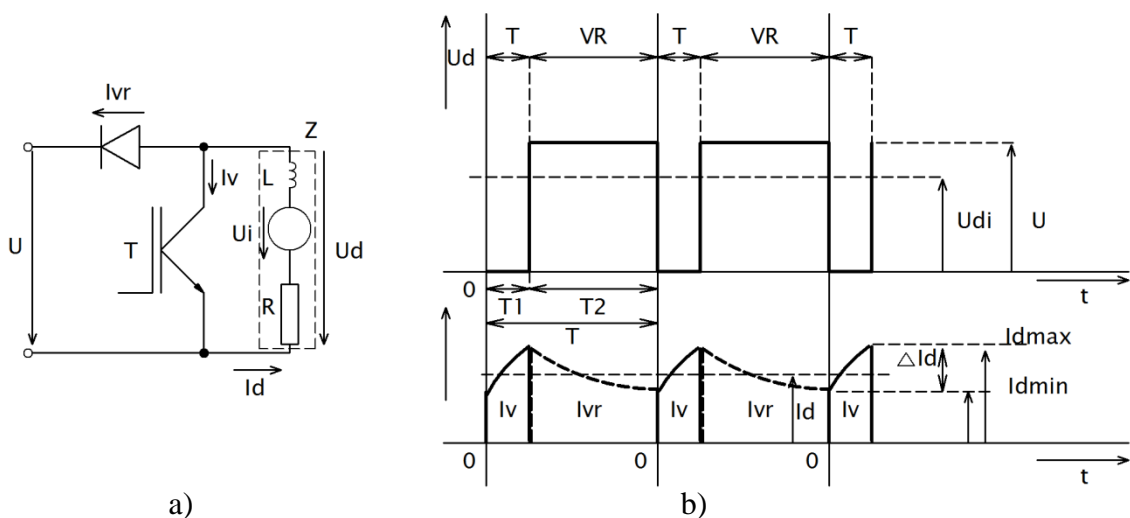
Pro tento vzorec platí ještě předpoklad, že v ustáleném stavu je na indukčnosti L nulové napětí.



Obr.3 Snižovací pulzní měnič

2.1.2. Pulzní měnič pro zvyšování napětí

Tento měnič je využíván např. při rekuperaci stejnosměrného motoru. V tomto případě je potřeba, aby byla energie z motoru dodávána zpět do baterie, nebo jiného zdroje stejnosměrného napětí. Indukované napětí motoru U_i je ale obvykle menší než napětí ss zdroje. Proto musí zátěž obsahovat nějakou indukčnost L pro akumulaci energie a následný přenos akumulované energie ze zátěže do zdroje. Zapojení měniče je na obr. 4. Měnič obsahuje spínací prvek (IGBT tranzistor), oddělovací diodu a jako zátěž je uvažována R, L, U_i . Tento pulzní měnič je schopen přenášet výkon jen jedním směrem a to ze zátěže do zdroje, protože smysl proudu I_d je možný jen podle obr. 4. a). Jakmile je indukované napětí U_i motoru jen o málo větší než $0V$ ($U_i \rightarrow 0$) nebo ($0 < U_i \leq U$), je již možná rekuperace. Teoreticky je možné rekuperovat od hodnot U_i z intervalu $(0-\infty)$, ale při $U_i > U$ je dioda stále ve vedení, výkon je trvale přenášen ze zátěže do zdroje a rekuperace je pak neovladatelná. Princip zvyšovacího pulzního měniče viz obr. 4.



Obr. 4 a) zapojení měniče, b) průběhy napětí a proudu na zátěži

Jakmile je tranzistor T sepnut (T_1), zátěž je ve zkratu a začne se zvyšovat proud I_d (exponenciální průběh) až k hodnotě U_i/R . Zkratu zdroje brání oddělovací dioda. Napětí na zátěži je nulové ($U_d=0$). Energie ze zdroje indukovaného napětí se akumuluje v indukčnosti L a část se ztratí na odporu. Po rozpojení tranzistoru se proud v L nemůže změnit skokově a tak pokračuje stejným směrem přes nulovou diodu a přitom se na L zvýší napětí. Napětí na L je pak v sérii s indukovaným napětím a toto napětí se pak ideálně rovná (nebo je nepatrně vyšší-reálně) než napětí zdroje U ($U_d=U$). Dochází k přenosu energie ze zátěže do zdroje. Pokud proud I_d neklesne v intervalu T_2 k nule, jde o nepřerušovaný proud.

Střední hodnota napětí na zátěži se dá vyjádřit vztahem:

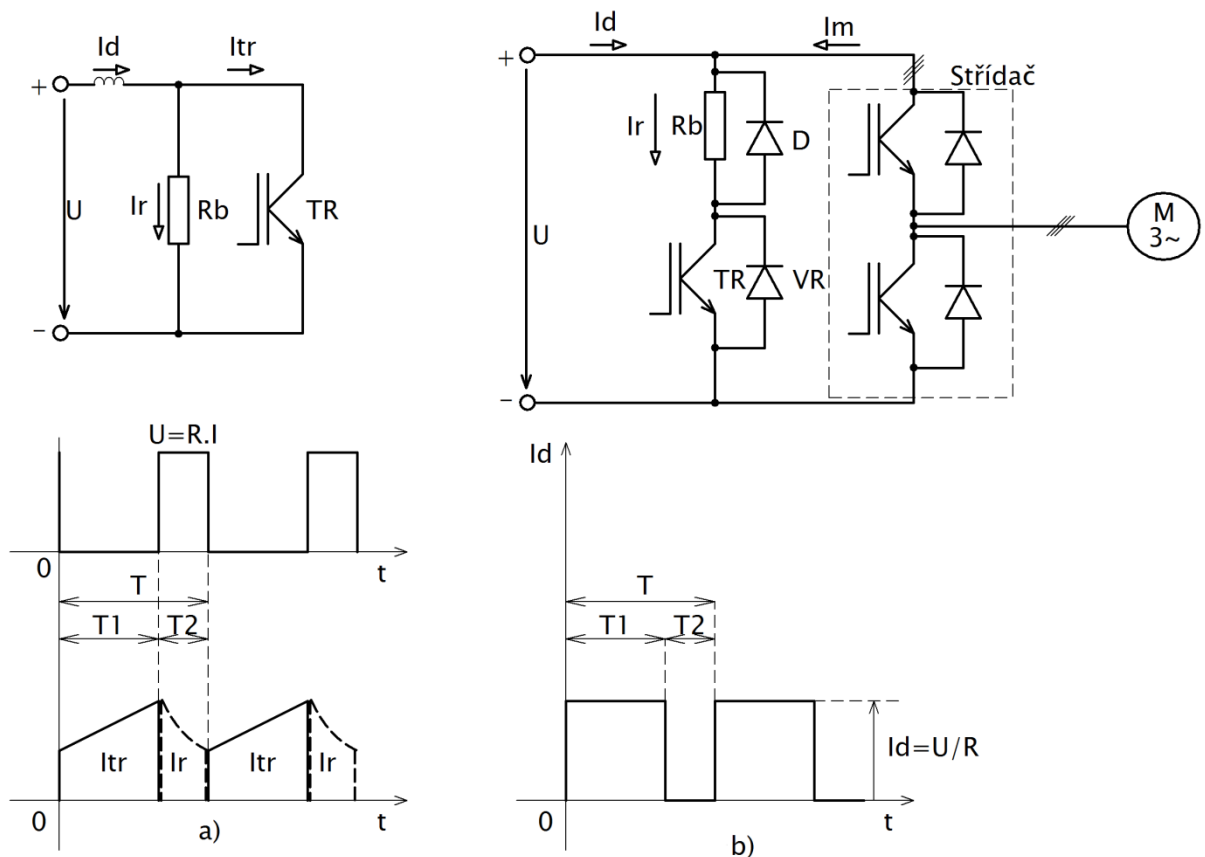
$$U_{di} = \frac{T_2}{T} \cdot U = \frac{T - T_1}{T} \cdot U = (1 - z) \cdot U$$

Střední hodnota proudu se dá vyjádřit vztahem:

$$I_d = \frac{U_i - U_{di}}{R}$$

2.1.3. Pulzní řízení odporu

Má mnohé využití, např. při rozběhu asynchronních motorů s vinutou kotvou atd. V této práci má uplatnění při brzdění stejnosměrného nebo asynchronního motoru. V případě, že je na vstupu měniče diodový usměrňovač, není měnič schopen dodávat výkon zpátky do zdroje (troleje). Proto je při brzdění motoru nutné tuto rekuperovanou energii zmařit v odporu. Jinak by napětí ve stejnosměrném meziobvodu vzrostlo nad povolenou mez a došlo by ke zničení měniče. Je několik způsobů zapojení pulzního měniče odporu, např. sériové nebo paralelní. Vychází se z toho, jak je spínací součástka připojena k brzdnému odporu (séριοvě nebo paralelně). Příklad pulzně spínaného odporu (séριοvě a paralelně) je na obr. 5.



Obr. 5 Pulzní řízení odporu a) paralelní (bez kondenzátoru), b) sériové

Varianta a):

Existuje ještě se sériově zapojeným kondenzátorem k odporu. Výhodou je větší rozsah řízeného odporu, který se může teoreticky pohybovat v intervalu $0 \leq R_e \leq \infty$. U zapojení bez kondenzátoru lze ekvivalentní odpor řídit při poměrném sepnutí $0 \leq z \leq 1$ v rozsahu $0 \leq R_e \leq R_b$. Když je tranzistor TR sepnutý, proud I_d se přes něj uzavírá a roste se strmostí U/L (lineárně). Při vypnutém TR se proud uzavírá přes odpor R_b a klesá po exponenciále až k hodnotě U/R_b . R_e je ekvivalentní odpor, který odpovídá střední hodnotě proudu procházejícím obvodem v ustáleném stavu. R_e bude klesat s rostoucím poměrem T_1/T a stoupat s rostoucím poměrem T_2/T . Při $T_1=T$ je $R_e=0$ a $T_2=T$ je $R_e=R_b$.

Varianta b):

Motor M zde působí jako generátor, střídač funguje jako usměrňovač a odpor R_b s pulzně spínaným tranzistorem je jako spotřebič. Napětí U je napětí na kondenzátoru ve stejnosměrném meziobvodu. Při sepnutém tranzistoru protéká brzdňým odporem proud: $i_r = i_d + I_m$ o velikosti $U/R_b \Rightarrow$ kondenzátor se vybíjí. Po vypnutí tranzistoru se kondenzátor opět nabíjí proudem I_m . Napětí na kondenzátoru tedy ve skutečnosti nepatrně kolísá, ale budeme uvažovat, že je kondenzátor hodně velký a napětí U je na něm konstantní. Energie odebraná kondenzátoru při sepnutém TR v čase T_1 se vrátí do kondenzátoru v čase $T - T_1$.

$$i_d \cdot T_1 = I_m (T - T_1)$$

Napětí na odporu R_b (na C) je tedy:

$$u = R_b (i_d + I_m)$$

$$u = R_b \cdot I_m \frac{T}{T_1}$$

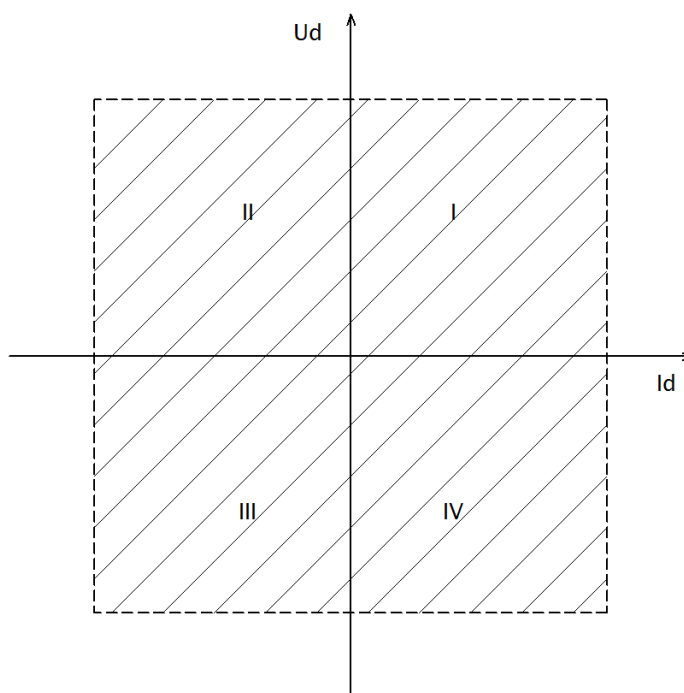
Dostáváme tedy ekvivalentní odpor:

$$R = R_b \cdot \frac{T}{T_1}$$

Ekvivalentní odpor můžeme měnit v rozsahu $R_b \leq R_e \leq \infty$. Výkon, získaný při brzdění RI_m^2 se pak v odporu přemění na teplo, za předpokladu, že úbytek na sepnutém tranzistoru je 0V.

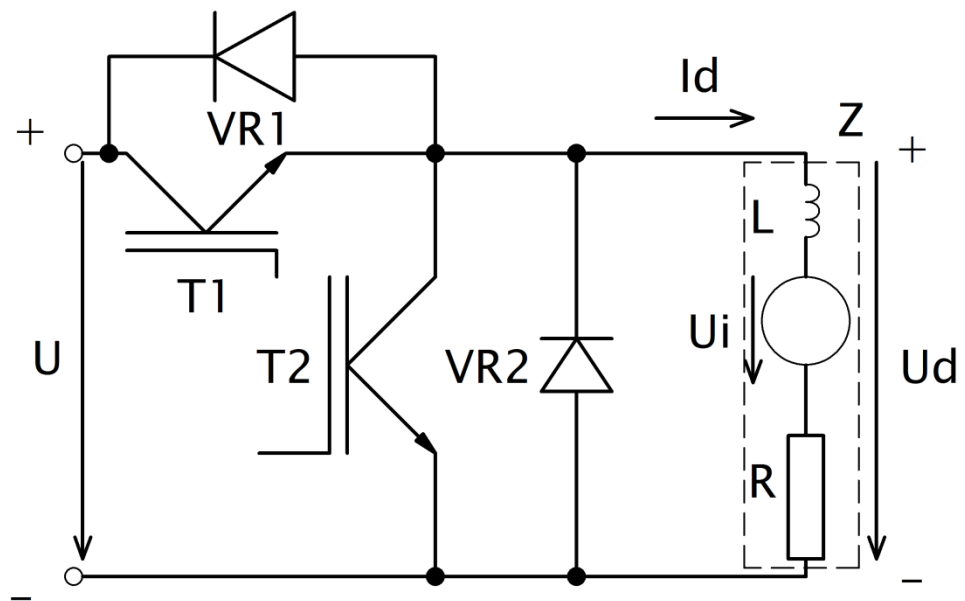
2.1.4. Dvoukvadrantové pulzní měniče

Dvoukvadrantové pulzní měniče (PM) se dělí na dva druhy. Mohou pracovat buď s dvěma polaritami proudu nebo napětí. V obou případech jsou schopné pracovat ve dvou oblastech V-A roviny podle obr. 6.

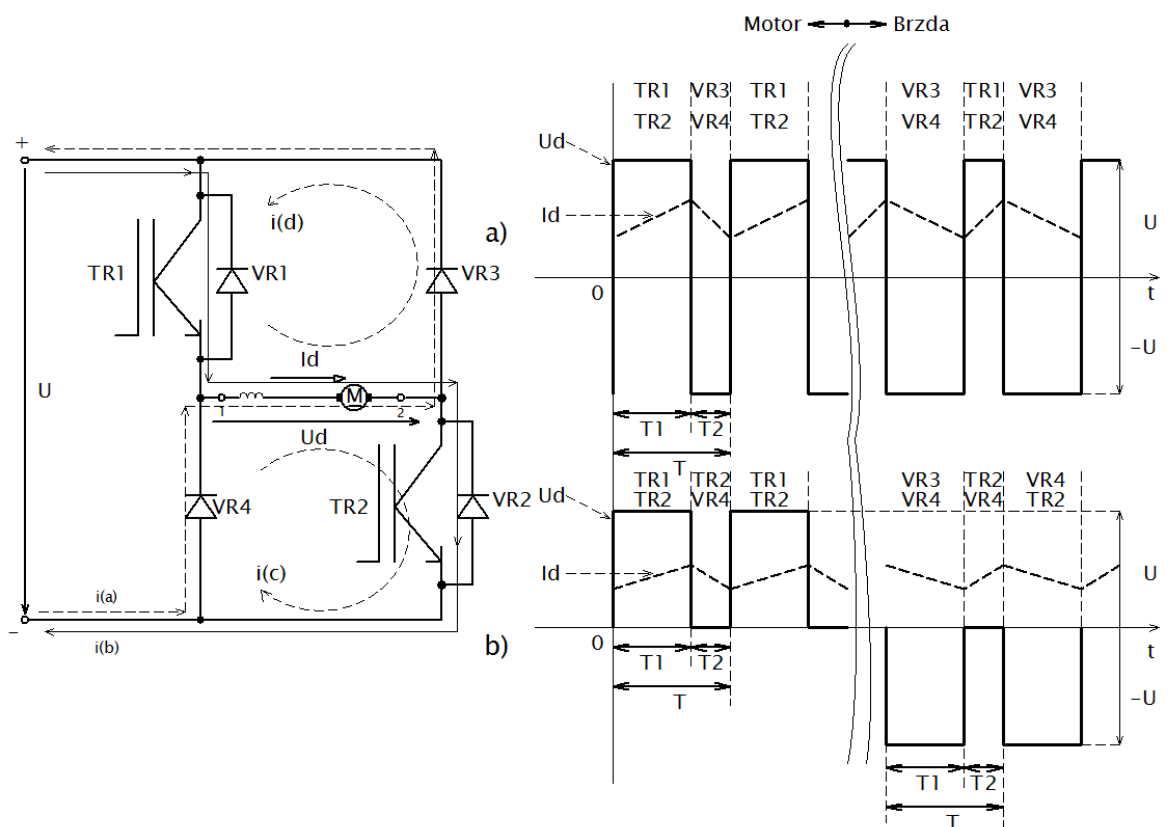


Obr. 6 Pracovní oblasti ve V-A rovině

Pomocí výkonového obvodu s vhodným řízením je možné realizovat oba dva typy, tj: dvoukvadrantové spojení PM s reverzací proudu a s reverzací napětí. U PM s reverzací proudu jde o spojení snižovacího PM (I.kvadrant) - v činnosti je IGBT tranzistor T1 a nulová dioda VR2 a zvyšovacího PM (II. kvadrant) - v činnosti je T2 a oddělovací dioda VR1 viz obr.7



Obr. 7 dvoukvadrantový PM s reverzací proudu.



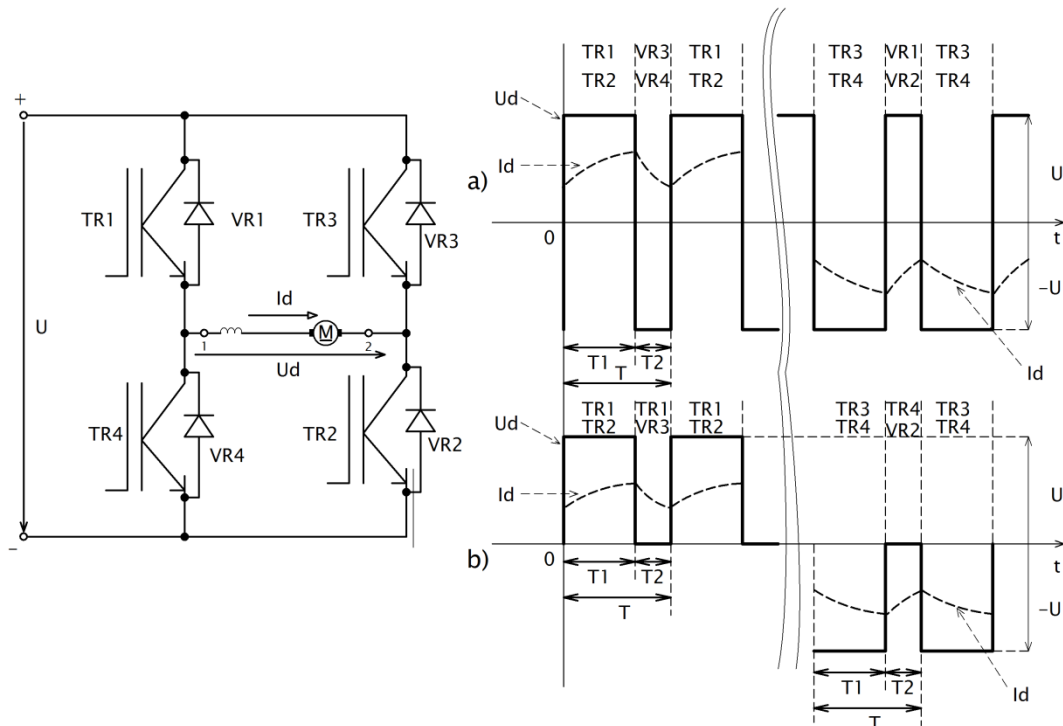
Obr. 8 Dvoukvadrantový PM s reverzací napětí

PM s reverzací napětí je na obr. 8. Tento pulzní měnič je možné řídit dvěma způsoby. První způsob řízení ad a) tzv. bipolární řízení má nevýhodu ve velkém zvlnění proudu zátěže I_d . Na zátěž se přivádí napětí obou polarit $\pm U$.

U způsobu řízení měniče ad b) tzv. unipolárního řízení je zvlnění proudu zátěží příznivější. Na zátěž se přivádí napětí jen jedné polarity. U řízení b) je možné nulové napětí na zátěži vytvářet nejen sepnutím TR2 a průchodem proudu přes VR4 (viz $i(c)$), ale také sepnutím TR1 a průchodem proudu přes VR3 (viz $i(d)$). Jinými slovy buď je sepnutý tranzistor TR1 a je pulzně spínán tranzistor TR2 nebo je naopak sepnutý tranzistor TR2 a pulzně je spínán TR1. Obr. 8 vlevo je nakreslen jen pro názornost funkce měniče. VR1 a VR2 jsou zabudované neoddělitelně v modulu IGBT tranzistorů a na místech TR1 a TR2 může být i tyristor a vlastním komutačním obvodem, jinými slovy "obecně vypínatelná součástka". Stejně tak u zpětných diod VR4 a VR3 jsou umístěny také IGBT tranzistory, které ale ve funkci tohoto měniče nemusí být spínány. Při sepnutí tranzistoru TR1 a TR2, prochází proud zátěží (viz $i(b)$) a na svorkách zátěže je polarita napětí $U \Rightarrow +(1)$ a $-(2)$. Při vypnutí obou tranzistorů zůstává proud zátěže téci stejným směrem, ale tentokrát vedou zpětné diody VR4 a VR3 (viz $i(a)$) a smysl napětí na svorkách zátěže je obrácený $-U \Rightarrow -(1)$ a $+(2)$. Druhý způsob řízení ad. b) funguje v motorickém chodu jako klasický měnič pro snižování napětí a v generátorickém chodu jako měnič pro zvyšování napětí. Nevýhodou tohoto měniče oproti měniči s reverzací proudu je, že když je přecházeno z motorického do generátorického režimu a jako zátěž je použit ss motor, je třeba u něj měnit i smysl buzení.

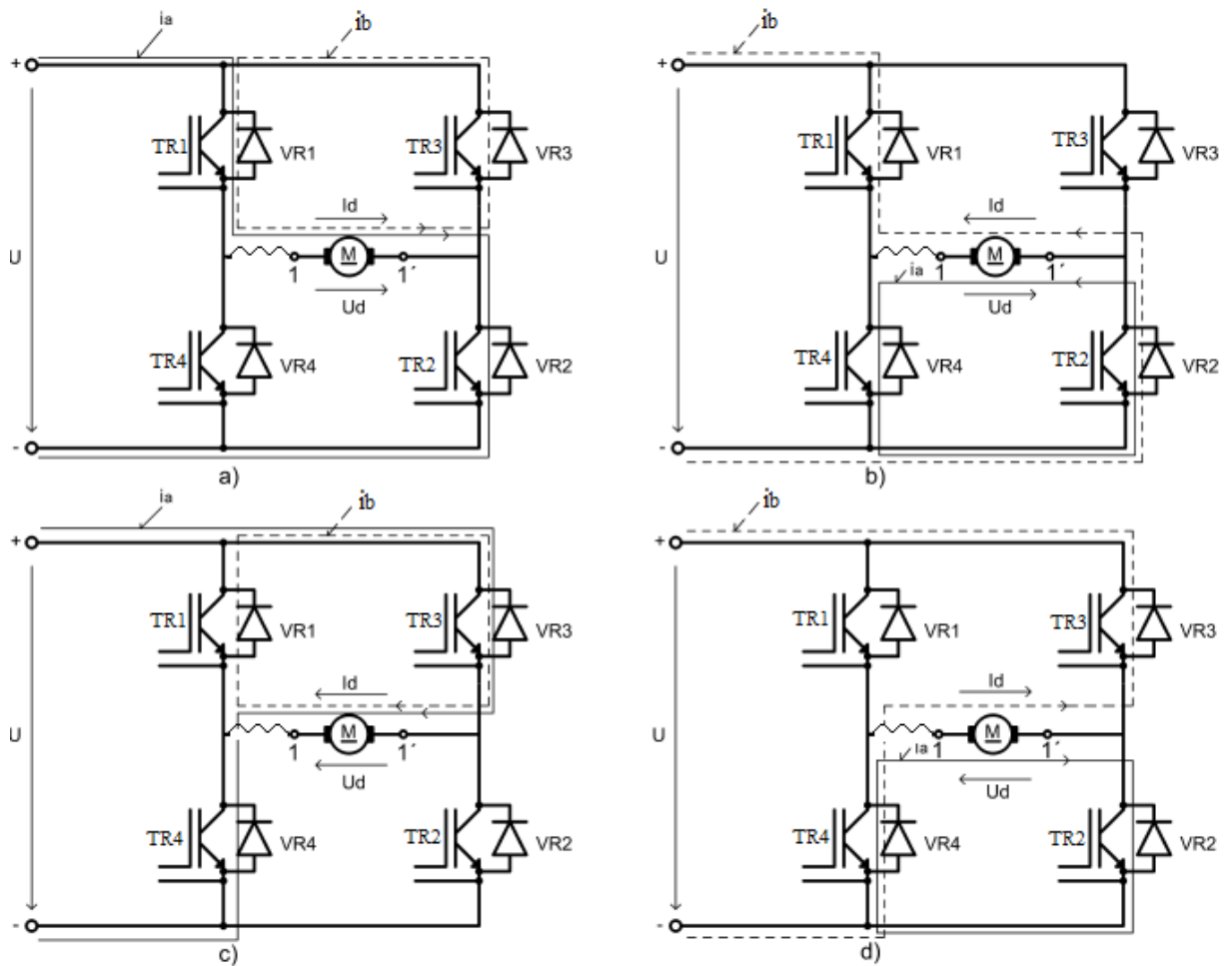
2.1.5. Čtyřkvadrantový pulzní měnič

Tento pulzní měnič, zobrazený na obr. 6, umožňuje práci ve všech čtyřech kvadrantech V-A roviny. Jedná se o plný H-můstek a ve výkonovém obvodu 4f měniče jsou tyto plné H můstky dva, se stejným potenciálem emitorů dolních tranzistorů. Emitory jsou propojeny stejnosměrným meziobvodem. Schéma plně řízeného H-můstku je na obr. 9.



Obr. 9 Čtyřkvadrantový pulzní měnič (plně řízený H-můstek)

U tohoto měniče jsou opět možné dva různé druhy řízení - bipolární a unipolární, při nichž jsou na zátěži buď obě polarities vstupního ss napětí U nebo jen jedna. Pracovní oblast (kvadrant), ve kterém měnič pracuje, je dána tím, které součástky jsou právě sepnuty. V I. kvadrantu - motorický režim (obr. 10a) se měnič pohybuje, když je sepnut tranzistor TR1 a pulzně je spínán tranzistor TR2. Ten se ve vedení střídá se zpětnou diodou VR3. Při sepnutém TR1 a TR2 proud zátěži roste (viz i_a), TR1, VR3, proud zátěže klesá (viz i_b). V II. kvadrantu - záporný proud a kladné napětí - generátorický režim (obr. 10b). Trvale vede zpětná dioda VR2 a sepnutím TR4 je na zátěži buď nulové napětí (zkrat zátěže) viz i_a na obr. 10b nebo při vypnutém TR4 teče proud přes VR1 (viz i_b) na stejném obrázku. III. kvadrant je na zátěži záporné napětí a prochází záporný proud \Rightarrow motorický režim (obr. 10c). Tentokrát je trvale sepnut tranzistor TR3 a pulzně je spínán TR1, který když je vypnut, vede zpětná dioda VR1 (viz i_b). Při sepnutém TR3 a TR4 prochází proud přes tyto tranzistory a zátěži viz i_a . Poslední IV. kvadrant je pro generátorický stav \Rightarrow záporná polarita napětí a kladný směr proudu. Trvale vede zpětná dioda VR4 a pulzně se spíná TR2. Při sepnutém T2 teče proud přes VR4 (viz i_a na obr.10d) a zátěž je ve zkratu. Při vypnutém TR2 vedou zpětné diody VR4 a VR3 (viz i_b). To jestli se motor nachází v generátorickém nebo motorickém stavu se dá lehce určit přes výkon, pokud je výkon kladný \Rightarrow motorický stav, záporný výkon \Rightarrow generátorický stav.



Obr. 10 Funkce měniče v různých kvadrantech V-A roviny

2.2. Tří-fázový napět'ový střídač

Tří fázový napět'ový střídač se skládá z 6 IGBT tranzistorů a z 6 zpětných diod, které jsou integrované v modulech. Tím jsou využity tři půlmůstky (moduly) výkonového obvodu a čtvrtý modul je využit ke spínání brzdného odporu. K tomu je zapotřebí jen jeden tranzistor (horní nebo spodní v dané fázi) a druhý tranzistor je nevyužit. Zátěž může být zapojena buď do Y nebo do D. Na obr. 11a je vidět zapojení 3f napět'ového střídače a k němu je nakreslen na obr. 11b spínací diagram při obdélníkovém řízení. Z tohoto diagramu je v každém okamžiku a příslušné kombinaci sepnutých prvků možné odvodit fázové napětí střídače U_s ve kterékoli fázi a také fázové napětí zátěže U_z ¹ vzhledem k pomyslnému nulovému vývodu ve stejnosměrném meziobvodu. Z toho je zřejmé, že při sepnutém tranzistoru TR1 bude $U_{s1} = U_d/2$ (neuvazuje se směr proudu => vede buď tranzistor TR1 nebo zpětná dioda VR1).

¹ fázové napětí zátěže a fázové napětí střídače nejsou stejné

Pokud bude sepnutý TR4 nebo povede VR4 => $U_{s1} = -U_d/2$. Stejně to platí i pro další fáze střídače. Tento spínací diagram platí pro uhel řízení $\Psi = 180^\circ$, tj $\pi/2$. To znamená, že horní tranzistor (TR1) vede během první poloviny periody spínání a dolní tranzistor (TR4) vede během druhé poloviny. Zároveň se nesmí sepnutí obou prvků v jedné fázi střídače překrývat, aby nedošlo ke zkratu stejnosměrného meziobvodu (velkého kondenzátoru) => dead timy. Z II. Kirchhoffova zákona plynou rovnice pro fázová napětí střídače a fázová napětí zátěže.

$$U_{z1} - U_{z2} = U_{s1} - U_{s2} \quad (1)$$

$$U_{z2} - U_{z3} = U_{s2} - U_{s3} \quad (2)$$

$$U_{z1} + U_{z2} + U_{z3} = 0 \quad (3)$$

Vyřešením těchto tří rovnic o třech neznámých dostáváme vztahy pro fázová napětí zátěže:

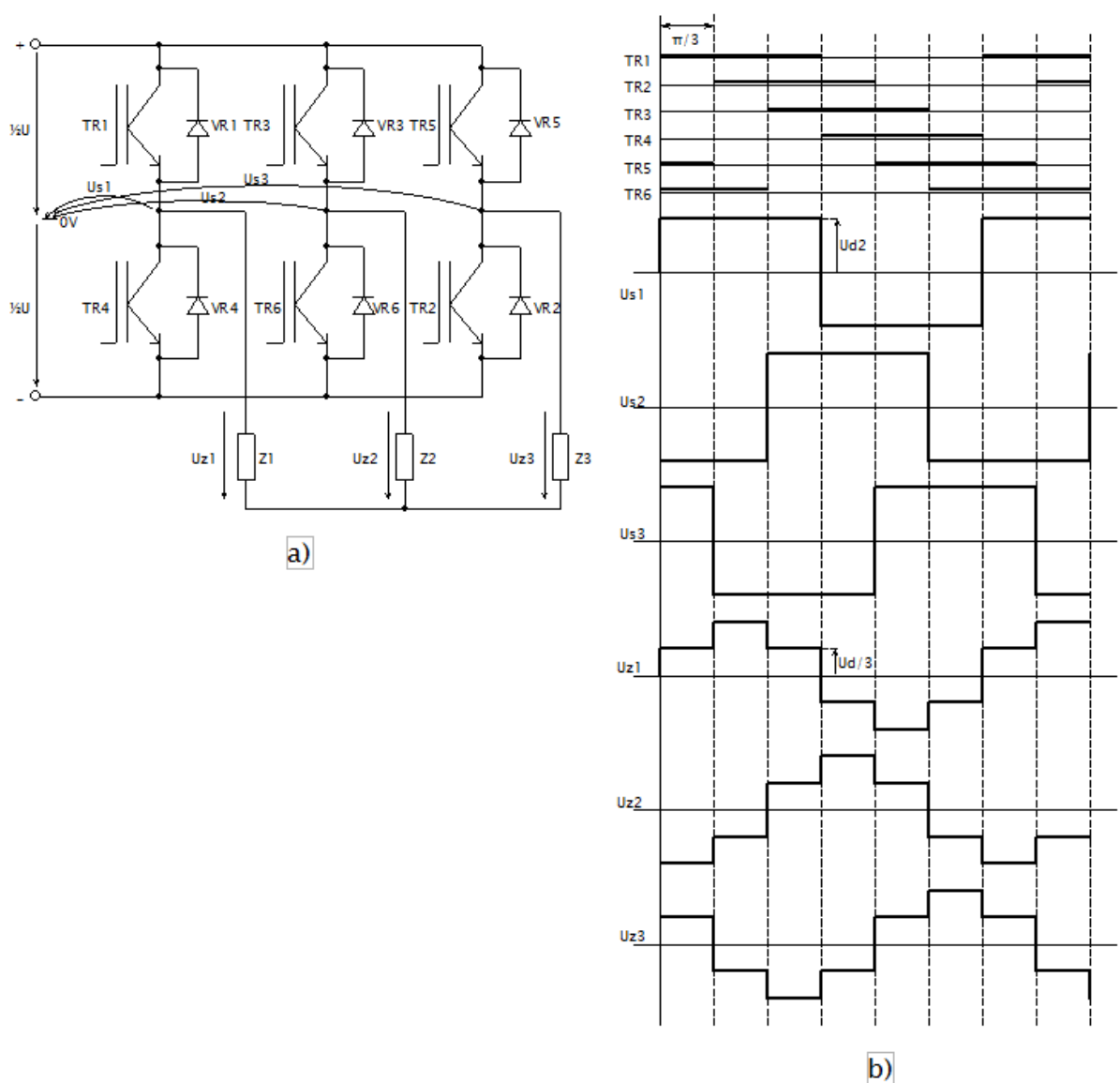
$$U_{z1} = \frac{2U_{s1} - U_{s2} - U_{s3}}{3} \quad (4)$$

$$U_{z2} = \frac{2U_{s2} - U_{s1} - U_{s3}}{3} \quad (5)$$

$$U_{z3} = \frac{2U_{s3} - U_{s1} - U_{s2}}{3} \quad (6)$$

Rovnice (4),(5),(6) udávají vztah mezi fázovými napětími střídače a fázovými napětími zátěže. Výhodou napěťových střídačů se zátěží spojenou do Y je, že činností střídače se odfiltruje 3. harmonická složka napětí a její násobky z fázového napětí střídače na fázové napětí zátěže. Tyto rovnice jsou také platné nejen pro obdélníkové řízení. V každém okamžiku funkce střídače jsou sepnuty tři prvky najednou. Sepneme-li všechny horní prvky střídače (TR1,TR3,TR5) nebo všechny dolní prvky (TR4,TR6,TR2), dostáváme na zátěži nulové napětí. Aby mohl obvodem protékat proud musí být sepnut alespoň jeden prvek horní skupiny a jeden prvek dolní skupiny tranzistorů. To znamená, že nemá smysl řídicí úhel Ψ pod $\pi/3$ a zároveň nesmí docházet k překrytí sepnutí horního a dolního prvku zároveň => $\pi/3 < \Psi < \pi$. Čas dead timu je v tomto případě zanedbáván. Při obdélníkovém řízení 3f střídače viz obr. 11b je velikost první harmonické fázového napětí zátěže $U_{z(1)} = \frac{2U}{\pi}$ oproti velikosti $U_{z(1)} = \frac{U}{2}$ při použití referenční PWM. Kvůli pulzačním momentům motoru (zvláště při malých kmitočtech) a příliš velkému obsahu vyšších harmonických ve fázovém napětí zátěže při obdélníkovém řízení je použito pulzně šířkové řízení (PWM) střídačů.

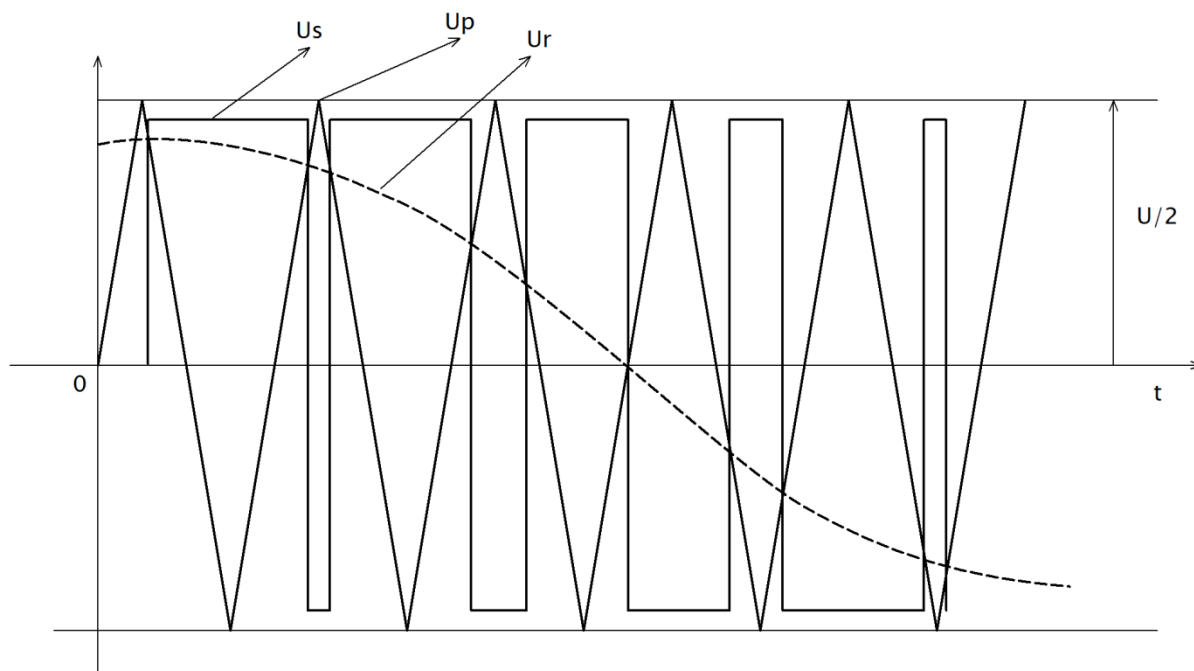
To se dále dělí na různé druhy např. korigované referenční PWM (s injektovanou 3. harmonickou) v modulačním signálu, vektorové (polární) PWM. Tyto různé způsoby řízení mají účel dosáhnout co největší hodnoty první harmonické fázového napětí střídače vzhledem k velikosti napětí ve stejnosměrném meziobvodu U . U polárního nebo PWM s injektovanou 3. harmonickou, je velikost $U_{z(1)} = \frac{U}{\sqrt{3}}$. Uvedený princip napěťového střídače převzat z [2].



Obr. 11 3f napěťový střídač a) schéma b) spínací diagram

2.2.1.1. Sinusová pulzně šířková modulace napětí střídače

Při nižším kmitočtu, musí být na motoru i nižší napětí aby nedošlo k přesycení magnetického obvodu motoru. Tuto změnu napětí a zároveň i změnu výstupního kmitočtu umožňuje pulzní šířková modulace. Spínání tranzistorů je vyhodnocováno na základě koincidence modulačního signálu a pilového signálu viz obr. 12.



Obr. 12 koincidence pilového a modulačního signálu

- U_r - modulační (řídící napětí)
- U_p - napětí pily-má hodnotu $\pm U/2$ napětí v ss meziodbvodu.
- U_s - fázové napětí na výstupu střídače

Kladný zapínací pulz zapíná horní tranzistor v jedné fázi střídače je-li $U_r > U_p$ a dolní tranzistor je zapínán je-li $U_r < U_p$. Efektivní hodnota fázového napětí střídače (1.harmonická) při PWM je:

$$\frac{U}{2} \cdot \frac{1}{\sqrt{2}} = 0,353U = 0,82 Uf(ef)$$

U obdélníkového řízení je velikost 1.harmonické výstupního napětí střídače:

$$\frac{U}{2} \cdot \frac{1}{\sqrt{2}} \cdot \frac{4}{\pi} = 0,45U = 1,04 Uf(ef)$$

3. Jednotlivé prvky výkonového měniče

3.1. Moduly IGBT

Jelikož je v laboratoři výkonová část měniče již postavena, je možné tedy při návrhu driveru uvažovat jen IGBT moduly od firmy Semikron s pouzdrům SEMITRANS 2. Proto je driver dimenzován pro spínání výkonových modulů až do maximálních výkonových možností, které firma Semikron v tomto pouzdře vyrábí :

- označení modulu: *SKM195GB066D*
- jmenovitý proud: $I_C = 265 \text{ A}$ (při ustálené teplotě $T_C = 25^\circ\text{C}$) nebo $I_C = 200 \text{ A}$ při $T_C = 80^\circ\text{C}$
- maximální napětí mezi C a E tranzistoru v propustném směru: $V_{CES} = 1200 \text{ V}$
- napětí na hradle pro spínání tranzistoru: $V_{GES} = \pm 20 \text{ V}$
- kapacita hradla: $C_{ies} = 12,3 \text{ nF}$
- doba zapnutí tranzistoru od příchodu zapínacího pulzu: $t_{d(on)} = 160 \text{ ns}$ (platí při použití minimálního možného hradlového odporu $R_{G(on)} = 3 \Omega$)
- náběžná hrana zapínacího pulzu: $t_r = 68 \text{ ns}$
- energie potřebná pro sepnutí/vypnutí tranzistoru: $E_{on/off} = 14/8 \text{ mJ}$
- doba vypnutí tranzistoru od příchodu záporného, vypínacího pulzu: $t_{d(off)} = 520 \text{ ns}$
- doběžná hrana vypínacího pulzu: $t_f = 49 \text{ ns}$

V katalogu je uvedeno ještě mnoho dalších důležitých údajů, např. hodnota přechodového odporu chip-pouzdro $R_{th(j-c)}$. Tato informace je ale důležitá jen při navrhování chlazení pro IGBT modul a je tudíž mimo rozsah této práce. Výše vypsání hodnoty z katalogu jsou důležité při navrhování velikosti DC/DC měničů, kdy je důležité znát střední hodnotu odebíraného proudu při spínání tranzistoru. Detailněji je tento problém popsán v kapitole 3.8.Zdroje.

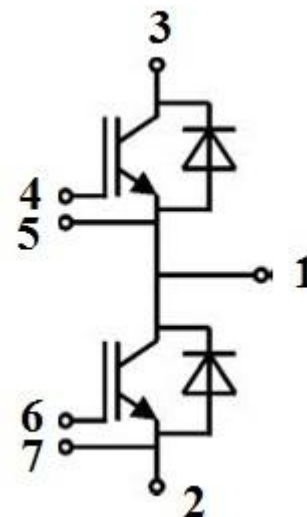
Momentálně jsou v měniči použity tyto IGBT moduly: *SKM100GB12T4*

- $I_C = 160 \text{ A}$ ($T_C = 25^\circ\text{C}$), $V_{CES} = 1200 \text{ V}$, $V_{GES} = \pm 20 \text{ V}$.

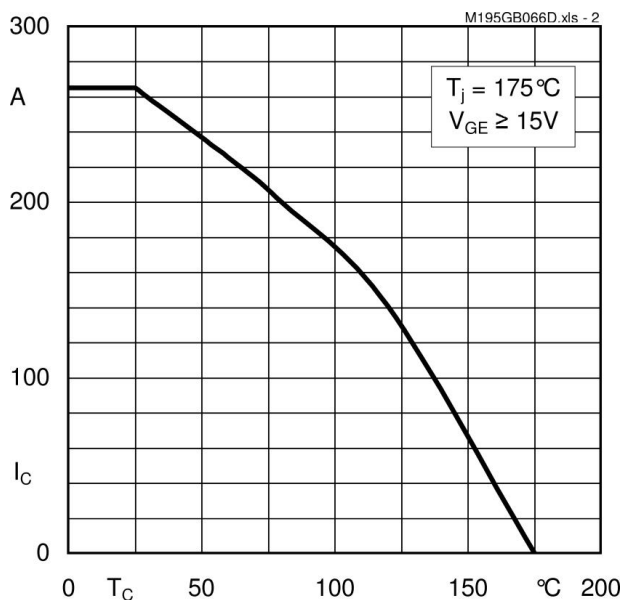
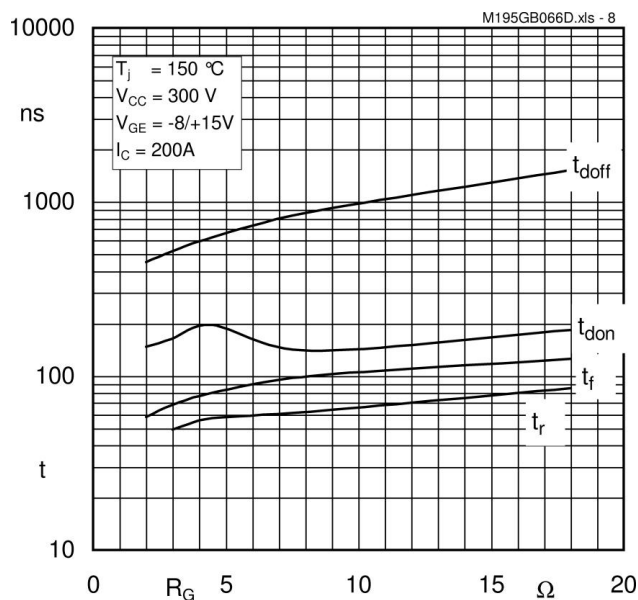
Pouzdro IGBT modulu a jeho vnitřní zapojení je na obrázku 13.



a) pouzdro SEMITRANS 2



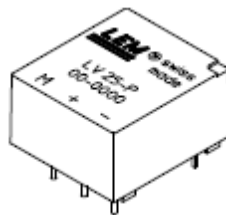
b) vnitřní zapojení

Obr. 13 IGBT modul SKM195GB066D²a) $I_C = f(T_C)$ b) $t_{d(on),(off)}, t_{f,r} = f(R_G)$ Obr. 14 a) Funkce závislosti I_C na teplotě b) Funkce závislosti R_G a doby sepnutí/vypnutí tranzistoru

Na obrázku 14 a) je vidět závislost jmenovitého kolektorového proudu v závislosti na teplotě. Obr. 14 b) zobrazuje závislost gatového odporu a doby sepnutí a vypnutí tranzistoru po příchodu zapínacího nebo vypínacího pulzu na gate a doby nárůstu a poklesu proudu hradlem (měří se od 10% do 90% hodnoty proudu). Tento IGBT modul patří mezi tzv. bezpotenciální, to znamená, že část pouzdra, určená pro chlazení modulu, je odizolována od elektrické části modulu. Ovládací vývody jsou řešeny konektory typu Faston a stejné je to i na desce driveru, odkud jsou signálové vodiče k modulům vedeny. Silové vývody z pouzdra jsou řešeny jako styčné plochy s vnitřním závitem.

² Obr. 13 a 14 převzat z datasheetu firmy Semikron

3.2. Lem - čidlo napětí

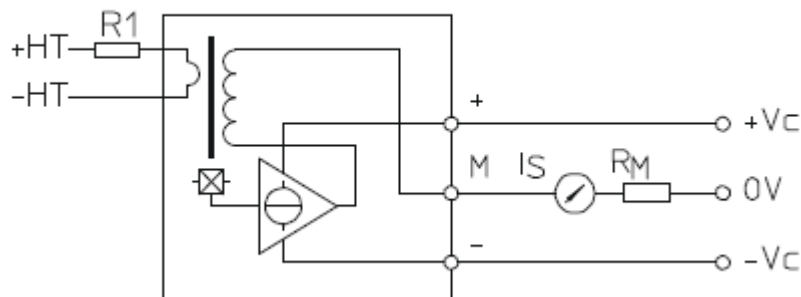


Obr. 15 pouzdro Lem čidla napětí³

Na desce driveru je umístěno čidlo LEM LV 25-P. Typicky se toto čidlo používá pro měření vstupního napětí střídačů a pulzních měničů. Jedná se tedy o stejnosměrné napětí, které je ještě vyhlazeno kondenzátorem s velkou kapacitou, ve stejnosměrném mezi-obvodu. Napěťové čidlo obsahuje Hallovu sondu. Umožňuje měření střídavých, stejnosměrných a impulsních napětí. Proud úměrný měřenému napětí musí procházet skrz externí odpor R1, který je určen (vypočítán) uživatelem. Primární obvod (vysoko-napěťový) je galvanicky oddělen od sekundárního obvodu (výstupního). Vstup tohoto snímače je na rozdíl od snímače proudu „měkký“ (vnitřní odpor je dán předřadným odporem R1) => kompenzační elektronika, uvnitř snímače, ovlivňuje magnetické poměry v magnetickém obvodu a odezva snímače je proto pomalejší než u čidla LA55. Na obr.16 je vidět zapojení čidla.

Tab.1 Maximální a jmenovité údaje LEM LV25-P

Veličina	min.	max.	Jednotky
V _{pn}	10	500	V
I _{pm}	0	±14	mA
I _{pn}		10	mA
I _{sn}		25	mA
K _n	2500:1000		-
V _c (±5%)	±12	±15	V
R _m (±15V, ±10mA)	100	350	Ω
I _c		10 + I _s	mA
T _a	0	+70	°C



Obr. 16 Zapojení vstupu a výstupu napěťového čidla LEM LV 25-P

³ Obr. 15 a 16 převzat z katalogu firmy LEM

Primární jmenovitý proud I_{PN} je udán v datasheetu ± 10 mA. Podle velikosti měřeného napětí na vstupních svorkách $\pm HT$ spočítáme, podle ohmova zákona, potřebnou velikost vstupního odporu R1. Nakonec byl zvolen R1 jako kombinace 3 sériově zapojených odporů, každý s hodnotou 22 k Ω /3W.

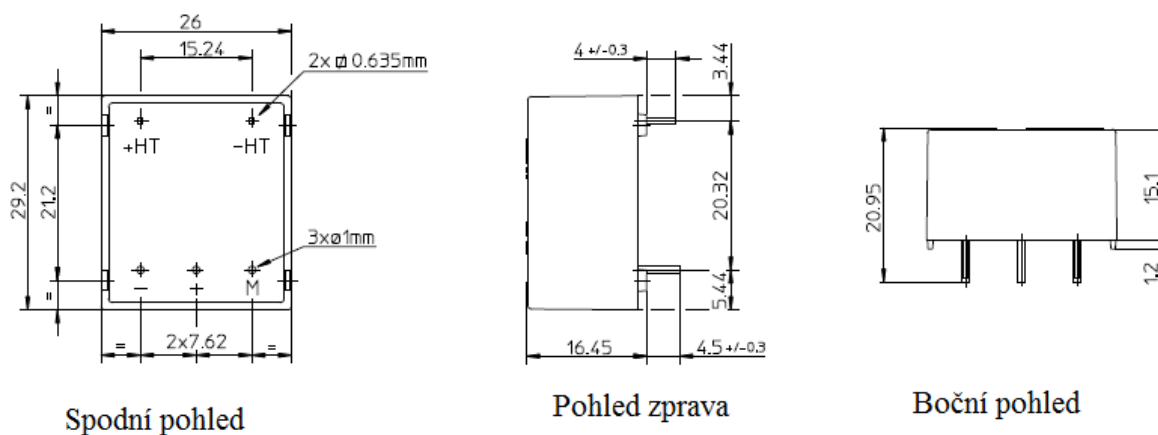
$$R1 = \frac{U_p}{I_{PN}} = \frac{660}{10^{-3}} = 66k\Omega$$

Z každého odporu je vyveden jeden vstup na svorkovnici. Dostáváme tedy tři rozsahy měřeného vstupního napětí a to 220 V, 440 V a 660 V.

Výhody tohoto čidla napětí s Halloovou sondou jsou:

- Velká přesnost
- Malá teplotní závislost
- Linearita
- Krátký čas odezvy
- Vysoká odolnost proti vnějšímu rušení
- Nízké rušení mezi sebou při společné činnosti více Lemů

Rozměry pouzdra jsou na obr. 17

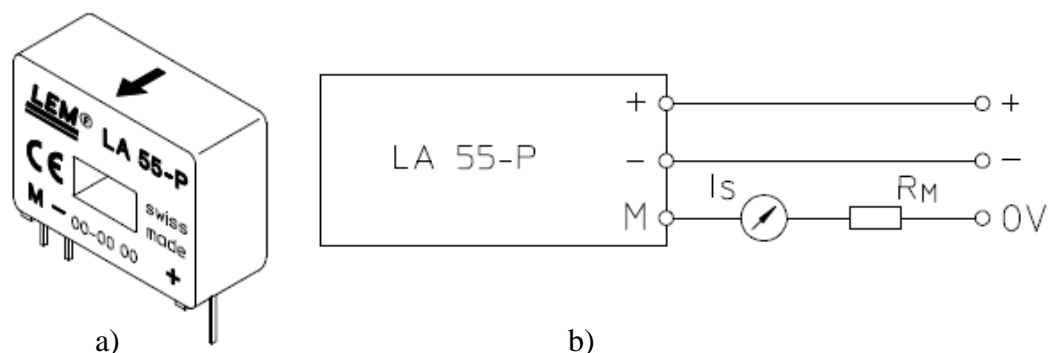


Obr.17 Rozměry pouzdra napětového čidla LEM 25-P⁴

⁴ Převezato z katalogu firmy LEM

3.3. Lem – čidlo proudu

Pro měření proudu zátěže byly použity tři čidla LEM LA55-P, pro každou fázi jedno. Tyto čidla obsahují, stejně jako čidlo napětí, Hallovu sondu v kompenzačním zapojení (kompenzace magnetických účinků měřeného proudu). Je určeno pro měření DC, AC a pulzních proudů. Primární obvod (silový) je galvanicky oddělen od sekundárního (elektronického). Toto čidlo je umístěno v plastovém pouzdře a je určeno přímo pro uchycení na desku plošného spoje.



Obr. 18 Proudové čidlo LEM LA55-P⁵

a) Pouzdro čidla b) zapojení na sekundární (vyhodnocovací) straně

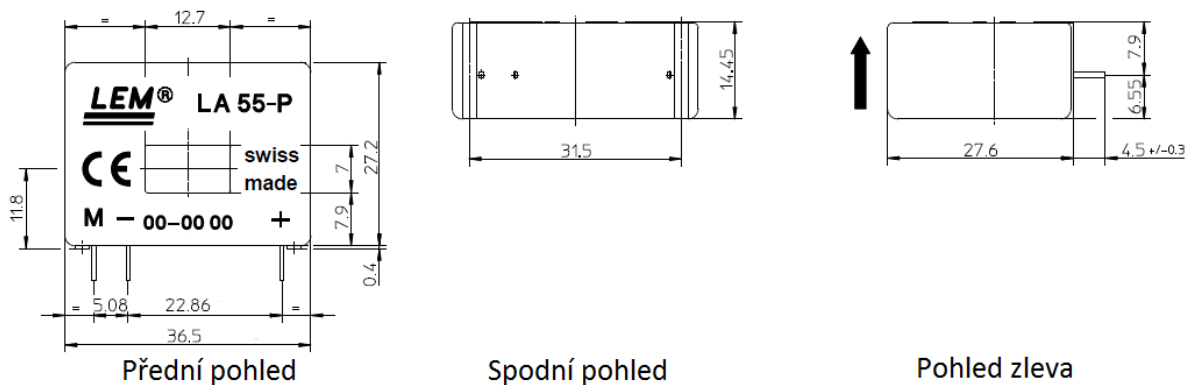
Snímač LA55 je průvlekový, to znamená, že počtem závitů (průvleků) vodiče, skrz který teče měřený proud, se mění jeho rozsah. Měřicí rozsah čidla je ± 70 A. Při měření AC proudu je také důležité znát frekvenční rozsah. Podle výrobce nastává útlum 1 dB při frekvenci měřeného proudu 200 kHz. V této práci je proto tento údaj zanedbatelný. V tabulce 2 jsou uvedené důležité údaje čidla LA55-P.

Tab. 2 Maximální a jmenovité údaje LEM LA55-P

Veličina	min.	max.	Jednotky
I_{pm}		± 70	A
I_{pn}		50	A
I_{sn}		50	mA
K_n		1:1000	-
$V_c (\pm 5\%)$	± 12	± 15	V
$R_m (\pm 15V, \pm 50mA)$	100	350	Ω
I_c		$10 + I_s$	mA
T_a	-25	+85	$^{\circ}C$

⁵ Převzato z katalogu firmy LEM

Na obr. 19 jsou uvedeny rozměry pouzdra.



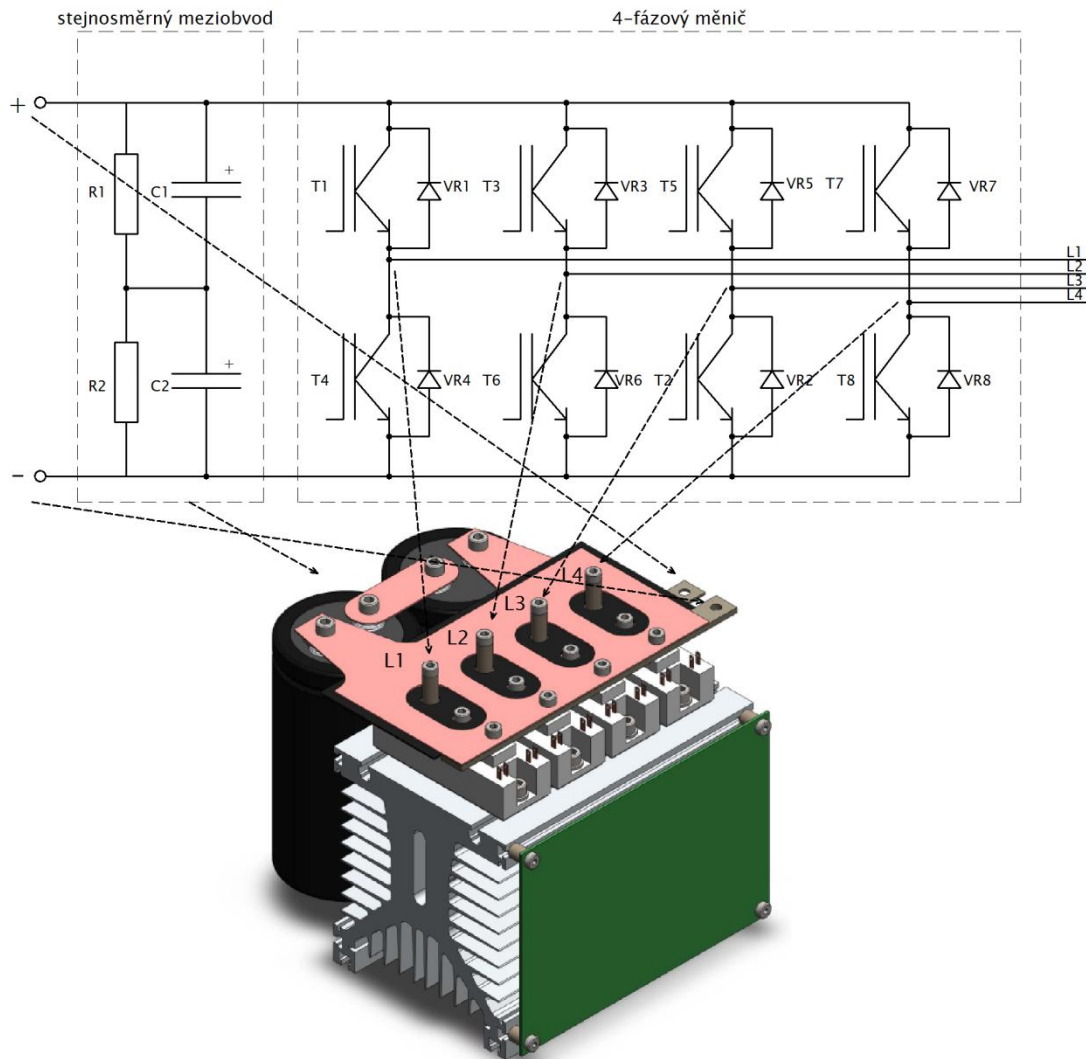
Obr.19 Přesné rozměry pouzdra čidla LEM LA55-P⁶

Proud I_s je kladný, pokud měřený proud prochází ve směru šipky vyznačené na pouzdru. Výhody tohoto čidla proudu jsou stejné, jaké byly zmíněny u napěťového čidla.

3.4. Zapojení svorek výkonového obvodu

Obr. 20 ukazuje jednotlivé vývody z pouzder IGBT modulů a které části výkonového obvodu, napěťového střídače s brzdícím choperem, jim přísluší.

⁶ Rozměry pouzder jak u napěťového, tak u proudového čidla jsou zde uvedeny, protože z nich bylo vycházeno při návrhu pouzdra pro desku plošného spoje v programu EAGLE



Obr. 20 Zapojení vývodů IGBT modulů⁷

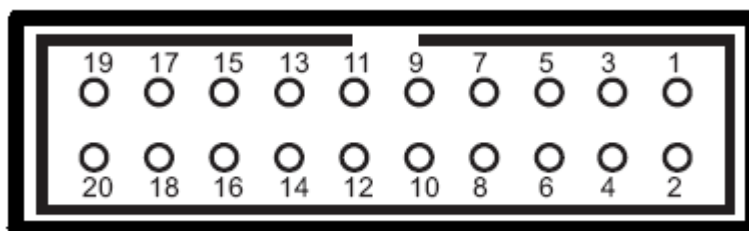
- L 1** - svorka výstupního napětí pro první fázi
- L 2** - svorka výstupního napětí pro druhou fázi
- L 3** - svorka výstupního napětí pro třetí fázi
- L 4** - svorka pro brzdový odpor
- +IN** - svorka pro přivedení kladného, stejnosměrného, vstupního napětí
- IN** - svorka pro přivedení záporného, stejnosměrného, vstupního napětí

⁷ Obrázek převzat a upraven z diplomové práce „Stavba laboratorního měniče pro výuku předmětu elektrické pohony“ - Hořejš M.

3.5. Zapojení konektorů a jumperů

3.5.1. Konektor WSL 20

Tento konektor je určen pro připojení DSP (digitálního, signálového procesoru), který řídí spínání tranzistorů.

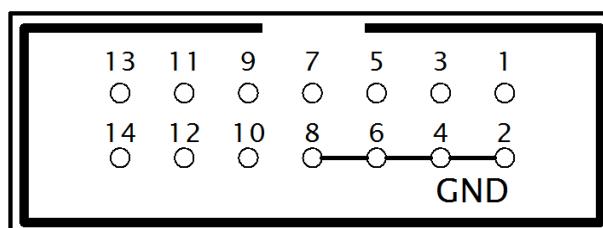


1. Pin - volný
3. Pin - řídicí signál pro IGBT tranzistor TOP 1
5. Pin - řídicí signál pro IGBT tranzistor BOT 1
7. Pin - řídicí signál pro IGBT tranzistor TOP 2
9. Pin - řídicí signál pro IGBT tranzistor BOT 2
11. Pin - řídicí signál pro IGBT tranzistor TOP 3
13. Pin - řídicí signál pro IGBT tranzistor BOT 3
15. Pin - řídicí signál pro IGBT tranzistor TOP 4
17. Pin - řídicí signál pro IGBT tranzistor BOT 4
19. Pin - FAULT – vstupní signál pro DSP

Piny 2, 4, 6, 8, 10, 12, 14, 16, 18, 20 jsou připojené na GND

3.5.2. Konektor WSL 14

Tento konektor slouží pro vyvedení signálů z čidel LEM (napětí a proudů)



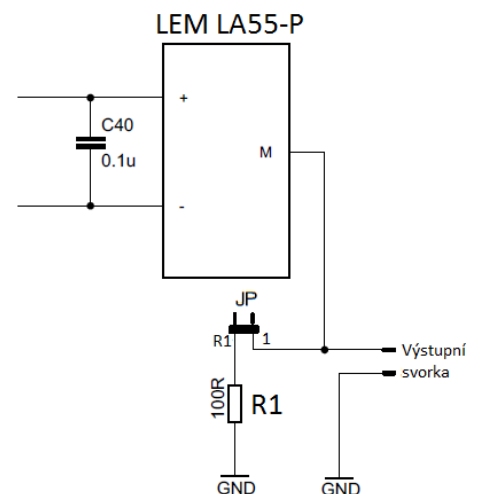
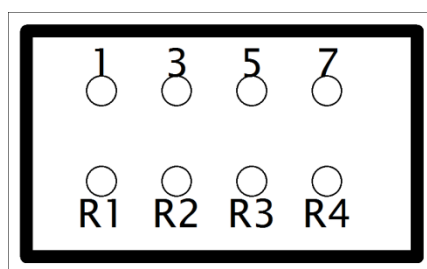
1. Pin – výstup z čidla proudu – fáze 1
3. Pin – výstup z čidla proudu – fáze 2
5. Pin – výstup z čidla proudu – fáze 3
7. Pin – výstup z čidla napětí

Piny 2, 4, 6, 8 jsou připojeny na GND

Piny 9, 10, 11, 12, 13, 14 jsou neobsazeny. Konektor WSL se 14 piny byl použit proto, že v laboratoři KEV tento konektor pro čtení hodnot z čidel LEM, u podobného driveru, již používají.

3.5.3. Jumperový konektor pro volbu výstupů z čidel

Na tomto konektoru si pomocí jumperů můžeme zvolit, jestli bude výstup z čidel proudového nebo napěťového typu.



Obr. 21 Zapojení výstupu z čidla proudu

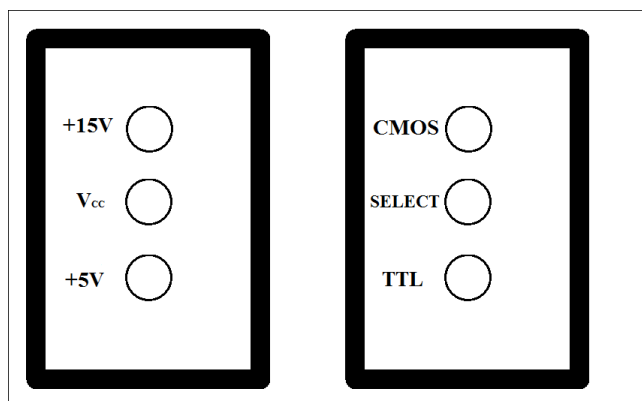
Pokud propojíme zkratovací propojkou pin 1 a R1, bude na výstupní svorce napětí úměrné velikosti měřeného proudu. Pokud necháme piny nepropojené, na výstupní svorce bude proud, úměrný velikosti měřeného proudu. Obr. 21 zobrazuje jedno proudové čidlo LEM LA55-P, jehož výstup je vyveden na piny 1 a R1.

Výstupy z čidel proudu LEM LA55-P:

- pin R1 - L3
- pin R2 - L2
- pin R3 - L1

Výstup z čidla napětí LEM LV 25-P: - pin R4

3.5.4. Jumperové pole pro volbu TTL nebo CMOS technologie



Pokud jumper propojuje piny V_{CC} a +15 V, mohou mít výstupy z DSP úrovně 0-15 V. Pokud je propojen pin V_{CC} s +5 V, mají výstupy z DSP úrovně 0-5 V. Je-li vstup SELECT propojen s pinem TTL (potenciál GND), znamená to, že výstupy (jejich úrovně) z CD4504 budou kompatibilní s technologií TTL. Pokud bude SELECT propojen s pinem CMOS (potenciál V_{CC}), budou výstupy z CD4504 kompatibilní s technologií CMOS. Podrobnější vysvětlení zapojení jumperů ad kapitola 3.9.CD4504 - level shifter

3.6. Optočlen HCPL – 316J

Jedná se o optické oddělení ovládacích obvodů (TTL logiky) a výstupních výkonových obvodů. Tyto výkonové obvody poskytují budící signály pro hradla (Gate) IGBT tranzistorů, o přesně definovaných parametrech. Tzn, že zapínací pulz má potřebnou strmou náběžnou i doběžnou hranu a je schopen dodat do hradla tranzistoru, potřebnou energii pro jeho rychlé a spolehlivé otevření. Tento optočlen je schopen spínat IGBT tranzistory až do kolektorového proudu $I_C = 150$ A a napětí $U_{CE} = 1200$ V. Na laboratorním měniči ale budou použity výkonové IGBT moduly s $I_C = 265$ A, a $U_{CE} = 1200$ V jejichž kapacita hradla převyšuje mez, kterou je ještě optočlen schopen spínat s danou strmostí náběžné hrany zapínacího impulsu. Proto jsou mezi optočleny a brány IGBT tranzistorů zařazeny ještě pomocné obvody IXDD_430YI.

Optočlen HCPL – 316J :

- je kompatibilní s TTL logikou

Je vybaven:

- integrovanou desaturační ochranu (U_{CE})
- zpětnou vazbou detekce chyby
- podpěťovou ochranou (UVLO) s hysterezí

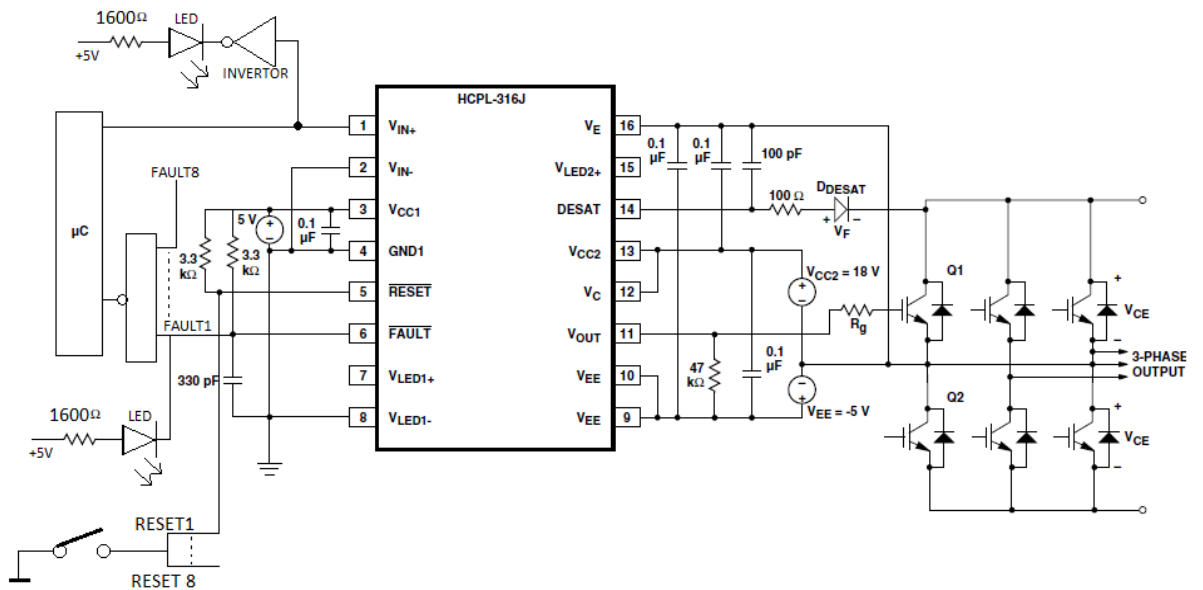
Uživatelské nastavení:

- invertující, neinvertující výstup
- auto – reset
- auto – shutdown

Na obr. 22 je vidět neinvertující zapojení optočlenu. Na vstupu je přes inverter a odpor připojena LED dioda, pro kontrolu přítomnosti vstupních signálů z dead time logiky a DSP. Každý optočlen má jednu signalizační LED. Optočleny pro řízení horních tranzistorů mají zelenou LED diodu a pro dolní tranzistory mají oranžovou. Diody jsou zapojeny přes invertory proto, aby neovlivňovaly svou vlastní spotřebou vstupní řídicí signály do HCPL. Chybové výstupy FAULT jsou v provedení otevřený kolektor a proto je možné je všechny spojit do jednoho společného výstupu. U tohoto driveru jsou přivedeny všechny výstupy FAULT na jedno osmi vstupé hradlo NAND. Signálový procesor vyhodnocuje chybu logickou nulou, proto je vhodné použít hradlo typu AND. Z důvodu lepší dostupnosti osmi vstupních hradel NAND je jeho výstup ještě negován. Navíc je ještě mezi +5 V a FAULT výstupem zapojena u každého optočlenu červená LED dioda spolu s odporem, pro lepší identifikaci chyby. Zde nebylo potřeba zařazovat inverter a hradit tak spotřebu LED diody, protože výrobce uvádí, že FAULT výstup je možné zatížit proudem až 8 mA. K výstupu je navíc připojen pull-up odpor $R = 3,3 \text{ k}\Omega$. Pomocí ohmova zákona zjistíme, že při napětí 5V teče do výstupu FAULT přes pull-up odpor asi 1,5 mA. Při použití SMD diod s předřazeným odporem, tak aby proud diody byl $I_f = 5 \text{ mA}$ a napětí na ní bylo $U_f = 1,8 \text{ V}$, spočítáme předřadný odpor podle vzorce:

$$R_P = \frac{\Delta U}{I} = \frac{5-1,8}{0,005} = 640\Omega$$

K vyhodnocení chyby dojde, když napětí na sepnutém tranzistoru U_{CE} překročí referenční hodnotu 7 V a zareaguje tak desaturační ochrana. FAULT výstup setrvává potom v logické nule, dokud do logické nuly není přiveden i vstup RESET. V tomto případě jsou všechny vstupy RESET spojeny do jednoho a připojeny přes pull-up rezistor na +5 V. Přes tlačítko jsou pak resetovány všechny HCPL najednou.

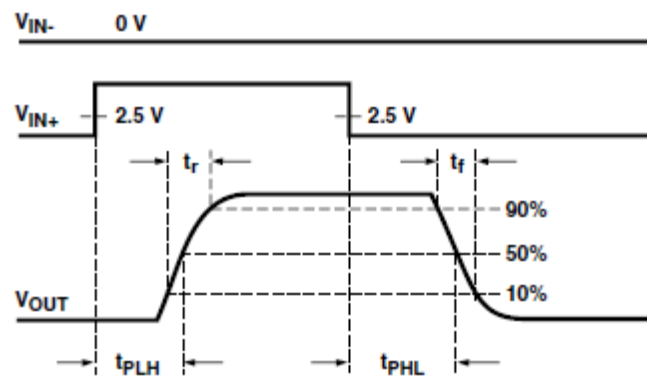
Obr.⁸. 22 Neinvertující zapojení optočlenu HCPL 316-J

Desaturační ochrana musí být aktivní jen když je tranzistor v sepnutém stavu. Mimo tento interval je ochrana neaktivní a této době se říká „Blanking time“ neboli „slepý“ čas. Tento čas je závislý na vnitřním desaturačním nabíjecím proudu I_{CHG} , na desaturačním napětí (7 V) U_{DESAT} a na externím desaturačním kondenzátoru C_{BLANK} .

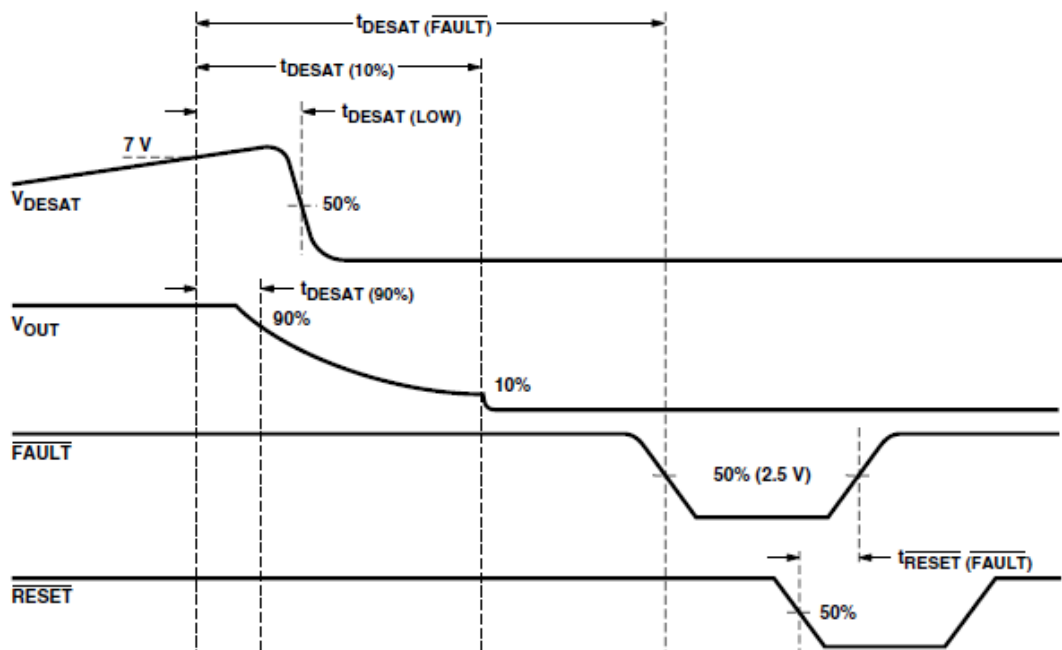
$$t_{BLANK} = \frac{C_{BLANK} \times U_{BLANK}}{I_{CHG}} = \frac{100e^{-9} \times 7}{250e^{-6}} = 2,8e^{-6}s$$

Jmenovitý „slepý“ čas s doporučenou velikostí externího kondenzátoru 100 pF vychází 2,8 μ s. Tento čas také udává, jaká je nejdelší reakce HCPL na zkrat a saturaci tranzistoru. Externí kondenzátor smí být měněn jen v malém rozsahu a nedoporučuje se, aby jeho hodnota byla menší než 100 pF. Podpěťová ochrana (UVLO) slouží k tomu, aby během zapínání HCPL nebylo na gate IGBT tranzistoru nedostatečné napětí. To by vedlo k přehřátí tranzistoru, jelikož by pracoval v nelineární části jeho charakteristiky. Obvykle se na gate přivádí zapínací impuls o velikosti 15V. Pokud je poskytnuto dostatečné napájecí napětí, je velikost gatového napětí udržena. Při vypínání tranzistoru je na jeho bránu přiváděno napětí -5 V. To zajistí jeho rychlé vypnutí, protože se rychle odvede náboj z hradla.

⁸ Převzato a upraveno z katalogu firmy Agilent technologies



Obr.⁹. 23 Zpoždění a tvar signálu na výstupu HCPL při neinvertujícím zapojení



Obr. 24 Průběhy signálů desaturačního napětí, výstupního napětí, výstup FAULT a vstup RESET a jejich zpoždění v čase

⁹ Obr. 23 a 24 převzat z katalogu firmy Agilent technologies

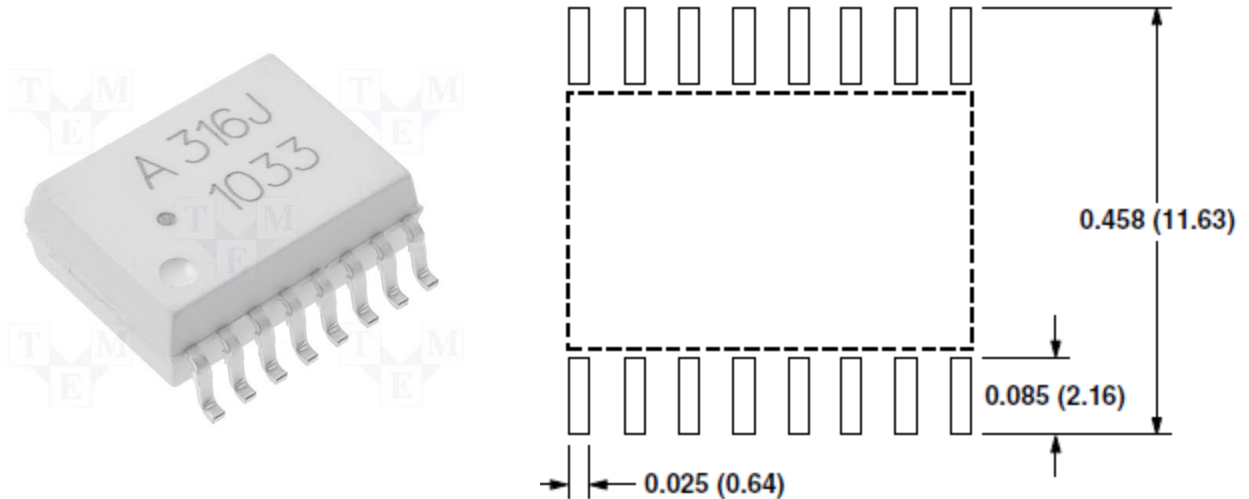
Tab. 3 - hodnoty časů náběžných, doběžných hran výstupního signálu

Veličina	min.	Typ.	max.	Jednotky
t_{PLH}	0,1	0,3	0,5	μS
t_{PHL}	0,1	0,32	0,5	
t_r	0,1			
t_f	0,1			
$t_{desat(90\%)}$	0,3 0,5			
$t_{desat(10\%)}$	2 3			
$t_{desat(FAULT)}$	1,8 5			
$t_{desat(LOW)}$	0,25			
$t_{RESET(FAULT)}$	3	7	20	

Tabulka 3 ukazuje různé doby zpoždění výstupního signálu ke vstupnímu, doby náběžných a doběžných hran výstupního signálu atd. Jednotlivé časy a jejich význam je zřejmý z obrázků 23 a 24.

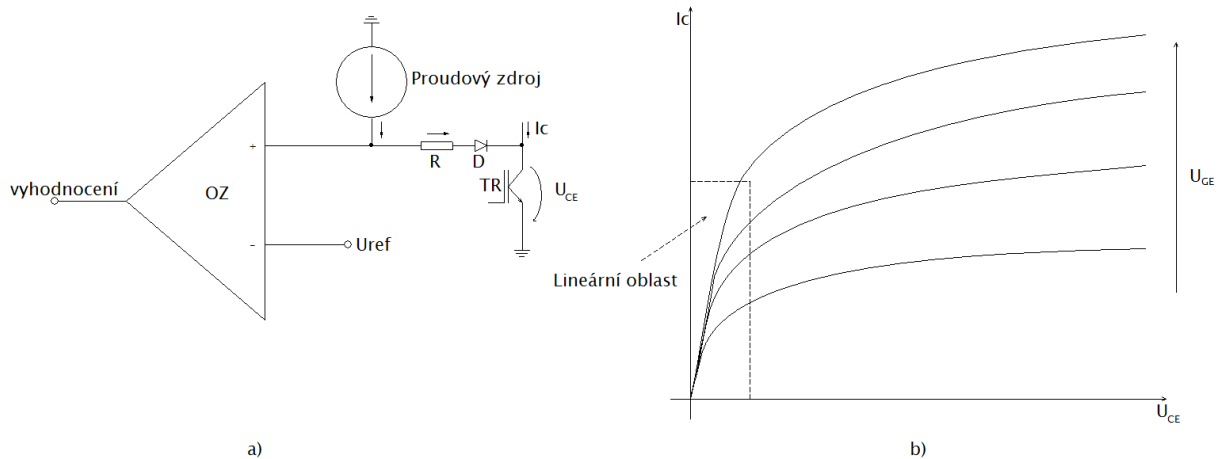
- t_{PLH} - zpoždění náběhu výstupního signálu z logické L do H (v 50%) vůči vstupní náběžné hraně
- t_{PHL} - zpoždění poklesu výstupního signálu z logické H do L (v 50%) vůči doběžné hraně signálu na vstupu optočlenu
- t_R - doba náběhu výstupního signálu z logické L do H (mezi 10% a 90%)
- t_F - doba poklesu výstupního signálu z logické H do L (mezi 10% a 90%)
- $t_{DESAT(90\%)}$ - doba od překročení napěťové desaturační hranice(7V) do poklesu výstupního napětí na 90%
- $t_{DESAT(10\%)}$ - doba od překročení napěťové desaturační hranice(7V) do poklesu výstupního napětí na 10%
- $t_{DESAT(FAULT)}$ - doba od překročení napěťové desaturační hranice (7V) do poklesu chybového signálu FAULT na 50% z logické H na L
- $t_{DESAT(LOW)}$ - doba od překročení napěťové desaturační hranice (7V) do poklesu desaturačního napětí na 50% jeho velikosti
- $t_{RESET(FAULT)}$ - doba od překročení napěťové desaturační hranice (7V) do poklesu vstupního signálu RESET na 50% z logické H do L (v případě že je reset generován v DSP)

Optočlen je napájen z DC/DC měniče. Na sekundární (výkonové straně) je možné mezi napájecí vstup V_E a V_{CC2} přivést 15 až 30 V a mezi V_E a V_{EE} 0 až 15 V. U tohoto driveru se z DC/DC měniče napájí optočlen +15 V (mezi V_E a V_{CC2}) a -5 V (mezi V_E a V_{EE}).



Obr¹⁰. 25 a) pouzdro b) a jeho rozměry optočlenu HCPL 316 pro navržení součástky v programu EAGLE

3.6.1. Princip desaturační ochrany



Obr. 26 a) principiální schéma des. ochrany, b) charakteristika spínání tranzistoru

U výkonových tranzistorů ve spínacím režimu je snahou, aby na nich byl, při velkých spínaných proudech, co nejmenší napěťový úbytek. Tzn., že se snažíme pohybovat v lineární části jejich V-A charakteristiky viz. obr. 26 b).

¹⁰ převzato z katalogu firmy Agilent technologies a z internetových stránek firmy TME.

Jednotlivé křivky odpovídají různým velikostem napětí U_{GE} . Čím větší je na tranzistoru úbytek napětí (tranzistor přejde do saturace), tím větší je ztrátový výkon. Ten se přemění na teplo, které je třeba ze součástky odvézt. V lineární části charakteristiky, bývá v sepnutém stavu na IGBT tranzistorech napětí U_{CE} kolem 1,5 až 4 V. V oblasti, kdy je tranzistor v saturaci už při nepatrně větším proudu stoupá rychle napětí U_{CE} . Desaturační ochrana zareaguje, pokud napětí mezi C a E přesáhne hodnotu 7V, když je tranzistor sepnutý. Když tranzistor nevede, musí dioda udržet napětí v závěrném směru několik stovek až 1000 V podle velikosti napětí ve stejnosměrném meziobvodu. Z proudového zdroje teče konstantní, malý proud přes odpor R a diodu D. Tento vodič je zároveň připojen na neinvertující vstup operačního zesilovače a je porovnáván s referenční hodnotou $U_{ref} = 7 \text{ V}$. Pokud je napětí $U_{CE} > 7 \text{ V}$, vyhodnotí to OZ jako signál, kladného smyslu, na jeho výstupu. Tím že má být desaturační ochrana aktivní jen když je tranzistor sepnutý a navíc je na vypnutém tranzistoru velké napětí U_{CE} , jsou na parametry diody kladeny zvláštní nároky. Zejména na její rychlost a napěťovou zatížitelnost. Konkrétně u tohoto driveru jsou použity diody podle datasheetu optočlenu HCPL 316J a to dioda UF4007 od General Semiconductor. Její parametry jsou:

$$t_{rr} = 75 \text{ ns}, V_{RRM} = 1000 \text{ V v pouzdru DO204AL}$$

t_{rr} - závěrný zotavovací čas diody

V_{RRM} - maximální závěrné napětí diody



Obr. 27 Pouzdro desaturační diody¹¹

3.7. Posilovací obvod IXDD_430YI

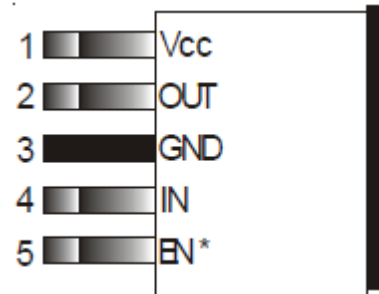
Jedná se o 30 ampérový, ultrarychlý IGBT/MOSFET driver. Protože jsou ve výkonovém obvodu měniče použity IGBT moduly s jmenovitými hodnotami $I_C = 265 \text{ A}$ a $U_{CES} = 1200 \text{ V}$, nestačí již pro jejich rychlé spínání výstupy optočlenu HCPL, ale musí být ještě výkonově posíleny. Tuto funkci plní právě budič IXDD_430YI. Z katalogu IGBT modulu byla zjištěna hodnota kapacity hradla jednoho tranzistoru, která je: $C_{ies} = 12,3 \text{ nF}$. Jak vypadá proudové zatížení a jaká je přibližná hodnota středního a efektivního proudu je ukázáno v kapitole DC/DC měniče. Hodnota 30 A, znamená, že špičkově je možné výstup z IXDD_430YI zatížit tímto proudem.

¹¹ Obrázek převzat z internetových stránek firmy GME - www.GME.cz

Výstupní napětí pro gate tranzistoru může být od 8,5 V do 35 V, záleží na napájení ixysu. Výhody a vlastnosti posilovacího obvodu jsou podobné jako u optočlenu HCPL 316J. Obsahuje také podpěťovou ochranu "UVLO". Oproti HCPL je ale tento posilovač schopen spínat kapacity hradel 5,6 nF pod 25 ns. Pro lepší informovanost o rychlosti spínání jsou na obr. 29 grafy závislosti dob náběžných a doběžných hran zapínacího pulzu na velikosti kapacity hradla IGBT tranzistoru. Mezi další výhody ixysu patří nízká vlastní spotřeba a nízká výstupní impedance. Díky těmto parametrům je možné IGBT tranzistory spínat až na hranici jejich technických možností (velká strmost zapínacího pulzu) => velká spínací frekvence. Na výstupu je sériově připojen gatový odpor s hodnotou 3,3Ω. Výrobce definovaný nejmenší gatový odpor pro tranzistor je 3 Ω. V reálu byly použity gatové odpory o velikosti 3,3 Ω. Na výstupu (vstup IN IXYSU) z optočlenu HCPL316J byl odpor z předepsané hodnoty v jeho datasheetu z 10 Ω zvýšen na 100 Ω, aby nebyl optočlen tolik zatěžován. Vstupní impedance IXDD_430YI je dost vysoká a nepotřebuje tudíž signál o větším proudu. Na obr. 28 b) je pouzdro součástky TO-263 s popsány vývody. Na napájecích svorkách jsou paralelně připojeny dva vyhlazovací kondenzátory, jeden je filtrační, keramický s hodnotou 100 nF a druhý je tantalový s hodnotou 68 μF/25 V.



a)



b)

Obr.¹².28 a) vzhled pouzdra b) popis pinů

Rozteč mezi jednotlivými piny je 1,7 mm a šířka pinu je 1mm. Rozměry celého pouzdra jsou 10x15 mm. Pro bližší informace o rozměrech pouzdra odkazují na Datasheet [6] IXDD_430YI.

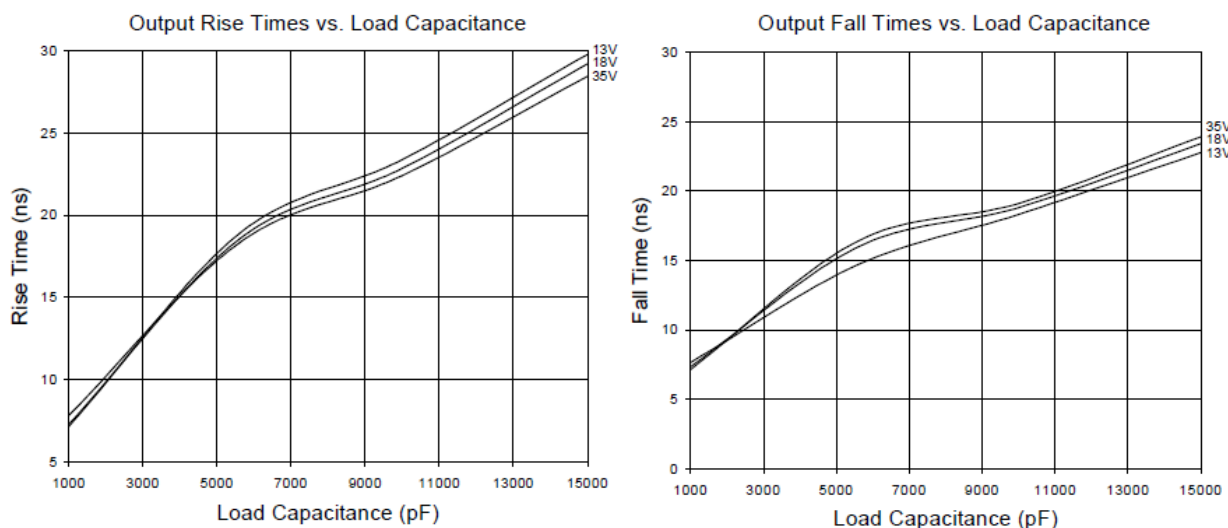
- V_{CC}** - Přivádí se na něj kladné napájecí napětí pro celou součástku (8,5 - 35 V)
OUT - Výstup, který je přes odpor připojen na bránu IGBT tranzistoru.

¹² převzato z katalogu firmy IXYS

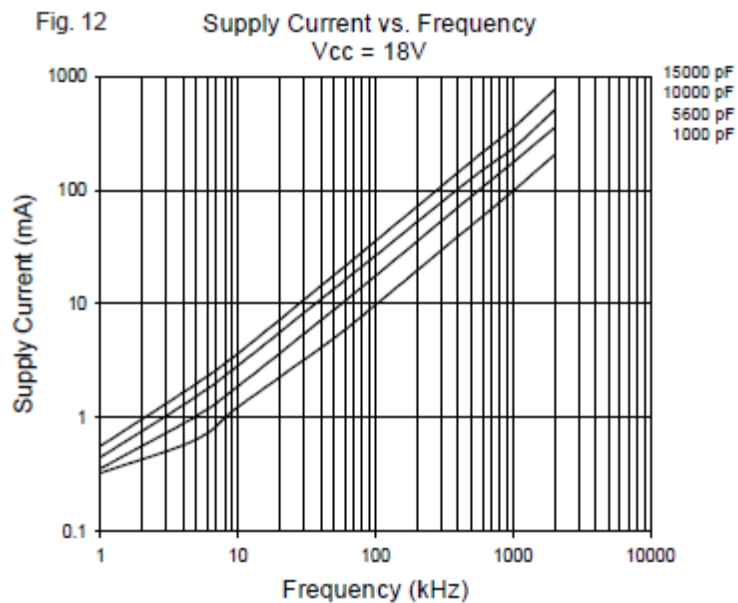
- GND** - Tento pin je připojen na -5 V z DC/DC měniče. Tímto záporným napětím je pak vypínán tranzistor. Rychleji se tak odvede náboj z hradla a tranzistor se i rychleji zavře.
- IN** - Tento vstup je kompatibilní s TTL a CMOS technologiemi. U tohoto driveru je tento vstup propojen s výstupem optočlenu.
- EN*** - Když je tento vstup přiveden do logické nuly, odpojí celou součástku přivedením jejího výstupu do vysokoimpedančního stavu. U tohoto driveru je pin EN* trvale propojen s pinem Vcc.

Tab. 4 - minimální, jmenovité a maximální hodnoty posilovacího obvodu IXDD_430YI

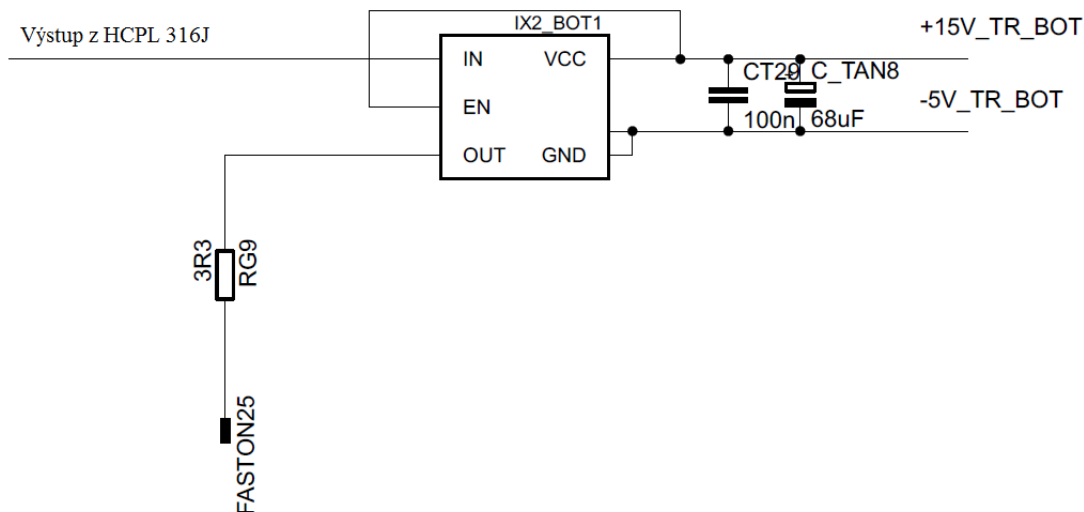
Veličina	min.	typ.	max.	Jednotky
V _{IH}	3,5			V
V _{IL}			0,8	
V _{IN}	-5		V _{CC} +0,3	
V _{CC}	8,5		35	
V _{OH}			V _{CC} -0,025	
V _{OL}			GND+0,025	
R _{OH}		0,3	0,4	Ω
R _{OL}		0,2	0,3	
I _{PEAK}		30		A
I _{DC}		8		

Obr¹³. 29 Závislost doby náběžné a doběžné hrany výstupního, řídicího signálu na spínané kapacitě¹³ obr. 28 a 29 převzat z katalogu firmy IXYS

Závislost strmosti náběžných a doběžných hran řídicího signálu na velikosti napájecího napětí V_{cc} je jen nepatrná s rozdílem v řádu jednotek nanosekund.



Obr.30 Odebíraný proud z DC/DC měniče v závislosti na frekvenci spínání a velikosti spínané kapacity hradla



Obr. 31 Zapojení posilovacího obvodu IXDD_430Y1

3.8. Zdroje

Při navrhování napájení celého driveru bylo nutné určit spotřebu všech součástek na desce plošných spojů, včetně uvážení potřebné energie pro spínání IGBT tranzistorů. Nakonec byl zvolen vhodný transformátor do DPS s parametry:

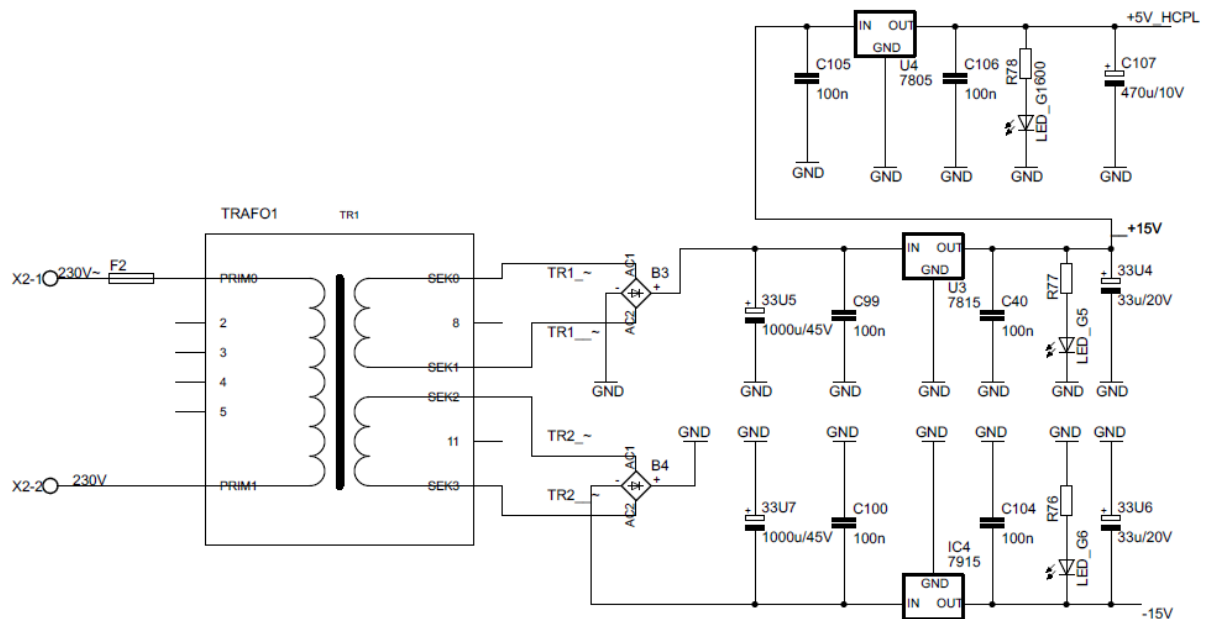
Zdánlivý výkon: $S = 10 \text{ VA}$

$U_{\text{prim/sek}} = 230 \text{ V}/2 \times 15 \text{ V}$ (proud jedním sekundárním vinutím $I = 333 \text{ mA}$)

$U_{\text{sek0}} = 18,6 \text{ V}$ (sekundární napětí naprázdno)

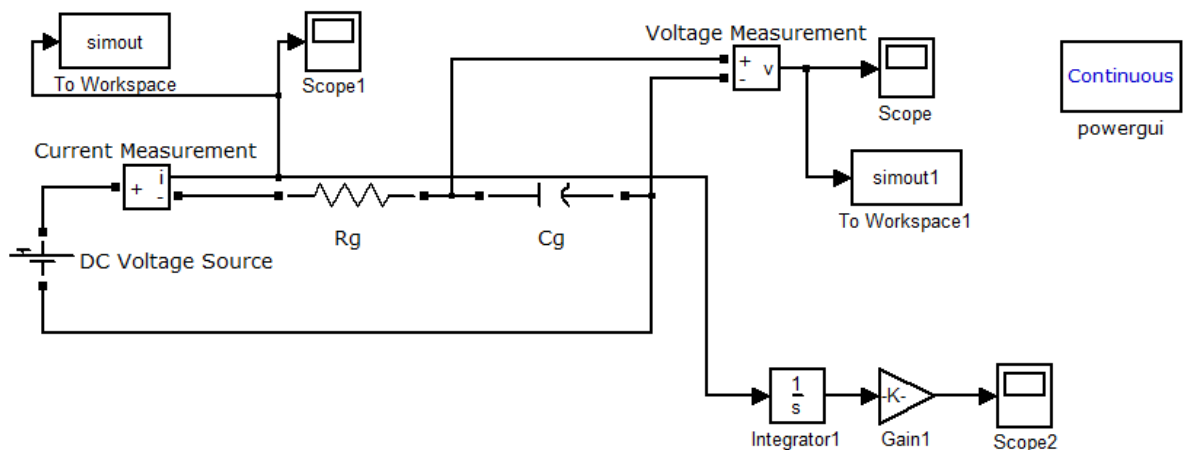
Rozměry: 60x42,3x34,6 mm

Primární vinutí transformátoru je k síti připojené přes trubičkovou pojistku. Na každé sekundární vinutí je připojen jeden usměrňovač (integrováný diodový můstek) a dále lineární stabilizátory napětí. Jeden kladný 7815 a druhý záporný 7915. Dostaneme tak stejnosměrné, stabilizované, symetrické napětí $\pm 15 \text{ V}$. Toto symetrické napětí je potřebné pro napájení čidel proudů a napětí LEM. Stabilizátory jsou navíc ještě opatřeny, na vstupu i výstupu, kondenzátory s doporučenými hodnotami od výrobce. Jeden kondenzátor je keramický s hodnotou 100 nF a je připojený co nejbližší ke svorkám stabilizátoru a druhý je elektrolitický s hodnotou 1000 $\mu\text{F}/35 \text{ V}$ na vstupu a 250 $\mu\text{F}/25 \text{ V}$ na výstupu stabilizátoru. Na výstupech stabilizátorů jsou ještě připojené kontrolní led diody zelené barvy s předřazeným odporem 640 Ω pro 5 V a 3 k Ω pro $\pm 15 \text{ V}$. Dále je na desce nutné mít i kladné napětí +5 V pro napájení TTL logických obvodů pro dead timy, dále pro napájení vstupních ovládacích obvodů optočlenů, pro napájení invertorů a k nim připojených led diod u vstupů optočlenů. Toto napětí je zajištěno dalším lineárním stabilizátorem 7805, který je připojen na výstup stabilizátoru 7815 (+15 V).



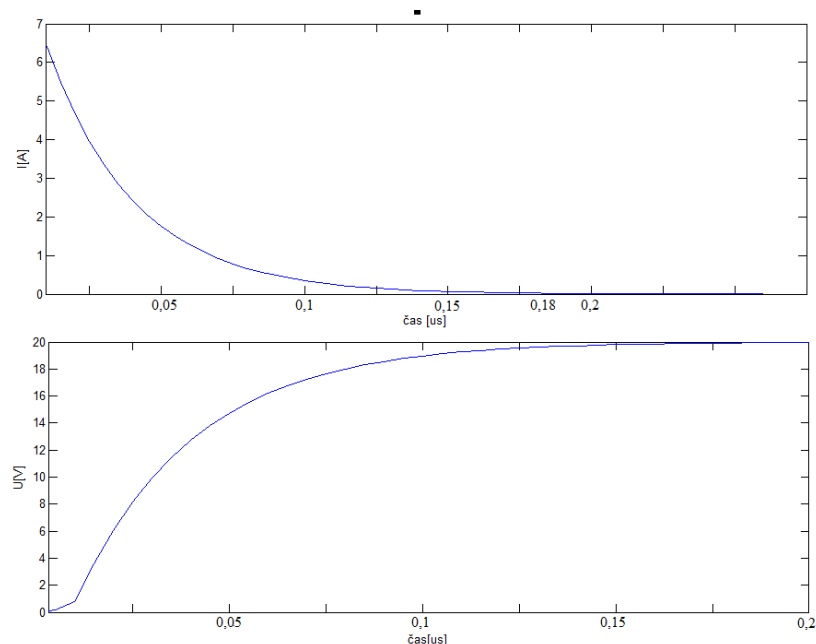
Obr. 32 Schéma napájecího zdroje driveru

Z důvodu rovnoměrného zatížení sekundárních vinutí transformátoru, jsou všechny čtyři 1 W DC/DC měniče, pro horní tranzistory, napájené z +15 V a jeden 2 W DC/DC měnič, společný pro napájení obvodů pro čtyři dolní tranzistory, je napájen z -15 V. Schéma celého zdroje je na obr. 32. Čidla Lem mají také nezanedbatelnou spotřebu. Jsou napájeny rovnoměrně (± 15 V) z obou sekundárních vinutí transformátoru přes stabilizátory 7815 a 7915. Čidlo napětí má vlastní spotřebu 35 mA a čidla proudu mají dohromady spotřebu 180 mA při plném zatížení výstupů. Důležité také bylo zjistit, jakou spotřebu elektrické energie bude mít spínání IGBT tranzistorů například pro frekvence okolo 10 kHz. Tento údaj je možné zjistit z obr.30, kde je závislost odebíraného proudu na frekvenci spínání a velikosti spínané kapacity. Po odečtení z grafu by střední hodnota odebíraného proudu měla být kolem 5 mA na jeden IGBT tranzistor. Pro kontrolu bylo v laboratoři KEV provedeno měření velikosti odebíraného proudu z DC/DC měniče při spínání 10 kHz a odebíraný proud všech čtyř tranzistorů byl 20 mA při frekvenci spínání 10 kHz. Výstup -5 V na záporném stabilizátoru byl navíc ještě zatížen 5 mA LED diodou. U jednoho tranzistoru se tedy spotřeba pohybuje okolo 5 mA a tento údaj se shoduje s údajem odečteným z grafu na obr. 30. Spínání tranzistoru bylo navíc ještě ověřeno simulací v programu SIMULINK.



Obr. 33 Simulační schéma pro nabíjení hradla IGBT tranzistoru

Na obr. 33 je vidět simulační schéma pro sepnutí kapacity hradla výkonového IGBT tranzistoru (12,3 nF). Napěťový zdroj má hodnotu 20 V a simuluje tak přechod z -5 V (gatové napětí při vypínání tranzistoru) k +15 V (velikost zapínacího pulzu). R_G je gatový odpor, který podle katalogu IGBT modulů, může být minimálně 3 Ω a C_g je kapacita hradla tranzistoru. Výsledné grafy jsou na obr. 34.



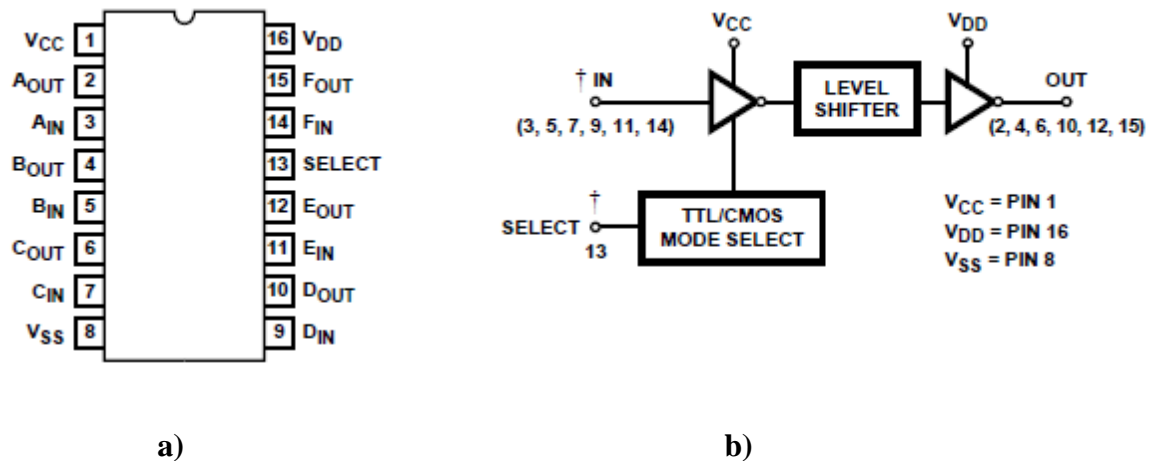
Obr.34 Průběhy proudu a napětí při nabíjení kapacity hradla tranzistoru

Střední hodnota proudu podle Scope 2 je 2,42 mA což je zhruba polovina oproti změřené a odečtené hodnotě z obr. 30. Větší střední hodnota proudu při spínání skutečných IGBT tranzistorů je způsobena i tzv. Millerovou kapacitou, která zvyšuje celkovou kapacitu hradla. Jedná se o přetransformovanou kapacitu kolektorového přechodu mezi gate a zem (emitor) tranzistoru. Na obr 32 je vidět, že špička proudu při nabíjení kapacity hradla, dosáhne až k 6,5 A. Tyto špičky jsou odfiltrovány poměrně velkými a rychlými kondenzátory, připojenými paralelně k napájení IXDD_430YI. Jeden je tantalový o velikosti 68 μ F/25 V v smd pouzdru typu E. A druhý je keramický o velikosti 100nF (THT). Zde nemohl být použit elektrolitický kondenzátor, protože by nestíhal odfiltrovat velké proudové špičky. Protože je vstupní impedance posilovacího obvodu IXDD_430YI velmi vysoká, je výstup optočlenu téměř nezátížen a jeho vlastní spotřeba je proto zanedbatelná. Při uvažování spotřeby všech komponentů na DPS by měl být výkon transformátoru dostačující i s velkou rezervou.

3.9. CD4504 - Level shifter

Driver je také opatřen integrovanými obvody CD4504 tzv. přepínač napěťových úrovní. Jedná se o napěťový přizpůsobovač mezi technologiemi CMOS a TTL. Tento obvod umožňuje připojení signálového procesoru, jehož výstupy mají úrovně 0-15 V nebo 0-5 V. O tom rozhoduje zapojení jumperového pole, kdy je vstup Vcc připojen buď na +15V nebo na +5 V. Výstupy mohou být kompatibilní s technologiemi CMOS a TTL. O tom je rozhodováno pomocí vstupu obvodu SELECT. Pokud je select připojen na Vcc, výstupy z CD4504 budou kompatibilní s CMOS a pokud je spojen s GND, jsou výstupy kompatibilní s TTL. Rozdíl je jen v rozhodovací úrovni, která je u TTL 1,4 V a u CMOS 50% z napájecího napětí. Logická úroveň 1 je u TTL interpretována napětím od 2 V do 5 V a logická úroveň 0 napětím od 0V do 0,8 V. Napětí od 0,8 V do 2 V je definováno jako zakázané pásmo a přes tuto oblast je nutné se při změnách stavů, mezi 1 a 0, dostat co nejrychleji. CD4504 je bohužel opatřen jen 6 vstupy a 6 výstupy a proto musely být tyto obvody použity dva. Každý je však umístěn na jedné straně desky a tím bylo usnadněno propojení s piny konektoru WSL 20 od DSP. Mezi WSL 20 a napěťovým shifterem je umístěna síť pull down odporů 10k Ω , aby se v případě odpojeného DSP nedostávalo na vstupní piny rušivé napětí. Výběr kompatibilitosti výstupů se provádí pomocí jumperových propojek.

Buďto je select propojen s GND nebo s Vcc vstupem součástky. Na Vcc je přiváděno buď +5 V nebo +15 V také pomocí jumperových propojek. Tím je možno rozhodovat o úrovních signálů z DSP.

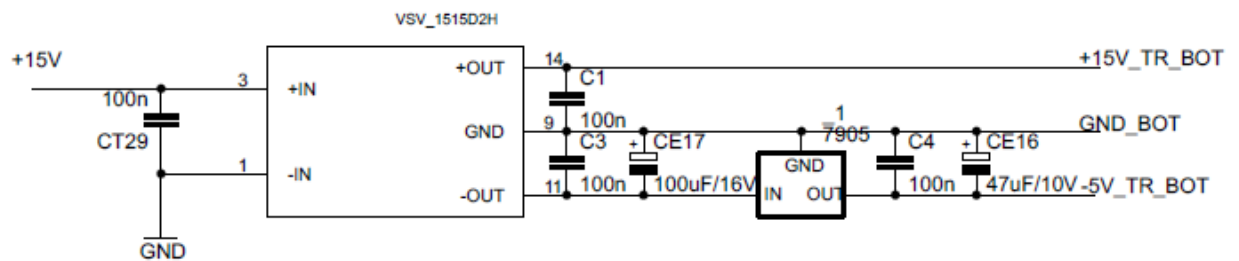


Obr.35 a) popis pinů napěťově přizpůsobovacího obvodu a jeho blokové schéma b)

Pouzdro součástky má velikost SOP 16.

3.10. DC/DC měniče napětí

Slouží pro napájení výkonové části optočlenů a také pro napájení posilovacích obvodů IXDD_430YI. Protože jsou IGBT tranzistory v horní části půlmůstku na různých potenciálech a tudíž i jejich budící obvody, je pro každou fázi použit jeden 1 W DC/DC měnič VSA 1515D. Dolní IGBT tranzistory jsou na společném potenciálu a tak je možné jejich budící obvod IXDD_430YI a výkonovou část optočlenu napájet z jednoho společného 2 W DC/DC měniče VSV 1515D2H. DC/DC měnič je napájen 15 V a na jeho výstupu je pak symetrické napájení ± 15 V. Protože je však pro napájení budícího obvodu potřeba napětí +15 V a -5 V, je mezi výstup GND a -15 V zapojen ještě záporný stabilizátor 7905. Schéma zapojení DC/DC měniče je na obr. 36.



Obr. 36 Zapojení 2 W DC/DC měniče VSV 1515D2H se záporným stabilizátorem 7905

Zapojení 1W DC/DC měniče je stejné, s tím rozdílem, že je na vstupu hodnota elektrolytického kondenzátoru 68 μ F/16 V a na výstupu 33 μ F/10 V. Na výstupu záporného stabilizátoru musí být paralelně k elektrolytickému kondenzátoru ještě připojen 100 nF rychlý, keramický kondenzátor který dokáže odfiltrvat i rychlé změny napětí na výstupu stabilizátoru. Bez něj by se výstup -5 V mohl rozkmitat. Oba měniče jsou v smd provedení a jejich pouzdro je vidět na obr. 37.

DC/DC měniče mají tyto parametry:

VSA 1515D (1W)

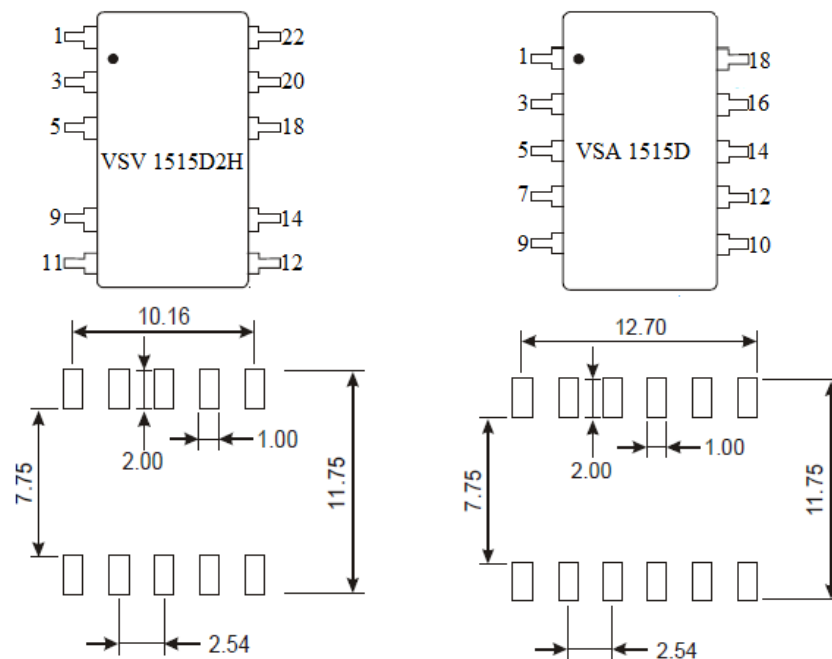
- $U_{cc} = 15 \text{ V} \pm 10\%$
- $U_{out} = \pm 15 \text{ V} \pm 5\%$
- $I_{out} = \pm 34 \text{ mA}$
- účinnost 80%

VSV 1515D2H (2W)

- $U_{cc} = 15 \text{ V} \pm 10\%$
- $U_{out} = \pm 15 \text{ V} \pm 5\%$
- $I_{out} = \pm 67 \text{ mA}$
- účinnost 80%

Tab. 5 Zapojení pinů 1W a 2W DC/DC měniče

VSV 1515D2H (2W)		VSA 1515 (1W)	
Pin	Funkce	Pin	Funkce
1	-INPUT	1	-INPUT
3	+INPUT	3	+INPUT
9	COMMON	7	COMMON
11	-OUTPUT	9	-OUTPUT
14	+OUTPUT	10	+OUTPUT
Ostatní	NC	Ostatní	NC

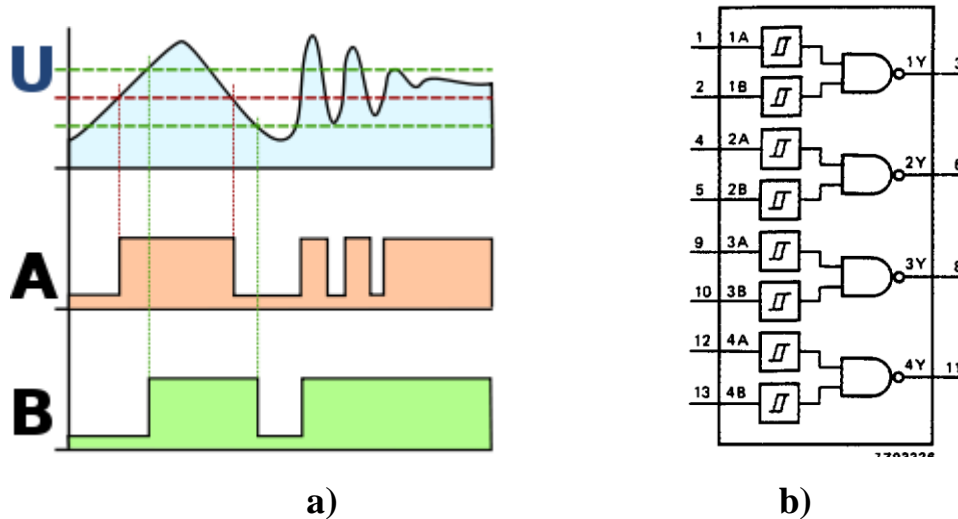


Obr. 37 Číslování pinů a rozměry pouzder DC/DC měničů VSA 1515D a VSV 1515D2H

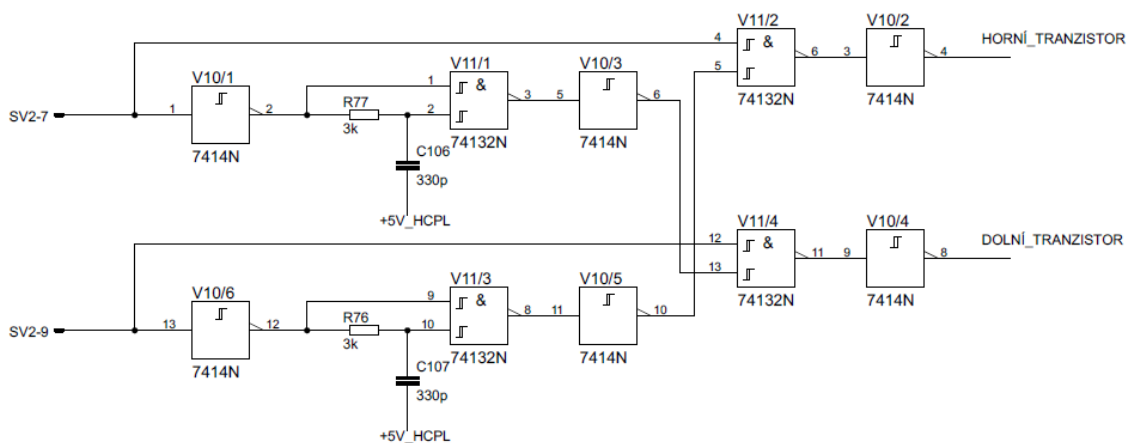
Piny jsou číslovány ob jedno číslo, protože standardní rozteč pinů je 1,27 mm.

3.11. Generování mrtvých časů

Mezi výstupy ze signálového procesoru DSP a vstupy optočlenů jsou ještě zařazeny obvody pro generování mrtvých časů mezi spínáním horního a dolního tranzistoru v jedné fázi střídače. Protože se jedná o střídač napěťového typu s velkým kondenzátorem ve stejnosměrném meziobvodu, je nepřijatelné aby došlo k současnému sepnutí horního a dolního tranzistoru, byť jen na po dobu nanosekund. To by vedlo k tvrdému vyzkratování velké kapacity přes malý odpor tranzistorů v sepnutém stavu a k jejich zničení. Na obr.39 je vidět jeden z mnoha způsobů řešení generátoru mrtvých časů. V této práci byl zvolen způsob generování mrtvých časů vhodným zapojením kombinačních obvodů s použitím pasivních součástek R a C jako časové konstanty. Logické členy NAND a inverty mají integrovány navíc Schmittův klopný obvod (KO). Základní vlastnost Schmittova KO je hystereze. Tento jindy nežádoucí jev má výhodu v tom, že zabraňuje vzniku zákmitů výstupního signálu, když je vstup v okolí rozhodovací úrovně spínání (u TTL logiky je tato úroveň 1,4 V a u CMOS v 50% úrovně vstupního signálu). Vliv hystereze je zřejmý z obr. 38. U je vstupní signál, signál A je výstup bez hystereze a signál B s hysterezí.



Obr. 38 a) rozdíl mezi výstupem s hysterezí a bez hystereze
b) zapojení logických členů s hysterezí, na vstupu, uvnitř pouzdra



Obr.39 Schéma zapojení generátoru deadtimů

Funkce:

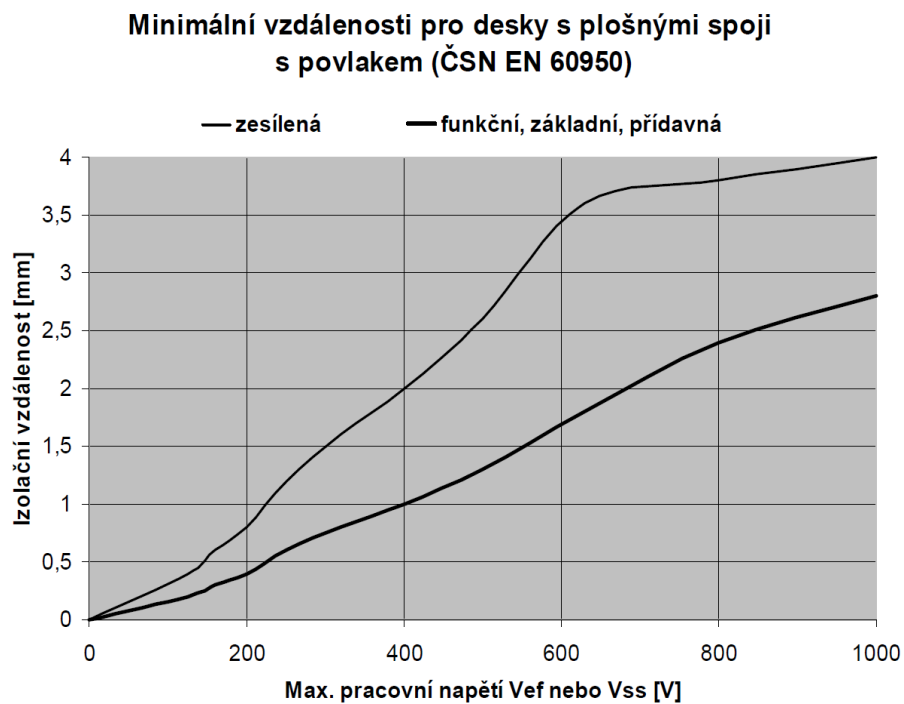
Uvažujeme počáteční stav logická 1 na SV2-7 a logická 0 na SV2-9. Logická 1 na SV2-7 pro otevření horního tranzistoru se objeví i na vstupu (4) negovaného logického součinu V11/2. Na druhém vstupu (5) V11/2 je logická 1* proto, že logická 0 na sv-2-9 je převedena invertorem V10/6 na logickou 1. Tato jednička se nachází i na vstupu (9) V11/3 a na druhém vstupu (10) V11/3 je tudíž také logická 1 (kondenzátor je vybitý). Na výstupu V11/3 je proto logická 0, která je převedena invertorem V10/5 na zmiňovanou logickou 1* na vstupu (5) V11/2. Na výstupu V11/2 je logická 0, která je převedena invertorem V10/2 na logickou 1. Stejným postupem zjistíme, že výstupu invertoru V10/4 (signál pro spodní tranzistor) je logická 0. Tzn. Stejně logické stavy jako na vstupních svorkách SV2-7 a SV2-9.

Pokud se na SV2-9 objeví také logická 1 jako na SV2-7, přejde výstup z invertoru V10/2 (horní tranzistor) okamžitě do stavu logická 0 (bez deadtimu). Až pokud se na SV2-7 nezmění stav na log. 0, přejde výstup invertoru V10/4 (dolní tranzistor) do logické 1 se zpožděním (deadtime) časové konstanty R77xC106. Z toho plyne, že pokud se na vstupech SV2-7 a SV2-9 při jakýchkoliv přechodech jen na chvíli objeví stavy 1 a 1, výstupy na tranzistory, přejdou okamžitě do log nuly a tím nedojde k větrovému zkratu ve výkonové části měniče.

4. Návrh desky plošného spoje

Jelikož je výkonová část měniče v laboratoři KEV už postavena, jsou rozměry desky už předem dány velikostí chladiče. Deska má proto rozměry 155x180 mm. V chladiči jsou dvě vodorovné, rovnoběžné drážky pro uchycení šroubů, které drží celý driver pomocí distančních sloupků. Y-nová souřadnice otvorů na šrouby na DPS je proto dána pozicí drážek (13 a 128 mm od spodního okraje chladiče). X-ová je libovolná, podle rozmístění součástek driveru. Deska je oboustranná s prokovením. Signálové spoje jsou široké 0,3 mm. U kondenzátorů a více namáhaných spojů je použita šířka spojů 0,4-1,2 mm. Vývody pro ovládací signály výkonového obvodu jsou v provedení konektorů Faston a jsou seřazeny tak, jak jdou po sobě vstupy IGBT modulů (G, E, C). Při návrhu desky bylo nutné počítat s velkým rozdílem potenciálů mezi fázemi horních prvků a mezi spodním a horním prvkem a dodržovat tak patřičné izolační vzdálenosti. Ze stejného důvodu je také výstup na kolektor každého tranzistoru vzdálen od výstupu na gate a emitor, protože když je tranzistor vypnutý, je na něm plné napětí stejnosměrného meziobvodu (560 V). Podle grafu na obr¹⁴. 40 by měla být tato vzdálenost nejméně kolem 2mm. V reálu jsou tyto vzdálenosti minimálně 4mm. Nejmenší vzdálenost spojů a padů součástek je 0,2 mm. Pro zlepšení odolnosti proti elektromagnetickému rušení byla použita, v poslední části návrhu DPS, metoda rozlité mědi (tak zvaný polygon).

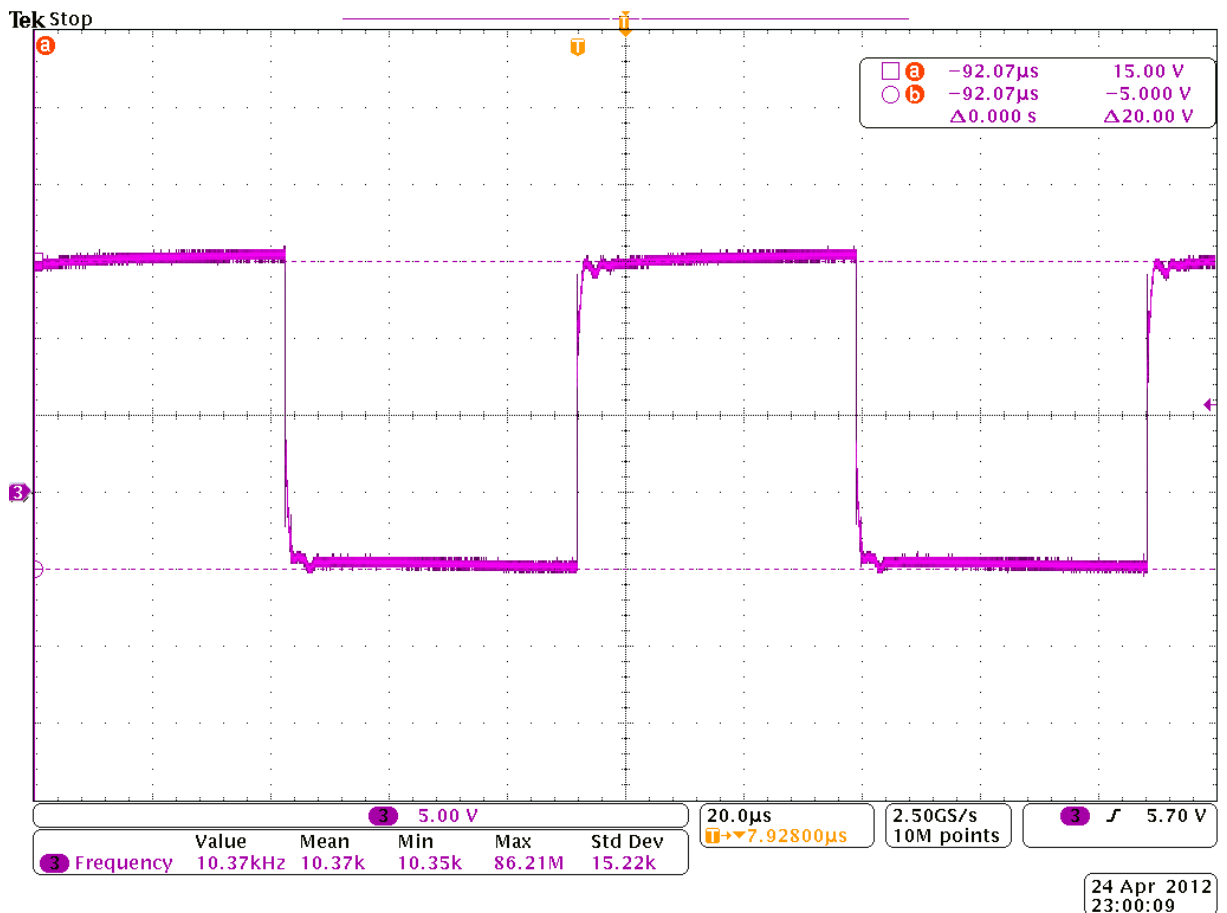
¹⁴ Obr převzat z http://www.micro.feld.cvut.cz/home/zahlava/ppn/prednasky/vlastnosti_DPS.pdf



Obr. 40

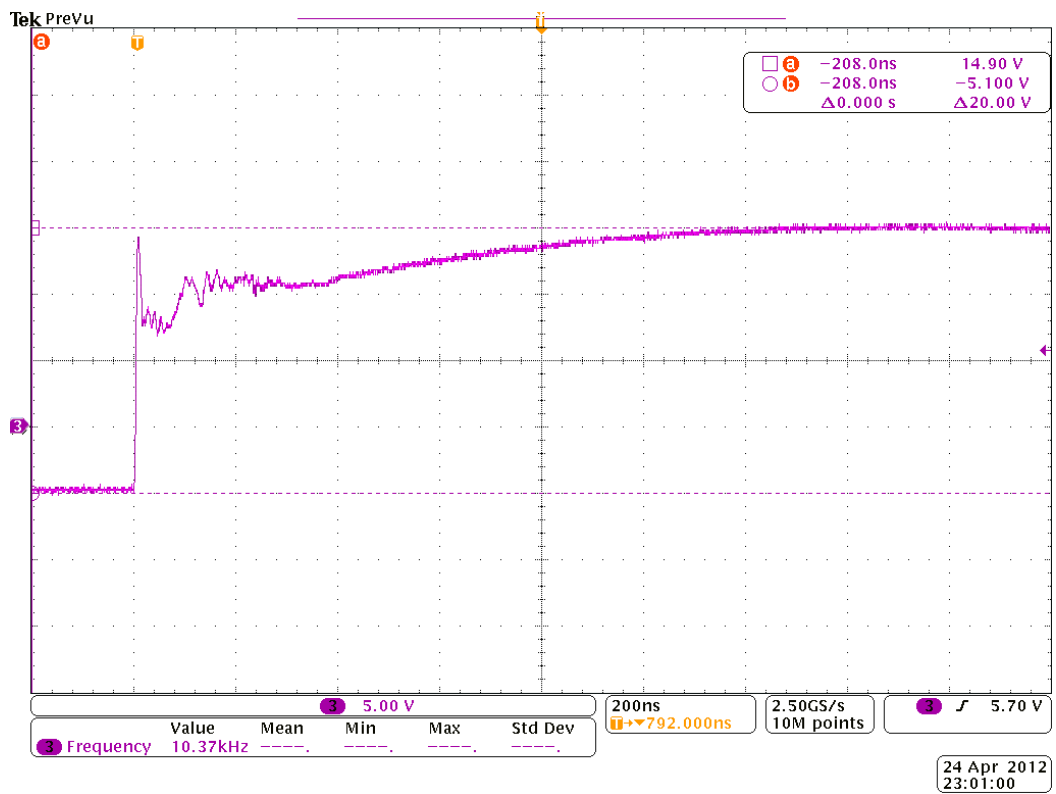
5. Ověření funkce driveru měřením

Správná funkce 4 fázového, výkonového driveru byla ověřena měřením v laboratoři KEV. Jako zátěž byl použit výkonový odpor, který jsme zatěžovali proudem kolem 40A. K měření jsme použili 4 kanálový osciloskop Tektronix DPO 4034B (Digital phosphor oscilloscope).

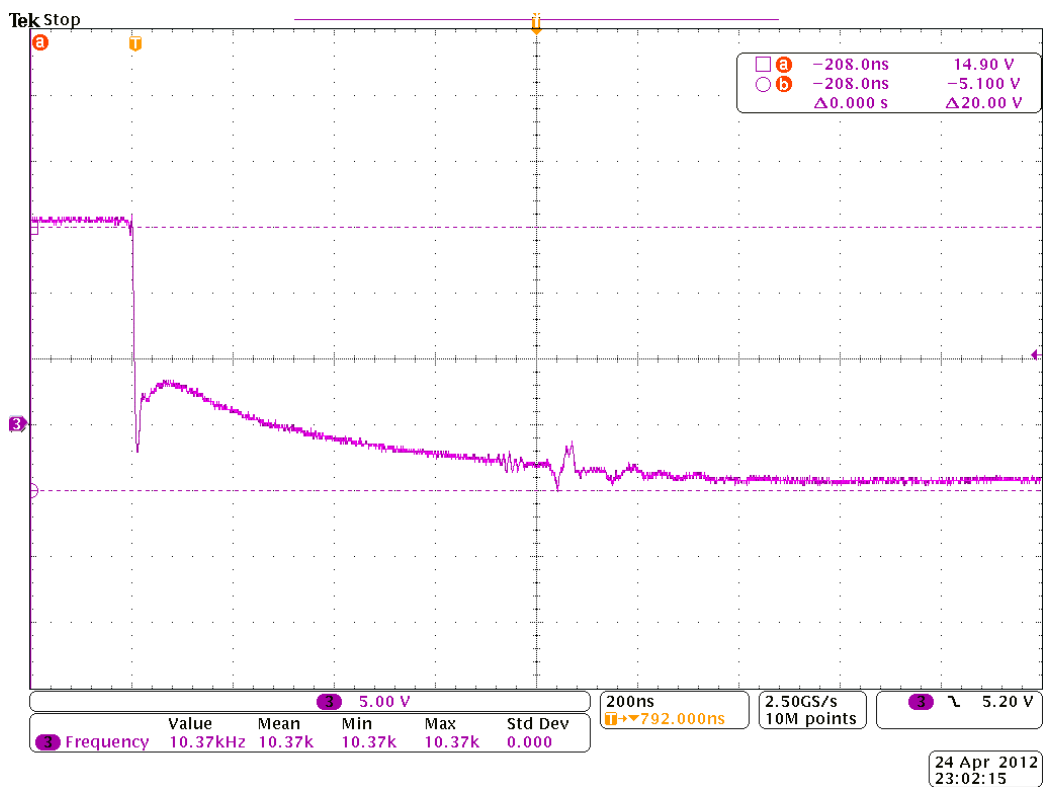


Obr. 41 Zapínací pulzy na Gate IGBT tranzistoru při frekvenci 10kHz

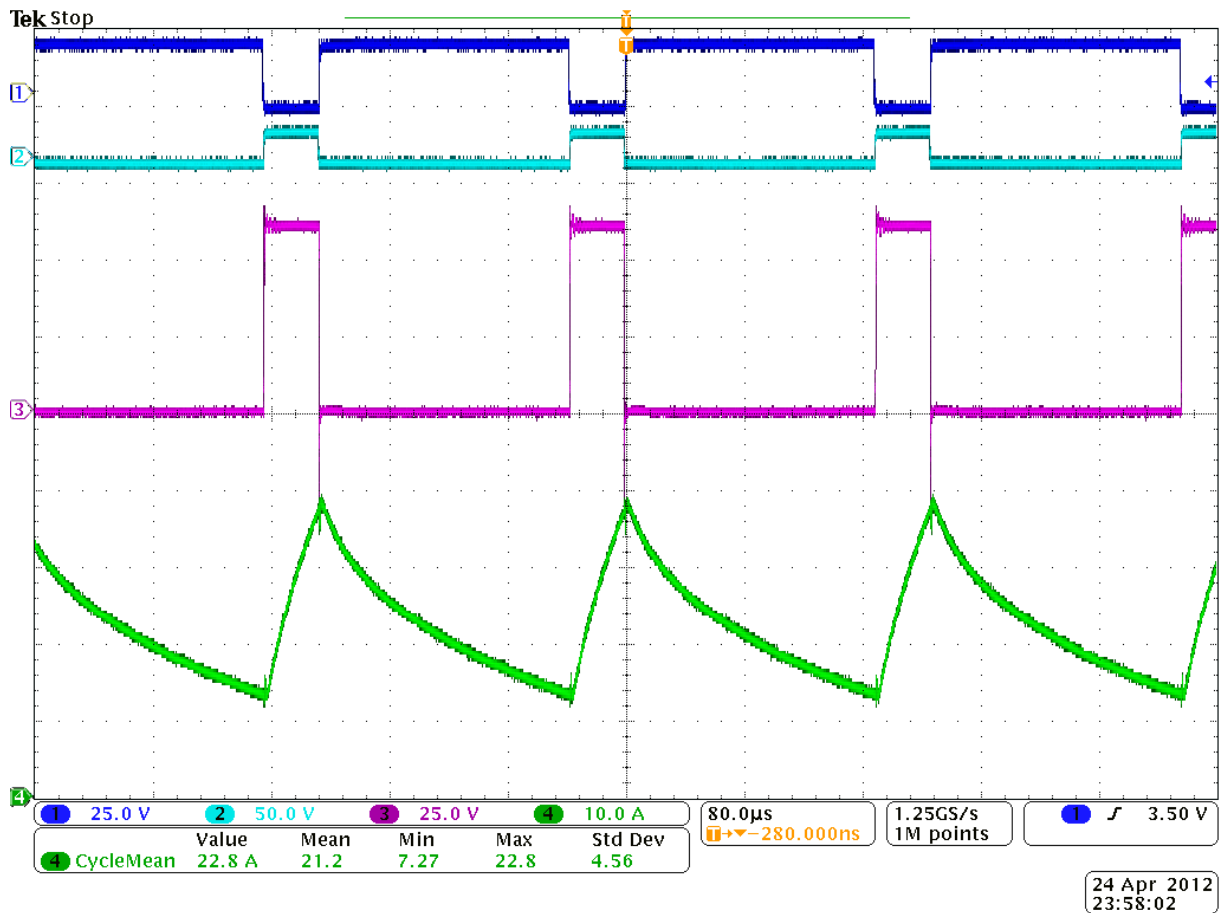
Na obr. 41 jsou vidět pulzy napětí, které jsou na výstupu s IXDD_430YI a jsou přiváděny na Gate tranzistoru. Napětí má rozkmit 20V: 15V pro zapnutí tranzistoru a -5 V pro jeho vypnutí. Tyto pulzy byly měřeny mezi E a G svorkami tranzistoru. Na Obr. 43 jsou vidět zákmity přibližně v polovině křivky, kde se signál ustaluje k nule. Tyto zákmity jsou způsobeny rušením při zapnutí horního tranzistoru ve stejné fázi po nastaveném deadtimu.



Obr. 42 Detail náběžné hrany zapínacího pulzu dolního tranzistoru při frekvenci 10 kHz



Obr. 43 Detail sestupné hrany zapínacího pulzu dolního tranzistoru při frekvenci 10 kHz



Obr. 44 Průběhy proudu a napětí na výstupu střídače a zapínací pulzy na oba tranzistory v jedné fázi střídače

Na Obr. 44 jsou vidět zapínací pulzy na Gate horního tranzistoru (světle modrá křivka) a dolního tranzistoru (tmavě modrá křivka). Dále je na fialovém průběhu vidět napětí na výstupu měniče v první fázi ad L1 viz obr. 20. A zelený průběh zobrazuje proud zátěže. Jak je patrné z průběhu, zátěž byla typu RL s velmi malou indukčností.

6. Závěr

Cílem této diplomové práce bylo navrhnout a postavit funkční driver pro čtyřfázový napěťový střídač. Výkonová část těchto měničů již byla v laboratoři KEV postavena, ale použité drivery s moduly SKHI 71 neumožňovaly řídit všech 8 IGBT tranzistorů najednou. Do budoucna bude navíc tímto driverem možné řídit mnohem větší IGBT moduly s větší kapacitou hradla, než jsou zatím na měniči použity. Je to díky 30 ampérovému posilovacímu obvodu IXDD_430YI, který je připojen hned za optočleny HCPL_316J. Drivery s modulem SKHI 71 obsahovaly pouze optočleny HCPL_316J, které je možné na výstupu špičkově zatížit jen proudem 2 A. Celý driver je rozměrově navržen tak, aby ho bylo možné přidělat k chladiči výkonové části měniče a bylo tak dosaženo jednotného celku, s kterým bude snadná manipulace.

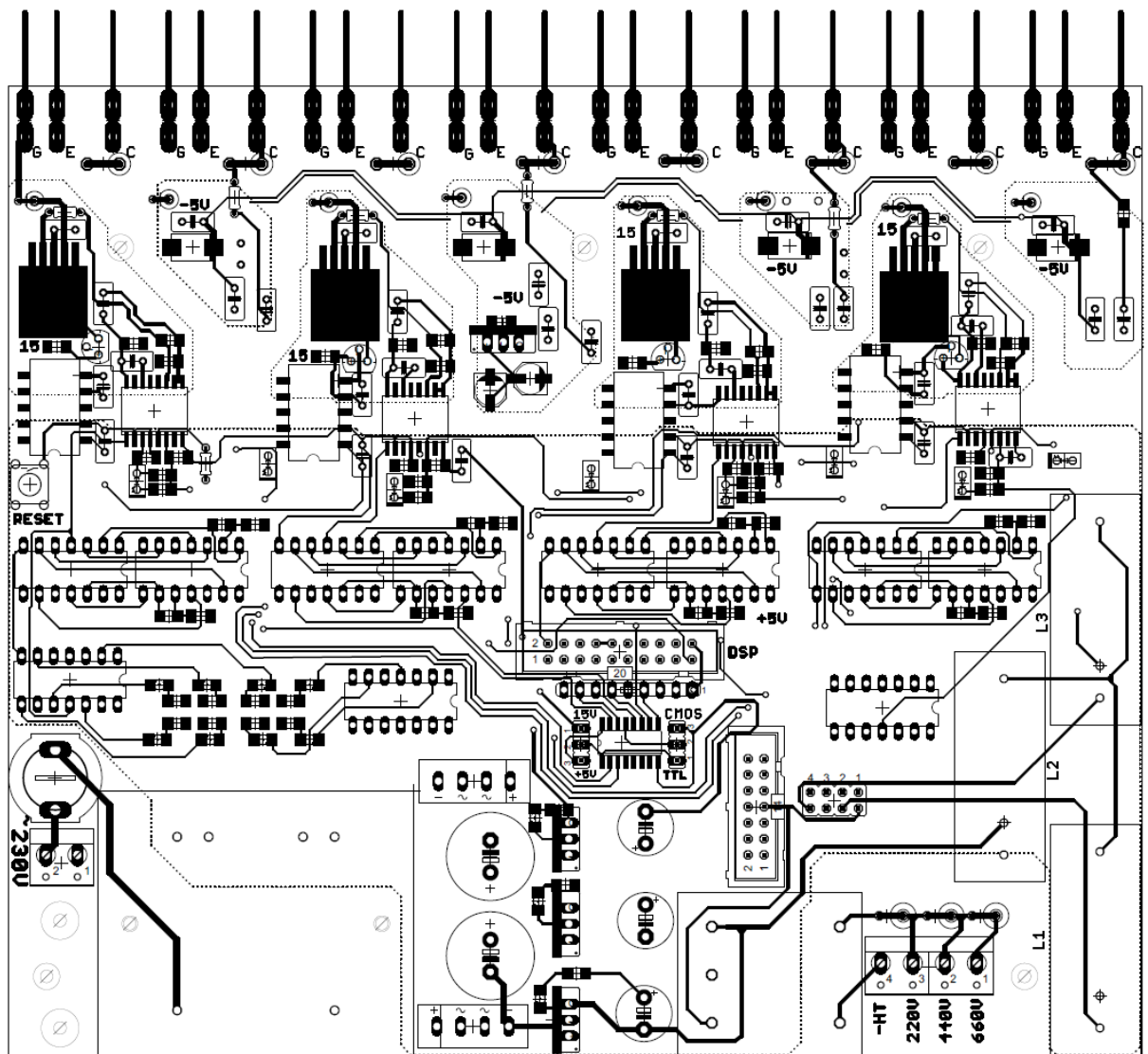
Funkce hotového driveru byla nakonec ověřena měřeními. Při "oživování" DPS byly nejprve osazeny všechny součástky kromě transformátoru, optočlenů, IXDD_430YI, čidel napětí a proudů LEM, hradel pro deadtimy a DC/DC měničů. Poté bylo zkontrolováno správné napájecí napětí na všech důležitých prvcích při napájení DPS z náhradního zdroje. Potom byly osazeny kromě DC/DC měničů i zbývající součástky a byl změřen odběr driveru. Po ověření spotřeby byly osazeny i DC/DC měniče a transformátor. Na konektor z DSP byly přiváděny pulzy o frekvenci 10 a 5 kHz o velikosti 5 V (na dolní tranzistory byl přiváděn signál o stejné frekvenci a amplitudě jako na horní tranzistory, ale invertovaný a bez deadtimu). Osciloskopem pak byly sledovány výstupy na brány IGBT tranzistorů a byla ověřena velikost deadtimů, tvar zapínacích pulzů a jejich strmost. Odběr proudu byl ze sekundárního vinutí transformátoru (+15 V) kolem 250 mA a z (-15 V) kolem 160 mA. Výkon transformátoru tedy dostačuje i s rezervou. Menší problém nastal s přehříváním stabilizátoru 7805, kvůli velkému napětí, které na něm bylo sráženo. Tento problém byl vyřešen přišroubováním pasivního chladiče. Celý driver se ukázal jako funkční a použitelný pro různé aplikace v laboratoři KEV. Fotografie hotového driveru i s připojeným výkonovým 4f měničem jsou v příloze č. 5.

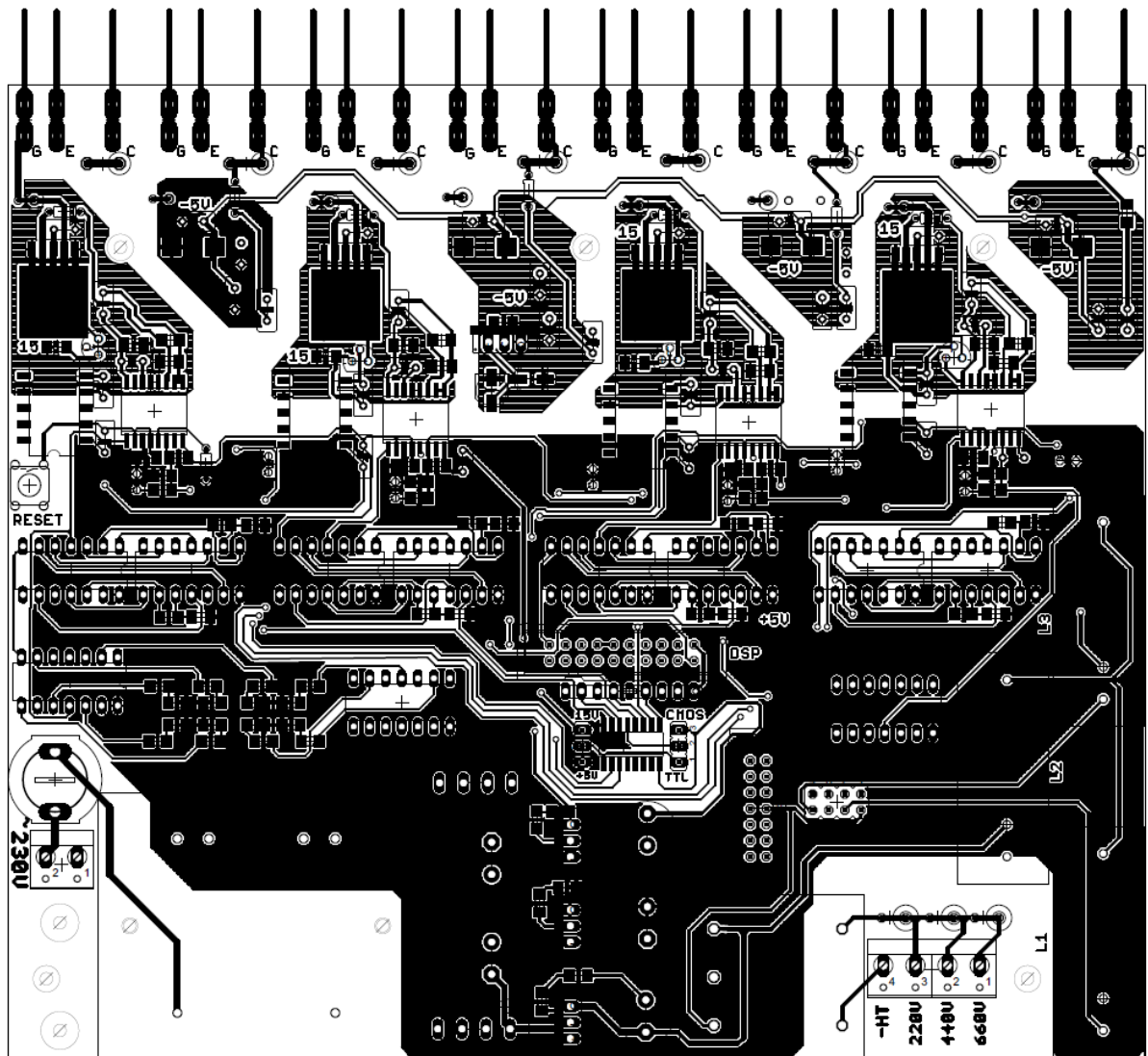
Použitá literatura a zdroje

- [1] Danzer J: *Vozidla s asynchronním trakčním pohonem*, Západočeská univerzita v Plzni 2009
- [2] Zeman K.; Peroutka Z.; Janda M.: *Automatická regulace pohonů s asynchronními motory*, Západočeská univerzita v Plzni 2004
- [3] Vondrášek F.: *Výkonová elektronika, svazek III - měniče s vlastní komutací a bez komutace*; Západočeská univerzita v Plzni 1998
- [4] internetové stránky firmy GM: <http://www.gme.cz>
- [5] dokumentace k DC/DC měničům od firmy VITEC [online]. [cit. 2012-04-10] dostupné na <http://www.vitecpower.com/cs/produkty-2/dcdc-conversion>
- [6] dokumentace k posilovacímu obvodu IXDD_430YI firmy IXYS [online]. [cit. 2012-04-10] dostupné z <http://www.ixyspower.com/>
- [7] dokumentace k čidlu napětí a čidlům proudu firmy LEM [online]. [cit. 2012-04-10] dostupné z <http://www.LEM.com>
- [8] dokumentace k optočlenu od firmy Avago technologies [online]. [cit. 2012-04-10] dostupné z <http://www.avagotech.com>
- [9] Hořejš M.: *Stavba laboratorního měniče pro výuku předmětu Elektrické pohony*, Západočeská univerzita v Plzni 2009

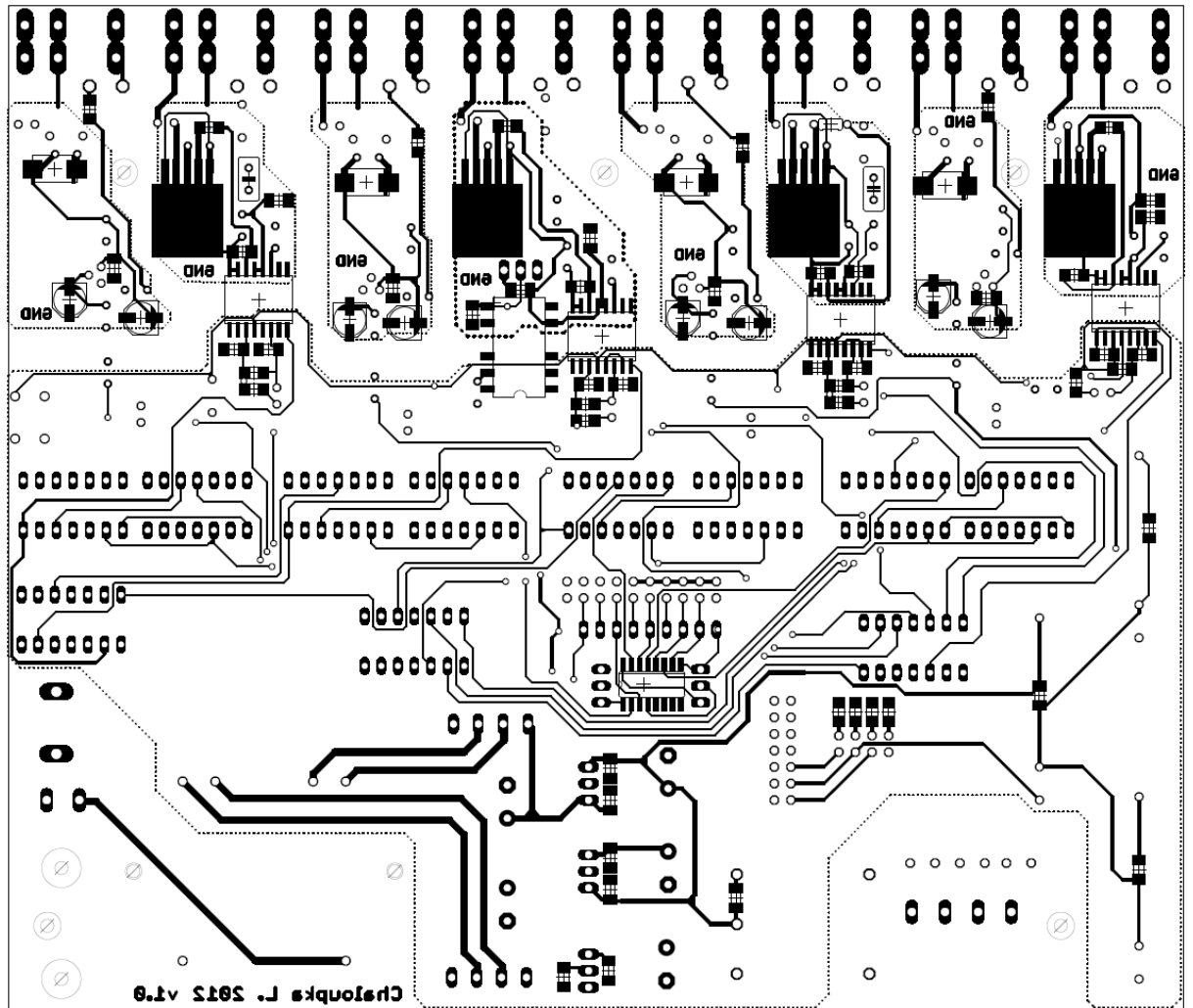
Přílohy

Příloha č.1 - Horní vrstva spojů a součástek (bez polygonu)

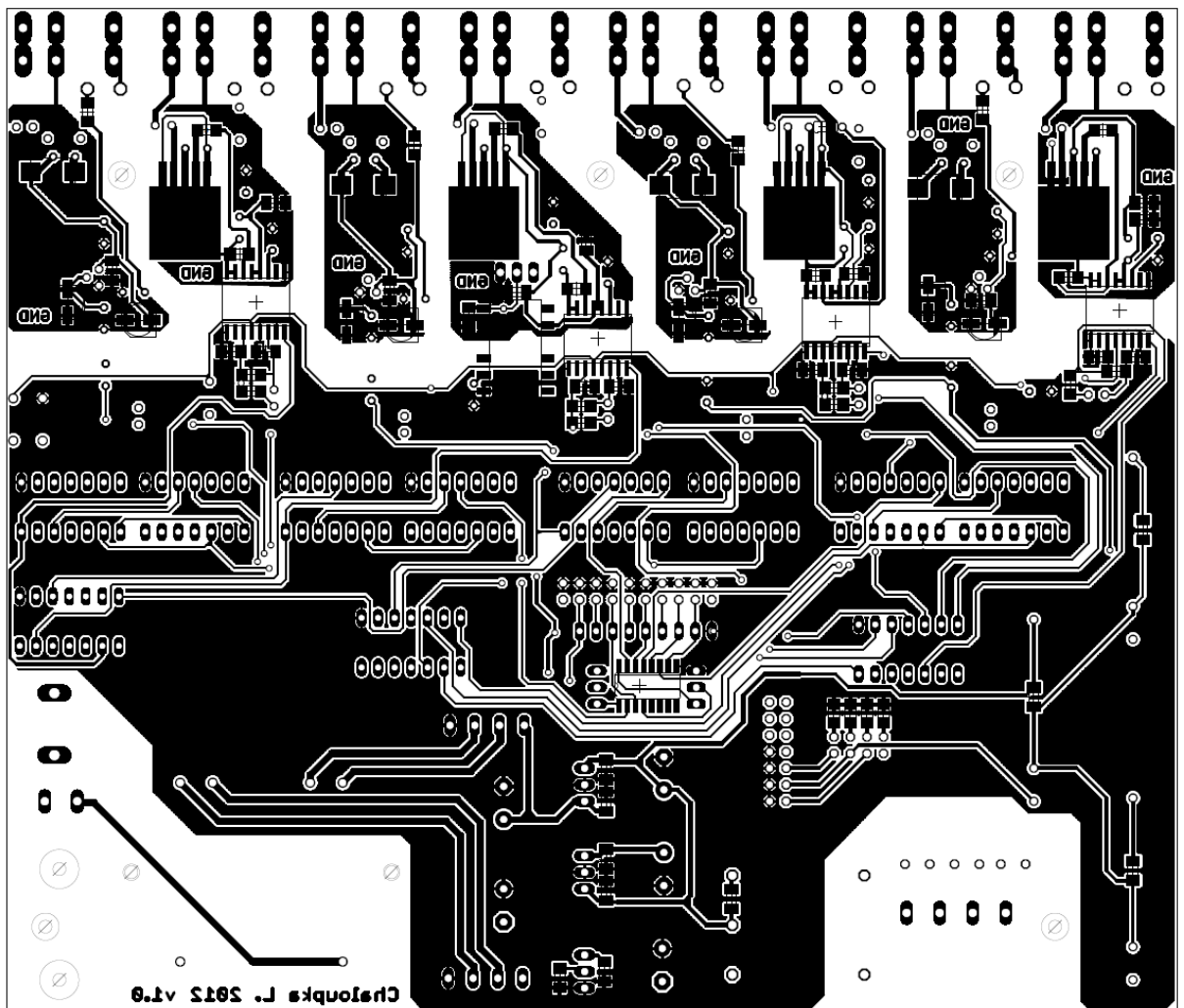


Příloha č.2 - Horní vrstva spojů a součástek (s polygonem)

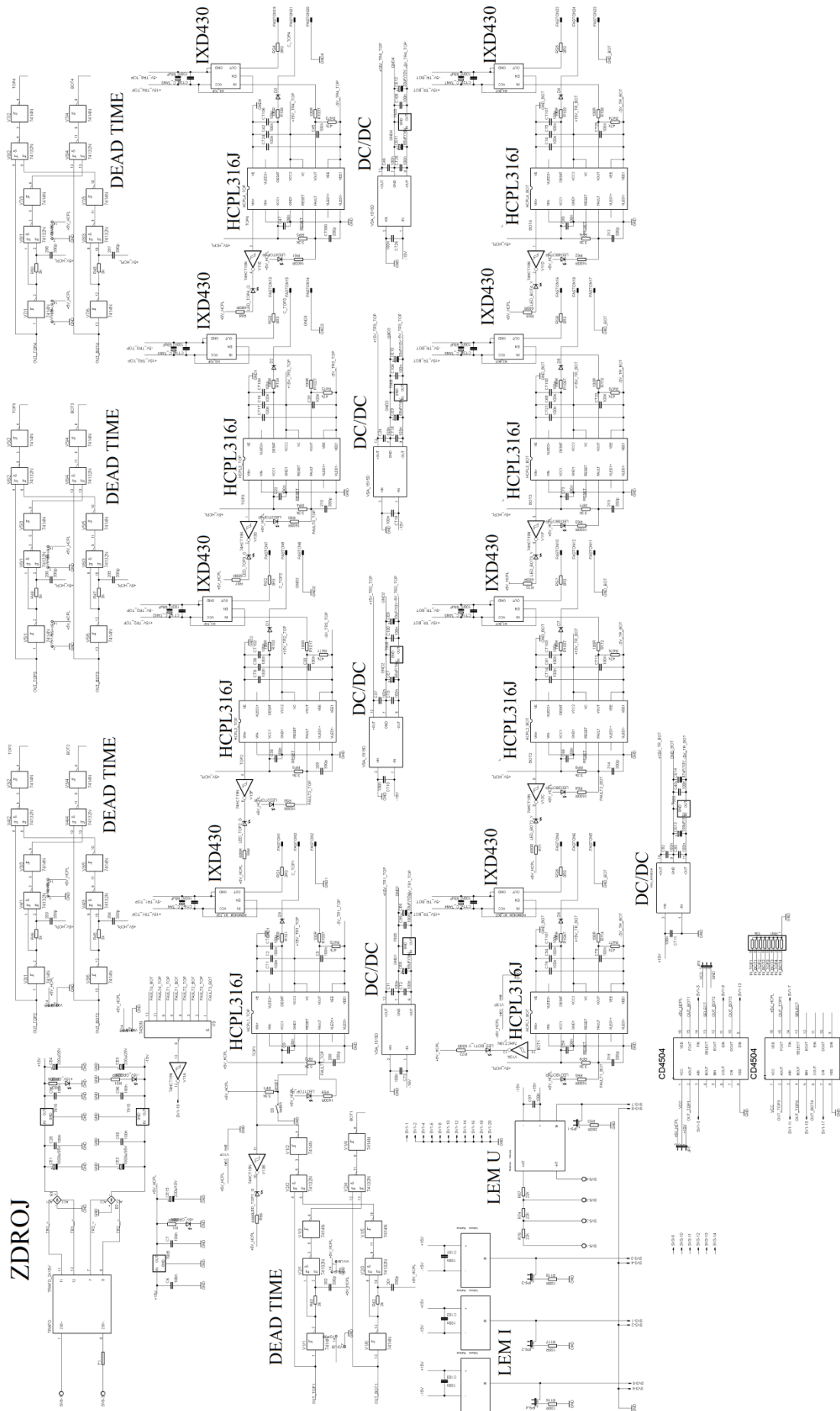
Příloha č.3 - Spodní vrstva spojů a součástek (bez polygonu)



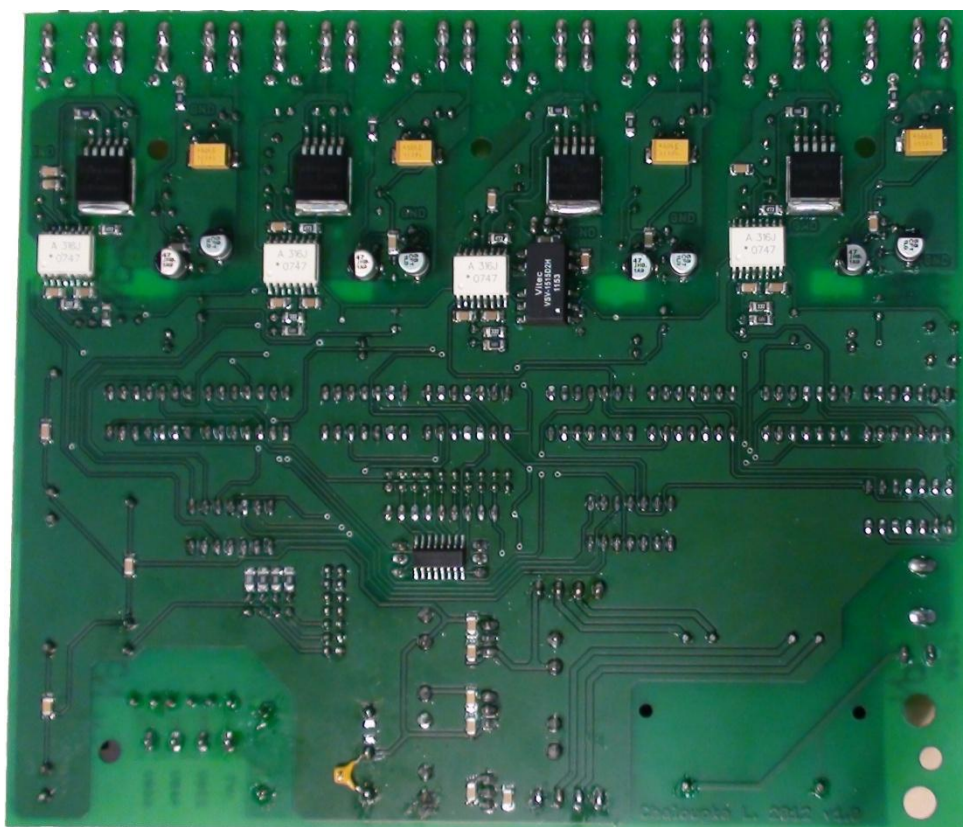
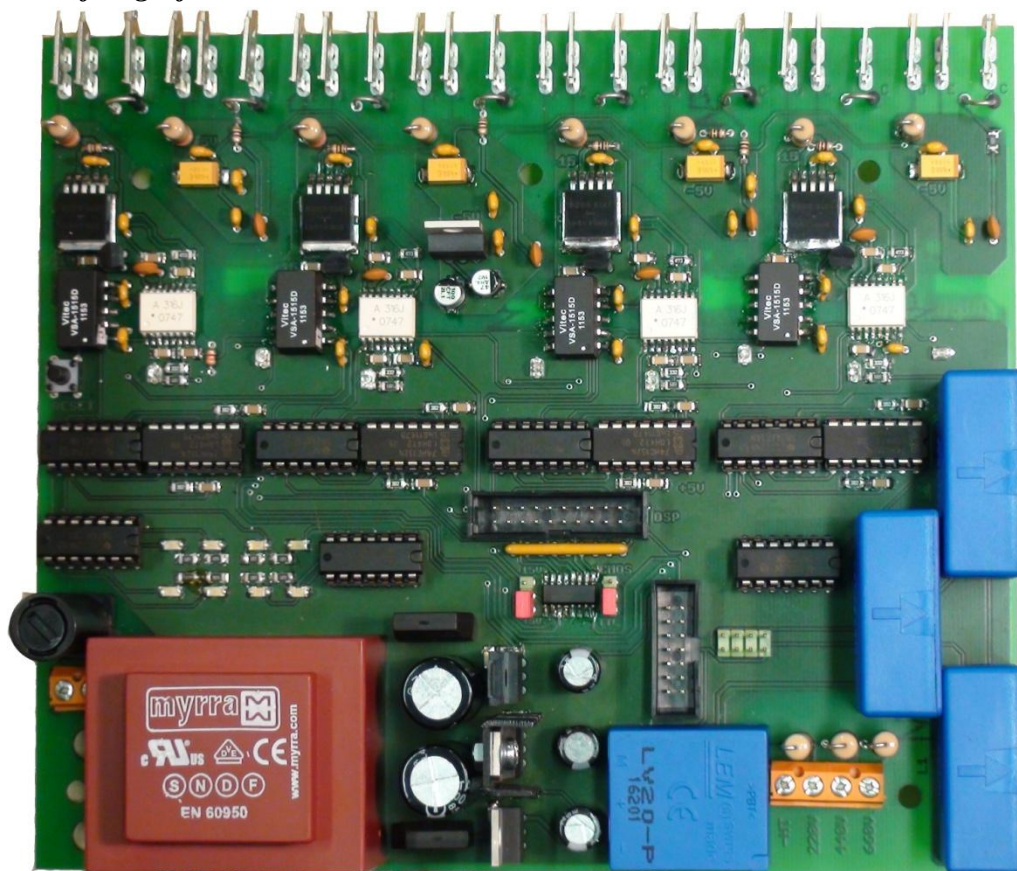
Příloha č.4 - Spodní vrstva spojů a součástek (s polygonem)

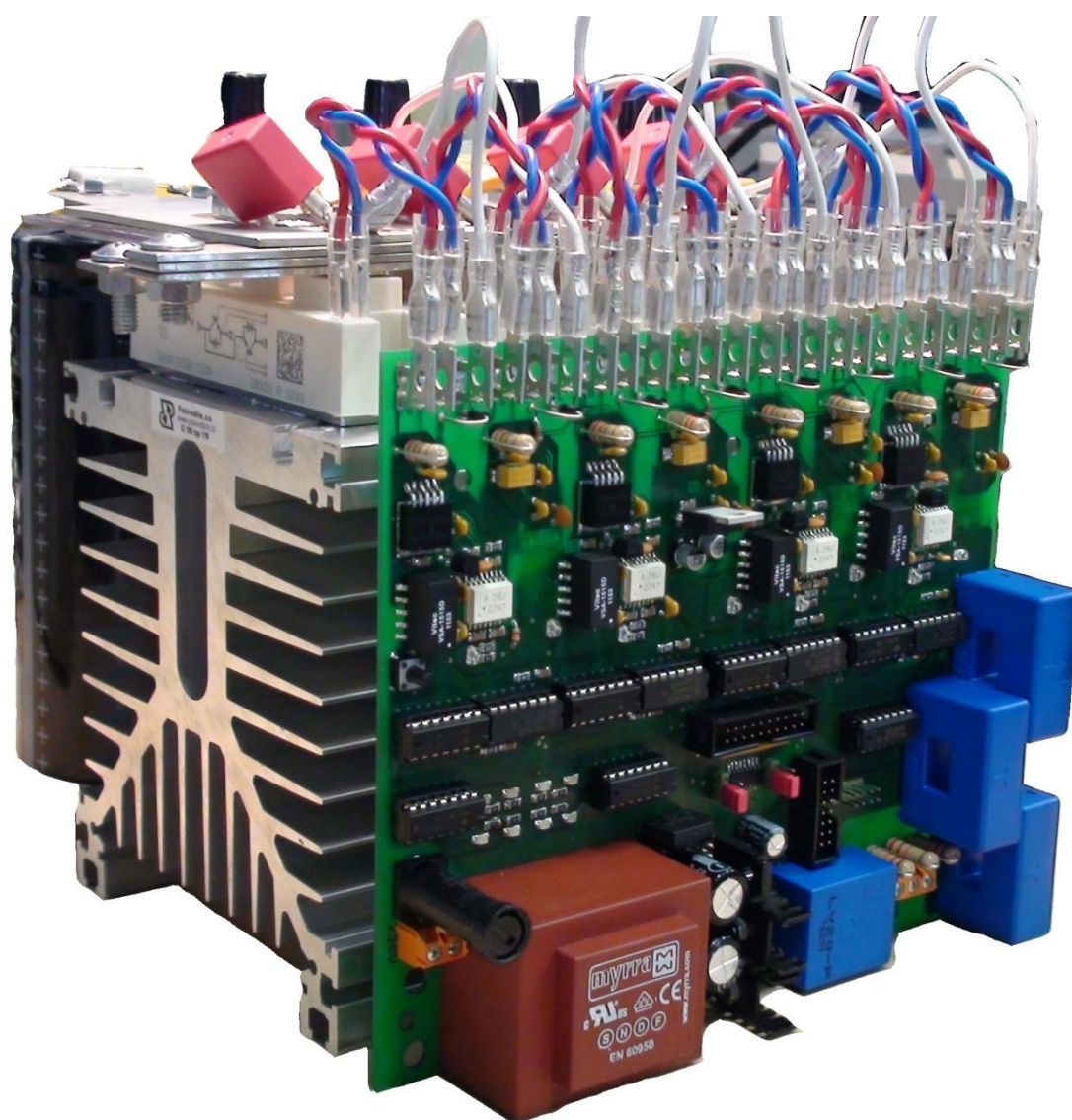


Příloha č.5 - Schéma zapojení driveru



Příloha č.6 - fotografie hotového driveru





Příloha č.7 - Seznam součástek

Tab. 6 Seznam použitých součástek, objednaných z internetového obchodu firmy Farnell

Název	Hodnota	Typ	Poznámka	Obj. číslo	Pouzdro	Kus
CE1,CE2	1000 μ F/35V	35YXF1000MEFC12.5X25	C_elektrolyt	1144630	E25-13(THT)	2
CE3,CE4	220 μ F/25V	25ML220MEFC8X9	C_elektrolyt	8126410	E9-8(THT)	2
CE15	220 μ F/10V	10ML220MEFC8X7	C_elektrolyt	8126186	E7-8(THT)	1
C2-C105	100nF/50V	MC1206B104M250CT	C_keramika	1709234	1206(SMD)	42
CT1-CT28	100nF/50V	MCRR25104Z5UM0050	C_keramika	1216444	THT-radial	28
CT300	330pF/100V	C317C331J1G5TA	C_keramika	1457669	THT-radial	1
200-215	330pF/50V	MCCA000451	C_keramika	1759330	1206(SMD)	15
C_TAN-C_TAN7	68 μ F/25V	TPSE686K025R0125	C_tantal	1135214	SMD_E	8
CE13	100 μ F/16V	EEEFT1C101AR	C_keramika	2065969	SMD_C	1
CE14	47 μ F/10V	EEEHA1A470WR	C_keramika	1973293	SMD_C	1
CE5,CE7,CE9,CE11	68 μ F/16V	EEEFT1C680AR	C_keramika	2065968	SMD_C	4
CE6,CE8,CE10,CE12	33 μ F/10V	EEE1AA330SR	C_keramika	9696911	SMD_C	4
R1,R44,R51,R52, R66-R72	680R	MC 0.125W 1206 5% 680R	Rezistor	9337547	1206(SMD)	9
R58-R65	1K6	ERJ8GEYJ162V	Rezistor	2057842	1206(SMD)	8
R57,R74,R75	22K/2W	MCF 2W 22K	Rezistor	9338179	THT	3
R101-R118	100R	MCHP06W2F1000T5E	Rezistor/1%	1576615	SMD	12
R100T-R106T	100R	MCRE000025	Rezistor	1700223	THT	7
RG1-RG8	3R3/1W	MCF 1W 3R3	Rezistor	9337890	THT	8
R42,R43,R45-R50	3K	ERJ8GEYJ302V	Rezistor	2057847	1206(SMD)	10
RP2-RP9	3K3	ERJ8GEYJ332V	Rezistor	2057848	1206(SMD)	8
RP1	3K3	MCRE000043	Rezistor	1700243	THT	1
R470-R477	47K	ERJ8GEYJ473V	Rezistor	2057862	1206(SMD)	8
RN1	10K	4609X-101-103LF	Rezistor	9356819	THT	1
R53	200R	MCPWR06FTEO2000	Rezistor/1%	1887431	1206(SMD)	1
CD4504	-	CD4504BM	Logic-shifter	1740091	SOIC(SMD)	2
7905	-	LM79L05ACZ/NOPB	Stabilizátor	1685572	TO-92(THT)	4
7905	-	LM7905CT	Stabilizátor	9490370	TO-220(THT)	2
7815	-	BA17815T	Stabilizátor	1831824	TO-220(THT)	1
7915	-	LM7915CT	Stabilizátor	9490450	TO-220(THT)	1
\pm 15V_GREEN, +5V_GREEN, LED_TOP(1-4)G	20mA	LGN971	LED	1226371	1206(SMD)	7
LED_BOT(1-4)Y	20mA	LYN971-Z	LED	1226417	1206(SMD)	4
LED_(BOT(1-4)R	20mA	L-2060SRC	LED	1142459	THT(1,8mm)	8
LED_(TOP(1-4)R					radial	
FASTON1-24	6,3x0,8mm	0-0928814-1	FASTON	4215590	THT	24

Tab. 7 Seznam použitých součástek objednaných z internetového obchodu firmy Farnell

Název	Hodnota	Typ	Poznámka	Obj. číslo	Pouzdro	Kus
V1,V3,V5,V7,V11	SN74AC14N	SN74AC14N	HEX_SCHMITT_	1470853	DIP14 (THT)	6
V13			Trigger inverter			
V2,V4,V6,V8	74HC132	74HC132N	2-input NAND	380532	DIP14 (THT)	4
			SCHMITT_TRIGG.			
V9	7430N	SN74F30N	8 input NAND	1750026	DIP14 (THT)	1
S5	12V/50mA	FSM8JH	tlačítko	1555985	THT	1
SV1	-	MC9A12-2034	HEADER_20pin	1099258	THT	1
SV3	-	MC9A12-1434	HEADER_14pin	1099256	THT	1
-	-	CAB 4 GR	jumper	9728961	-	1
JP9	-	826925-4	HEADER 2x4	1248134	THT	1
JP1,JP3		826936-3	HEADER 1x3	1248150	THT	2
F1	250V/12A	0031.3751	držák pojistky	1838851	THT	1
F1	5x20mm	0034.1507	pojistka	1360773	tube-glass	1
B1,B2	400V/1,5A	KBP04M	usměrňovač	1700845	KBL	2
SV6	5,08mm	PM5.08/2/90	svorkovnička	1131853	THT	1
D1-D9	1000V/10A/75ns	UF4007	desaturační dioda	4085310	DO-41	8
SV5	5,08mm	20020130-H021A01LF	svorkovnička	1860225	THT	2
TRAFO	230V/2x15V	44274	transformátor	1214609	THT	1
7805	20V/5V	LM340AT-5.0/NOPB	stabilizátor	1469096	THT	1
CT100-CT107	100pF/50V	K101J15C0GF53L2	kondenzátor	1141765	THT	8
LEM U	10mA_IN	LV 25-P	napěťové čidlo	1617416	THT	1
LEM I	±70A	LA 55-P	proudové čidlo	1617405	THT	3

Tab. 8 Seznam součástek objednaných od jiných firem

Název	Hodnota	Typ	Poznámka	Pouzdro	Kus
HCPL1-4 TOP	2A (OUT)	HCPL-316J	optočlen	SO-16	8
HCPL1-4 BOT					
IX1-4 TOP	30A (OUT)	IXDD_430YI	posilovací obvod	TO-263	8
IX1-4 BOT					
TOP1-4	1W	VSA 1515D	DC/DC měniče	smd 18 pin	4
BOT	2W	VSV 1515D2H		smd 22 pin	1