

**ZÁPADOČESKÁ UNIVERZITA V PLZNI
FAKULTA ELEKTROTECHNICKÁ**

KATEDRA APLIKOVANÉ ELEKTRONIKY A TELEKOMUNIKACÍ

BAKALÁŘSKÁ PRÁCE

Softwarový funkční generátor

ZÁPADOČESKÁ UNIVERZITA V PLZNI
Fakulta elektrotechnická
Akademický rok: 2011/2012

ZADÁNÍ BAKALÁŘSKÉ PRÁCE

(PROJEKTU, UMĚLECKÉHO DÍLA, UMĚLECKÉHO VÝKONU)

Jméno a příjmení: **Jaroslav PROCHÁZKA**
Osobní číslo: **E08B0393P**
Studijní program: **B2612 Elektrotechnika a informatika**
Studijní obor: **Elektronika a telekomunikace**
Název tématu: **Softwarový funkční generátor**
Zadávající katedra: **Katedra aplikované elektroniky a telekomunikací**

Z á s a d y p r o v y p r a c o v á n í :


1. Prostudujte problematiku softwarových funkčních generátorů.
2. Navrhněte obvodové zapojení a vytipujte vhodné komponenty pro elektrickou i mechanickou část zařízení.
3. Realizujte zařízení a vytvořte programové vybavení pro funkční vzorek.
4. Diskutujte dosažené parametry a vlastnosti funkčního generátoru.

Rozsah grafických prací: **podle doporučení vedoucího**
Rozsah pracovní zprávy: **20 - 30 stran**
Forma zpracování bakalářské práce: **tištěná/elektronická**
Seznam odborné literatury:


Student si vhodnou literaturu vyhledá v dostupných pramenech podle doporučení vedoucího práce.

Vedoucí bakalářské práce: **Ing. Petr Křibský**
Katedra aplikované elektroniky a telekomunikací
Konzultant bakalářské práce: **Ing. Petr Křibský**
Katedra aplikované elektroniky a telekomunikací

Datum zadání bakalářské práce: **18. října 2010**
Termín odevzdání bakalářské práce: **3. června 2012**


Doc. Ing. Jiří Hammerbauer, Ph.D.
děkan




Doc. Dr. Ing. Vjačeslav Georgiev
vedoucí katedry

V Plzni dne 17. října 2011

Anotace

Tato bakalářská práce je zaměřena na návrh a stavbu softwarového funkčního generátoru založeného na principu přímé digitální syntézy. Práce dále popisuje elektronické signály a provádí rozbor jednotlivých metod používaných pro jejich vytváření.

Klíčová slova

Funkční generátor, signál, frekvenční syntéza, přímá digitální syntéza, D/A převodník, antialiasing filtr, ATMega 168

Abstract

This bachelors work is focused on design and construction of a software function generator based on a direct digital synthesis principle. The work also describes electronic signals and makes analyses of each single method used for their creation.

Key words

Function generator, signal, frequency synthesis, direct digital synthesis, D/A converter, antialiasing filter, ATmega 168

Prohlášení

Předkládám tímto k posouzení a obhajobě bakalářskou práci, zpracovanou na závěr studia na Fakultě elektrotechnické Západočeské univerzity v Plzni.

Prohlašuji, že jsem tuto bakalářskou práci vypracoval samostatně, s použitím odborné literatury a pramenů uvedených v seznamu, který je součástí této bakalářské práce.

Dále prohlašuji, že veškerý software, použitý při řešení této bakalářské práce, je legální.

Poděkování

Tímto bych rád poděkoval vedoucímu bakalářské práce Ing. Petrovi Křibskému za cenné profesionální rady, připomínky a metodické vedení práce.

Obsah

Úvod	1
1. Obecný popis elektronických signálů.....	2
2. Způsoby generování elektronického signálu.....	3
2.1. Analogové oscilátory	4
2.2. Přímá analogová syntéza.....	5
2.3. Nepřímá syntéza	6
2.4. Přímá digitální syntéza.....	7
3. Přímá digitální syntéza.....	7
3.1. Obecný popis	7
3.2. Akumulátor fáze	8
3.3. D/A převodník	13
3.3.1 D/A převodník s váhovými odpory.....	13
3.3.2 D/A převodník s odporovou sítí R-2R.....	15
3.3.3 D/A převodníky založené na polovodičové technologii CMOS.....	17
3.4. Antialiasing filtr.....	18
4. Konstrukční řešení funkčního generátoru.....	19
4.1. Hardware	19
4.1.1 Popis procesoru ATmega 168.....	21
4.2. Software	24
4.2.1 Generování signálu	24
4.2.2 Komunikace s počítačem	24
5. Závěr	26
Seznam obrázků	277
Seznam literatury a informačních zdrojů.....	28
Přílohy	I

Seznam symbolů

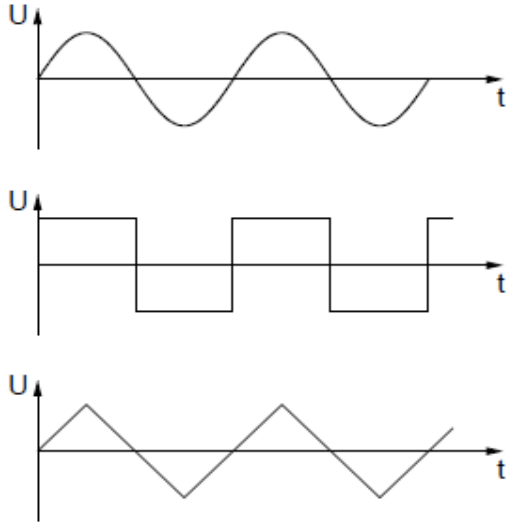
PWM	Pulsně šířková modulace
PLL	Fázový závěs
VCO	Napětově řízený oscilátor
DDS	Přímá digitální syntéza
MSB	Bit s nejvyšší vahou
LSB	Bit s nejnižší vahou

Úvod

Funkční generátory jsou zařízení, která jsou schopna vytvářet na svém výstupu periodické elektrické signály s definovanými parametry. Nalézají uplatnění především v měřicí technice, kde se používají při zjišťování parametrů elektrických obvodů a zařízení. Typickou aplikaci představuje testování elektronických zesilovačů. Funkční generátor se připojí na vstup zesilovače a na výstupu zesilovače se poté sleduje odezva na přicházející signál. Měření je zpravidla realizováno vícekanálovým osciloskopem, jehož jeden kanál se připojí na vstup, druhý na výstup zesilovače a tyto signály se porovnávají. Tímto způsobem lze zjistit důležité parametry, mezi které patří zesílení, frekvenční charakteristika nebo zkreslení.

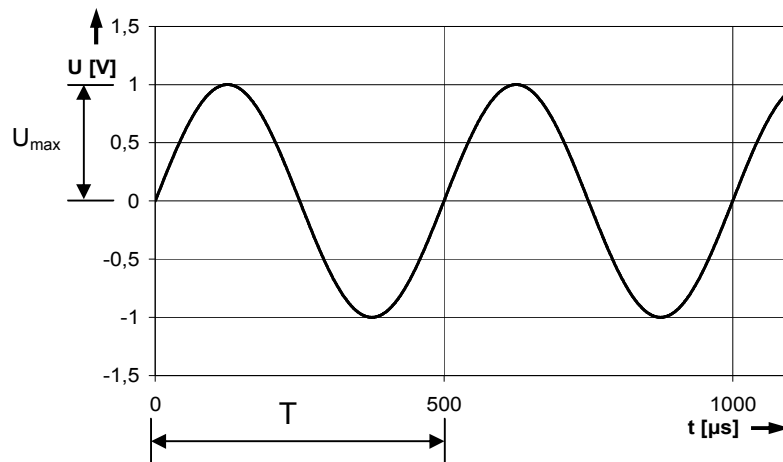
1. Obecný popis elektronických signálů

Základními tvary časových průběhů signálů jsou tvar harmonický (sinusový), pravoúhlý (obdélníkový) a lineární (trojúhelníkový nebo pilovitý). Tyto tvary naznačuje obr. 1.



Obr. 1 Základní tvary časových průběhů signálů: sinusový, obdélníkový a trojúhelníkový

Kromě tvaru jsou důležitými parametry signálu ještě frekvence resp. perioda a amplituda. Frekvence určuje počet opakování základního tvaru signálu za jednotku času a amplituda jeho intenzitu. Pokud bychom používali hudební terminologii, určovala by frekvence výšku tónu signálu (frekvence komorního A činí 440 Hz), amplituda hlasitost a tvar jeho barvu. Parametry jsou znázorněny na obr. 2. Jako příklad je zvolen harmonický průběh signálu o amplitudě 1 V a frekvenci 2 kHz.

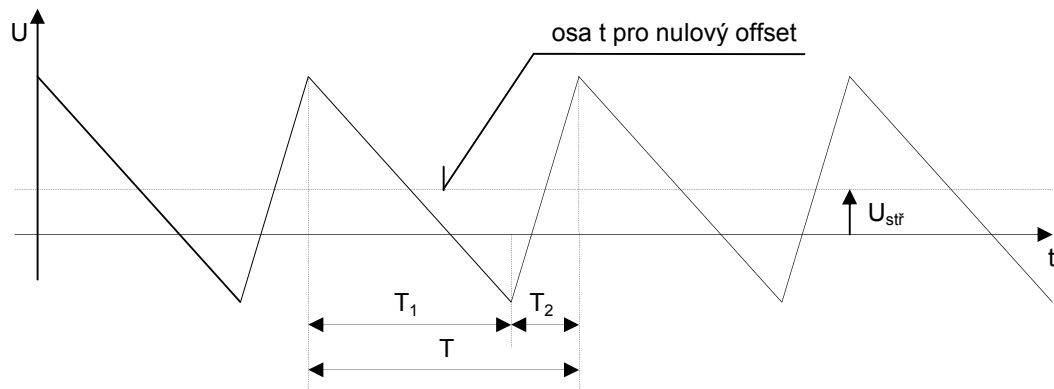


Obr. 2 Harmonický signál s konkrétními hodnotami veličin

U_{\max} zde označuje amplitudu signálu a T jeho periodu. Jak lze vypočítat, frekvenci nelze z grafu přímo odečíst, hodnotu této veličiny je nutno vypočítat z velikosti periody, a to pomocí vzorce pro převrácenou hodnotu:

$$f = T^{-1} = (5 \cdot 10^{-4} \text{ s})^{-1} = 2 \cdot 10^3 \text{ Hz} = 2 \text{ kHz} \quad (1)$$

Mezi další, méně důležité parametry elektronického signálu, patří střída a offset (resp. střední hodnota). Tyto veličiny v podstatě upravují symetrii signálu. Změna offsetu upravuje signál z hlediska úrovně – superponuje k signálu stejnosměrnou složku – a střída z hlediska časového. Možnost nastavovat tyto veličiny mají pouze některé generátory. Navíc u nejběžnějšího tvaru signálu – harmonického – ztrácí smysl úplně. Obr. 3 znázorňuje nesymetrický pilovitý signál včetně hodnot, ze kterých lze hodnoty střídy a offsetu určit.



Obr. 3 Demonstrace parametrů upravujících symetrii signálu

Napětí $U_{\text{stř}}$ odpovídá velikosti offsetu, resp. střední hodnoty signálu. Superpozice jistého stejnosměrného napětí k signálu ho „posouvá“ po napěťové ose aniž by změnila jeho tvar. Pokud bychom chtěli uvedený signál upravit na symetrický, museli bychom k němu superponovat napětí rovné velikosti offsetu, ovšem opačné polarity (korekce symetrie signálu).

Střída je dána poměrem náběžné hrany signálu a periody

$$D = \frac{T_1}{T} \quad (2)$$

Na principu změny střídy je založena např. pulzně šířková modulace (PWM), která v současné době nachází uplatnění v aplikacích výkonové elektroniky, např. při skalárním řízení asynchronních motorů.

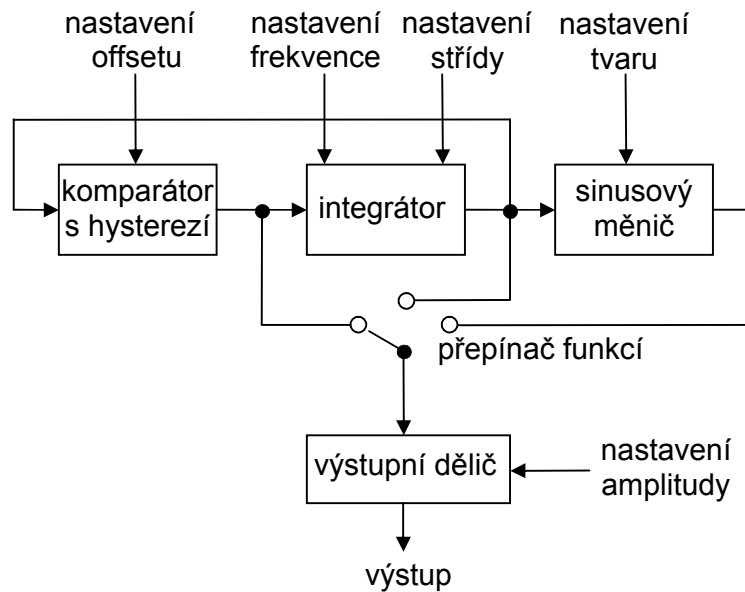
Možností generování signálu je několik, v měřicí technice se zpravidla používají dvě koncepce: analogové oscilátory typu komparátor-integrátor a digitální generátory založené na principu přímé digitální syntézy. Některé z dalších způsobů bývají využity pro specifické účely, mezi které patří například vytváření tónu požadované výšky a barvy v elektronických hudebních nástrojích nebo generování vysokofrekvenčních modulačních signálů pro přenos informací ve sdělovací technice.

2. Způsoby generování elektronického signálu

2.1. Analogové oscilátory

Nejjednodušší způsob realizace vytváření periodických signálů představují analogové oscilátory. Jedná se o obvody sestavené ze základních elektronických součástek, přičemž požadované parametry generovaného signálu lze nastavovat pomocí změny hodnoty některého pasivního prvku. Výpočet těchto hodnot bývá součástí návrhu. Tvar signálu závisí na způsobu zapojení. Možností zapojení je mnoho, pro účely generování měřicího signálu se používá zpravidla koncepce typu komparátor-integrátor, využívající spojení dvou operačních zesilovačů do zpětnovazební smyčky, přičemž jeden je zapojen jako neinvertující komparátor s hysterezí a druhý jako invertující integrátor. Blokové schéma této koncepce včetně pozic pro nastavování parametrů signálu je znázorněno na obr. 4.

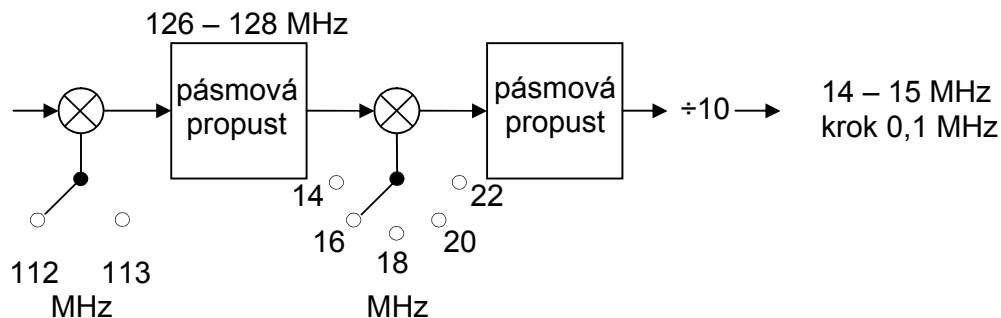
Hlavní výhodou analogových oscilátorů představuje jejich snadná konstrukce, dále cena a dostupnost součástek. Mezi nevýhody patří především tolerance a časová nestálost hodnot pasivních součástek, nemožnost číslicového řízení a v případě generování harmonického průběhu pomocí generátoru tvarových kmitů také jeho značné zkreslení, neboť je získán tvarováním trojúhelníkového signálu většinou pomocí aproximace. Střída trojúhelníkového signálu musí být navíc nastavena na 0,5, což bývá právě důvodem, proč se regulace střídy z návrhu vypouští.



Obr. 4 Blokové schéma analogového oscilátoru

2.2. Přímá analogová syntéza

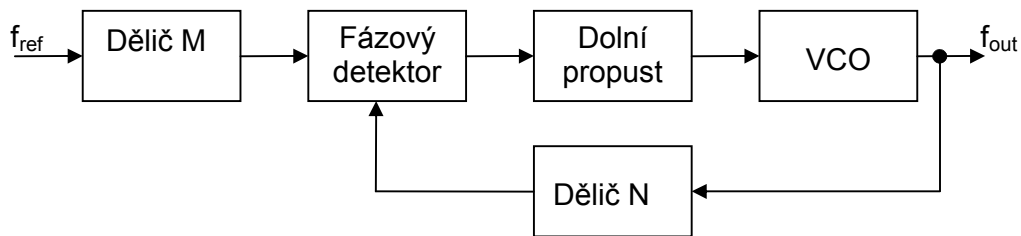
Přímá analogová syntéza, také zvaná směšování/filtrování, využívá násobení, dělení nebo jiných matematických operací pro vytvoření požadované frekvence. Proces je nazýván přímým, protože je vynechán proces korekce chyb, takže kvalita výstupního signálu přímo souvisí s kvalitou vstupního signálu. Tato koncepce přepíná mezi určitými frekvencemi, čili pracuje jako přepínatelná skupina oscilátorů. Princip je naznačen na obr. 5. Díky přímému procesu je fázový šum (šum s frekvencí blízké frekvenci oscilátoru) minimální, typicky způsobený hlavně přenosem, a spínací rychlost může být velmi vysoká. Tento proces je velmi nákladný a navíc jemnější kroky v možnosti nastavování frekvence vyžadují více obvodů, které značně zvyšují složitost a cenu.



Obr. 5 Blokové schéma přímé analogové syntézy

2.3. Nepřímá syntéza

Nepřímá syntéza, také nazývaná PLL (Phase Locked Loop – fázový závěs) využívá oscilátoru řízeného napětím (VCO – Voltage Controlled Oscillator). Signál na výstupu tohoto oscilátoru je porovnáván se signálem referenčním. Odchytkami těchto signálů je tento oscilátor zpětně řízen. Zjišťování odchylek a řízení oscilátoru se děje ve fázovém detektoru. Regulace frekvence je zajištěna nastavitelným děličem, který dělí frekvenci signálu přicházejícího do fázového detektoru, čili výstupní frekvence se v daném poměru násobí. Pro lepší regulaci je možno za referenční oscilátor zařadit ještě jeden dělič kmitočtu.



Obr. 6 Blokové schéma nepřímé syntézy

Výsledná frekvence výstupního signálu je pak dána vztahem:

$$f_{out} = f_{ref} \frac{N}{M} \quad [\text{Hz}, \text{Hz}, -, -] \quad (3)$$

kde f_{out} představuje frekvenci na výstupu řízeného oscilátoru, f_{ref} frekvenci referenčního signálu, N dělicí poměr děliče za řízeným oscilátorem (ve smyčce) a M dělicí poměr děliče za oscilátorem referenčním (před smyčkou).

Toto řešení je mnohem méně cenově náročné než obvody pro přímou analogovou syntézu, jistou nevýhodu představuje pomalá odezva na změny v nastavení děličů a úrovně fázových šumů. Tyto nevýhody jsou přímo úměrné lepším možnostem v nastavování děličů. Při návrhu se musí vhodně zvolit vlastní frekvence smyčky, při které má smyčka jednotkový přenos. Na této volbě závisí schopnost fázového závěsu potlačovat referenční kmitočet a také rychlost ustalování smyčky. Obvykle se volí $\omega_0 = \frac{\omega_r}{50}$, kde ω_0 je vlastní frekvence smyčky při jednotkovém přenosu ($N=1$) a ω_r je referenční frekvence přiváděná na vstup fázového detektoru zvnějšku. Hlavním požadavkem však je aby smyčka PLL byla stabilní. Na kmitočtu ω_0 nesmí být splněna fázová podmínka vzniku oscilací. To znamená, že fázový posuv

rozpojené smyčky musí být menší než 360° , čili fázový posuv filtru smyčky musí být menší než 180° . Rozdíl úhlu 180° a fázového posuvu filtru smyčky se nazývá fázová bezpečnost a prakticky se její hodnota pohybuje okolo 45° . Další nevýhodou je nesnadná konstrukce děličů kmitočtu s nastavitelným dělicím poměrem pro vysoké kmitočty. Tuto koncepci lze vyrobit v analogové i číslicové formě.

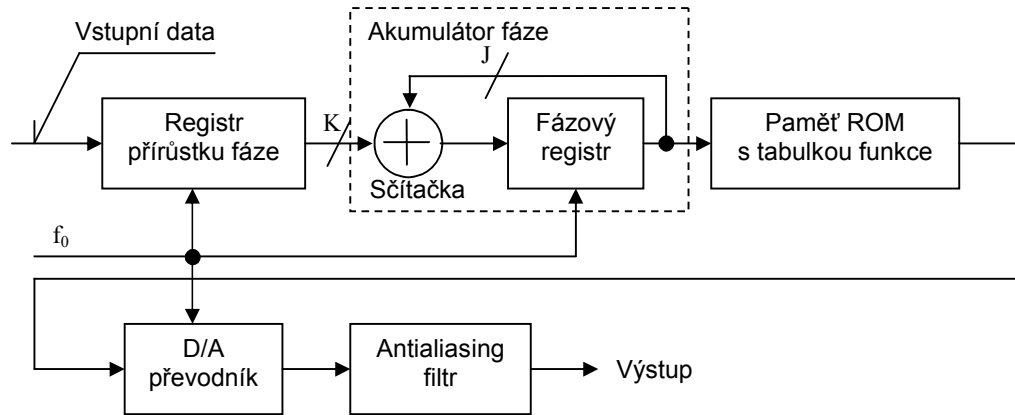
2.4. Přímá digitální syntéza

Přímá digitální syntéza (DDS – Direct Digital Synthesis) je v poslední době nejvíce rozšířená metoda syntézy kmitočtu. Počátky jejího vývoje sahají až do počátku 70. let minulého století. Všechny tři technologie jsou už několik desetiletí známé, ale je to právě přímá digitální syntéza, která se v současné době nejvíce rozvíjí. Jen před několika lety byla DDS jen fenoménem s nízkým uplatněním, ale nyní se stává důležitým návrhovým prostředkem, který nemůže být ignorován žádným návrhářem signálových generátorů. Všechny výše uvedené technologie syntézy kmitočtu pracují na principu oscilátoru, jehož výstupní signál je upravován pomocí směšovačů pro dosažení požadovaného výsledku. DDS se stává výjimečnou tím, že signál je definován číslicově.

3. Přímá digitální syntéza

3.1. Obecný popis

DDS používá logiku a paměť pro číslicovou konstrukci požadovaného signálu a datový převodník pro převedení do analogové formy. Proto téměř všechny části DDS mohou být plně digitální s předem známou frekvencí, amplitudou a fází. Navíc oproti předchozím typům syntézy má toto řešení velkou výhodu v tom, že lze generovat libovolný tvar signálu, neboť tvar signálu v tomto případě nesouvisí s podstatou funkce zařízení, ale jeho hodnoty jsou uloženy v podobě vzorků v paměti. Blokové schéma přímé digitální syntézy je na obr. 7.

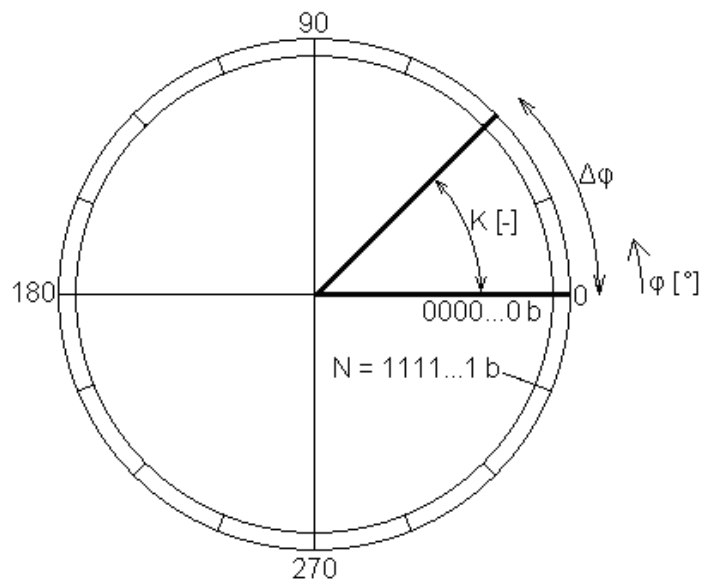


Obr. 7 Blokové schéma přímé digitální syntézy

3.2. Akumulátor fáze

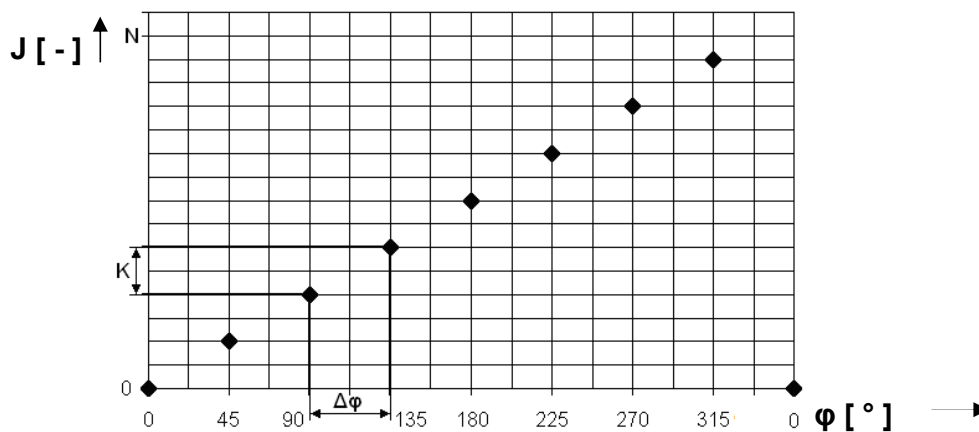
Jádro systému přímé digitální syntézy tvoří akumulátor fáze skládající se ze sčítačky a fázového registru. Jedná se v podstatě o čítač. Hodnota tohoto čítače je s každým hodinovým cyklem referenčního oscilátoru o frekvenci f_0 zvyšována o číslo přicházející z registru přírůstku fáze. Jakmile čítač přeteče, čítá opět od nuly. Tuto funkci lze znázornit graficky pomocí digitálního fázového kruhu. Digitální fázový kruh je zobrazen na obr. 8.

Digitální fázový kruh graficky znázorňuje vztah mezi číslem K přiváděným na vstup akumulátoru fáze K a přírůstkem fáze $\Delta\phi$. Pokud toto číslo uložíme do akumulátoru a následně jej k němu budeme opakovaně přičítat, opíšeme celý obvod kruhu a vrátíme se zpět na počátek. Tento návrat znamená přetečení akumulátoru. Následně se k akumulátoru opět přičte číslo reprezentující přírůstek fáze a celý cyklus se opakuje. Je zřejmé, že čím je hodnota přičítaného čísla K větší, tím je větší i přírůstek fáze. Celá kružnice se potom opíše rychleji. Tento konkrétní fázový kruh má 16 hodnot a odpovídal by 4-bitovému akumulátoru fáze ($2^4=16$).



Obr. 8 Digitální fázový kruh

Obr. 9 znázorňuje tuto funkci v lineární ose. Zde je znázorněna pouze fáze, binární hodnoty byly vypuštěny, k jejich zjištění slouží předchozí graf. Vertikální osa odpovídá okamžitým hodnotám uloženým v akumulátoru fáze.



Obr.9 Závislost hodnoty akumulátoru fáze na fázi

Číslo J představuje výstup akumulátoru fáze. Jeho okamžitá hodnota je přivedena do paměti ROM, kde jsou uloženy všechny hodnoty vzorků požadovaných signálů. Tato hodnota slouží jako adresa aktuálního požadovaného vzorku generovaného signálu, přičemž hodnota 0

ukazuje na první a hodnota N na poslední vzorek. Čím je větší hodnota K , tím ukazatel J projde celou tabulku vzorků v paměti rychleji a více jich vynechá.

Podobným způsobem lze zobrazit průběhy definované čtením paměti ROM pro různé hodnoty K v časové ose. Protože kmitočet hodinového signálu f_0 a velikost akumulátoru N jsou konstantní, je čas t přímo úměrný fázi φ . Koeficient úměrnosti určuje právě velikost řídicího čísla K . Pokud bychom čas považovali za nezávisle proměnnou, lze určit okamžitou hodnotu fáze:

$$\varphi = K \frac{360^\circ \cdot f_0 \cdot t}{N} \quad [^\circ, -, \text{Hz}, -, \text{s}] \quad (4)$$

kde φ odpovídá okamžité hodnotě fáze ve stupních, K číslu přičítanému k akumulátoru fáze, f_0 je frekvence referenčního oscilátoru, N je velikost akumulátoru a t představuje okamžitou hodnotu času.

Grafy na obr. 10 naznačují časový průběh funkce sinus pro různé hodnoty čísla K . Rozdíl fází na konci a na začátku každé periody činí vždy 360° . Všechny tři grafy mají stejné měřítko.

Jak lze z grafů vypořadovat, čím má číslo K vyšší hodnotu, tím za stejný čas proběhne vyšší počet period signálu, čili má signál vyšší frekvenci. Počet generovaných vzorků za jednotku času je však konstantní, z čehož plyne, že při vyšší frekvenci je v každé periodě generováno méně vzorků a signál vykazuje větší zkreslení. Podle Nyquistova kritéria musí být v každé periodě alespoň 2 vzorky. Možnost právě dvou vzorků v periodě však v tomto případě není přípustná, neboť by se na výstupu generátoru objevil buď konstantní signál o nulové úrovni nebo obdélníkový signál o náhodné amplitudě. Navíc v praxi je maximální hodnotu K ještě snížit kvůli omezené strmosti výstupního antialiasing filtru.

Úpravou vzorce (4) lze odvodit vztah pro výpočet frekvence výstupního signálu generátoru. Za čas t dosadíme periodu signálu T a za úhel φ změnu fáze odpovídající tomuto času:

$$360^\circ = K \frac{360^\circ \cdot f_0 \cdot T}{N} \quad (5)$$

Rovnici lze nyní podělit úhlem 360° a za periodu T dosadit frekvenci signálu f :

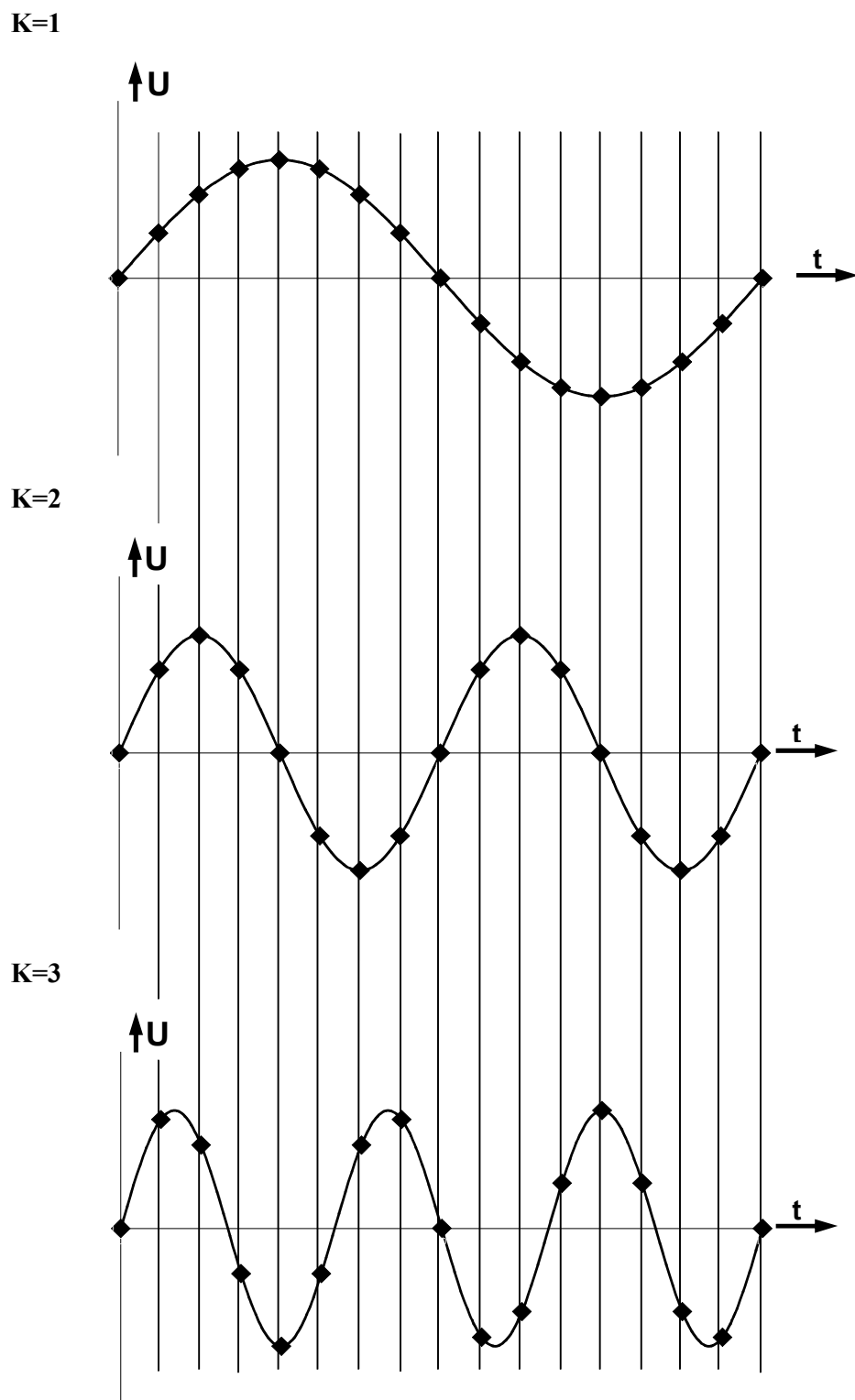
$$1 = K \frac{f_0}{N} \cdot f^{-1} \quad (6)$$

Poslední krok úpravy spočívá ve vynásobení rovnice frekvencí f :

$$f = f_0 \frac{K}{N} \quad (7)$$

Velikost akumulátoru fáze N má být co největší z důvodu malého kroku v nastavování frekvence. V praxi se volí 32 až 48 bitů. Pro adresaci paměti se však nevyužívá celá bitová šířka, neboť by paměť musela být příliš velká. Navíc to není vhodné ani z hlediska výstupního šumu. Proto se do paměti ROM přivádí pouze horních 12 až 14 bitů akumulátoru fáze.

Výstupem paměti ROM jsou data pro digitálně – analogový převodník.



Obr. 10 Časový průběh generovaného signálu pro různé hodnoty K

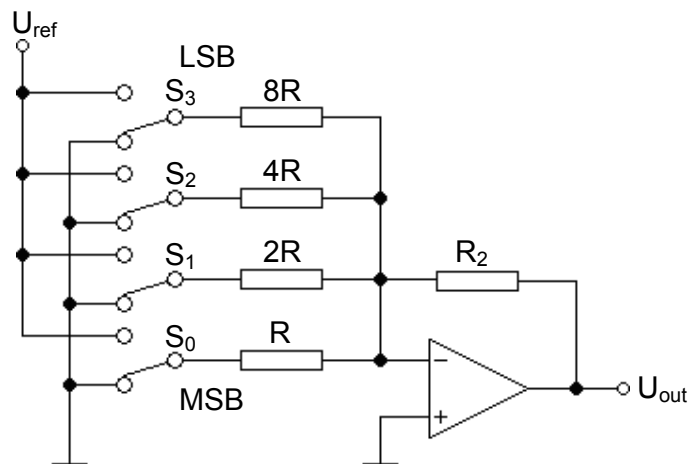
3.3. D/A převodník

Digitálně-analogový převodník konvertuje informaci v číslicové podobě na analogový signál, v případě funkčního generátoru napěťový.

Nejjednodušší provedení převodníku sestává ze sítě rezistorů o daných hodnotách, resp. poměrech, a dále operačního zesilovače, zapojeného jako sumátor. Tuto technologii lze rozdělit na zapojení s váhovými odpory a na zapojení R-2R. Další možnost provedení D/A převodníku představuje integrovaná forma založená na polovodičové technologii CMOS.

3.3.1. D/A převodník s váhovými odpory

Schéma zapojení převodníku je na obr. 11.



Obr. 11 Zapojení D/A převodníku s váhovými odpory

Funkci tohoto převodníku lze popsat velice jednoduše. Přepínače S_0 až S_3 reprezentují jednotlivé bity slova přiváděného na vstup převodníku. Přepínač přivádějící k danému odporu referenční napětí U_{ref} představuje logickou jedničku a přepínač v poloze opačné představuje logickou nulu. Celkový proud odebíraný ze zdroje je pak určen součtem proudů tekoucích větvemi, ve stavu logické nuly. Operační zesilovač zde pracuje ve funkci sumátoru a převádí uvedený součet proudů na požadované výstupní napětí, které je kromě hodnot odporů v síti také definováno odporem R_2 umístěným v jeho zpětné vazbě.

Pro tento obvod lze snadno odvodit vzorec pro výpočet výstupního napětí. Jako příklad je zvolen stav, kdy jsou S_0 a S_2 přepnuté do polohy pro připojení U_{ref} a S_1 a S_3 do uzemňující polohy:

$$I_0 = \frac{U_{ref}}{R} \quad I_1 = 0 \quad I_2 = \frac{U_{ref}}{4R} \quad I_3 = 0 \quad (8)$$

Díky záporné zpětné vazbě operačního zesilovače lze napětí mezi jeho vstupy v ideálním případě považovat za nulové (u reálného operačního zesilovače existuje jistá nesymetrie vstupů, díky které se napětí od nuly liší, ale tuto nesymetrii lze změřit a následně provést korekci). Z této vlastnosti lze odvodit následující vzorec:

$$I_F = \frac{U_{out}}{R_2} \quad (9)$$

Ideální operační zesilovač má vstupní odpor nekonečný. To znamená, že do obou vstupů operačního zesilovače teče nulový proud. Díky této vlastnosti a platnosti prvního Kirchhoffova zákona platí pro jednotlivé proudy následující vztah:

$$I_0 + I_1 + I_2 + I_3 + I_F = 0 \quad (10)$$

Nyní je možno za jednotlivé proudy dosadit odpovídající výrazy obsahující napětí a odpory:

$$\frac{U_{ref}}{R} + 0 + \frac{U_{ref}}{4R} + 0 + \frac{U_{out}}{R_2} = 0 \quad (11)$$

Další krok představuje vyjádření výstupního napětí U_{out} :

$$U_{out} = -U_{ref} \frac{R_2}{R} - 0 - U_{ref} \frac{2R_2}{4R} - 0 \quad (12)$$

Na závěr odvození se z předchozího vztahu vytkne $\frac{-U_{ref}R_2}{R}$:

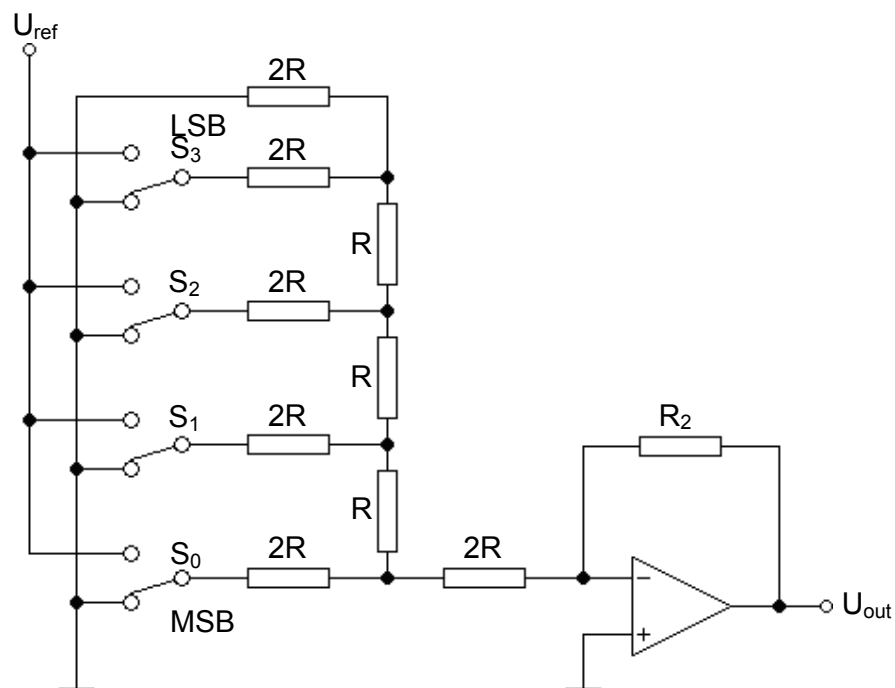
$$U_{out} = -U_{ref} \frac{R_2}{R} \left(1 + 0 + \frac{1}{4} + 0 \right) \quad (13)$$

Různými kombinacemi přepnutí spínačů je tento vzorec obměňován pomocí zlomků v závorce, čímž vzniká na výstupu převodníku požadované napětí. Vzorec navíc díky zápornému znaménku vypovídá o vlastnosti opačné polaroty výstupního napětí vzhledem k napětí referenčnímu (invertující zapojení operačního zesilovače).

Nevýhoda tohoto typu převodníku spočívá především v tom, že pro správnou funkci je nutno použít řadu odporů o navzájem různých hodnotách, ale daných vzájemných poměrech. Hodnoty použitých odporů musí být navíc velmi přesné. Proto se mnohem častěji než tento typ používá D/A převodník s odporovou sítí R-2R.

3.3.2. D/A převodník s odporovou sítí R-2R

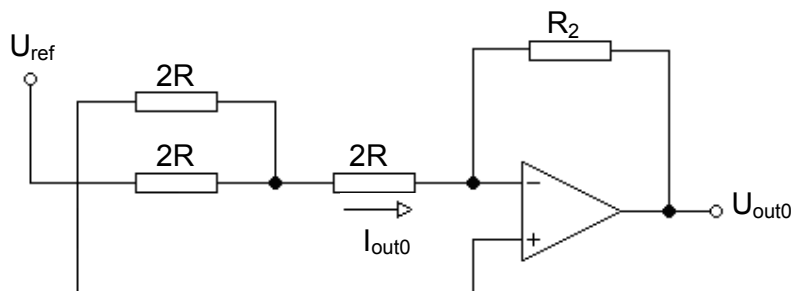
Tento typ převodníku je podobný typu předchozímu. Zásadní rozdíl však představují hodnoty odporů v jeho síti. Zatímco předchozí typ musel obsahovat rezistory s navzájem velmi odlišnými hodnotami a tyto hodnoty musely být velmi přesné, D/A převodník s odporovou sítí R-2R potřebuje pro svou správnou činnost ve své síti pouze rezistory o dvou hodnotách odporů, přičemž jedna hodnota je dvojnásobkem hodnoty druhé. Tyto odpory lze snadno vybrat z řady, například 10 k Ω a 20 k Ω . Toto zapojení lze navíc snadno vyrobit v integrované podobě. Schéma zapojení převodníku je na obr. 12.



Obr. 12 Zapojení D/A převodníku s odporovou sítí R-2R

Obdobně jako pro převodník s váhovými odpory lze i pro tento typ odvodit velikost výstupního napětí vzhledem ke kombinaci přepnutí jednotlivých přepínačů (příklad opět pro S_0 a S_2 přepnuté na U_{ref} a S_1 a S_3 přepnuté na zem). Pro analýzu tohoto převodníku je vhodné pro jednotlivé bity nastavené na stav log. 1 vytvořit náhradní schéma. Konečný vzorec pro výstupní napětí se následně získá pomocí principu superpozice.

Náhradní schéma pro příspěvek bitu spínače S_0 znázorňuje obr. 13.



Obr. 13 Náhradní schéma převodníku s odporovou sítí R - $2R$ pro příspěvek bitu spínače S_0

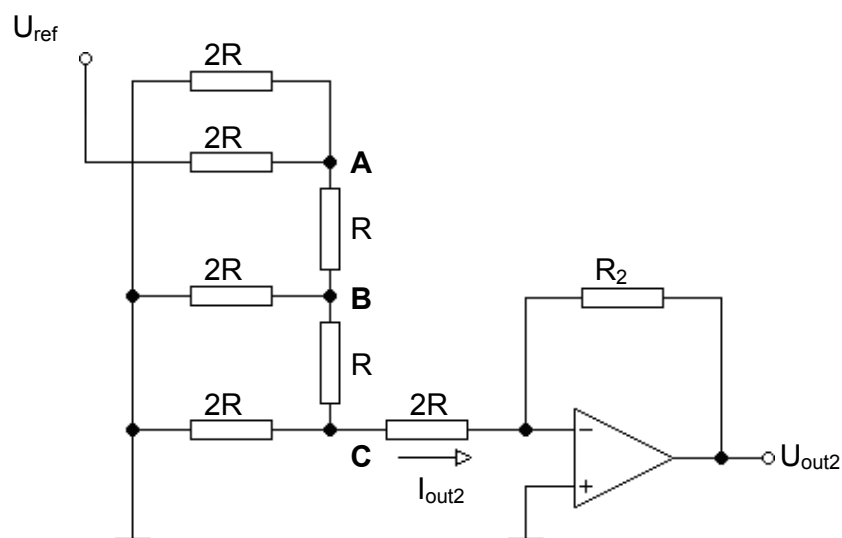
Pro proud I_0 platí vztah:

$$I_{out0} = \frac{U_{ref}}{6R} \quad (14)$$

a pro výstupní napětí U_{out0} :

$$U_{out0} = -R_2 I_0 = -R_2 \frac{U_{ref}}{6R} = -U_{ref} \frac{R_2}{6R} \quad (15)$$

Náhradní schéma pro příspěvek bitu spínače S_2 znázorňuje obr. 14



Obr. 14 Náhradní schéma převodníku s odporovou sítí R - $2R$ pro příspěvek bitu spínače S_2

Celkový odpor mezi svorkou U_{ref} a zemí je po zjednodušení sítě roven hodnotě $3R$.

Proud odebíraný ze zdroje referenčního napětí má poté hodnotu

$$I_{celk} = \frac{U_{ref}}{3R} \quad (16)$$

Tento proud se v uzlu A dělí na dvě shodné části: část tekoucí přes horní odpor o hodnotě $2R$ do země a část tekoucí do bodu B. Vzhledem ke shodným hodnotám odporů v obou větvích jsou tyto části shodné a mají hodnotu

$$I_{A-0} = I_{A-B} = \frac{I_{celk}}{2} = \frac{U_{ref}}{6R} \quad (17)$$

Obdobný vztah platí pro uzel B:

$$I_{B-0} = I_{B-C} = \frac{I_{A-B}}{2} = \frac{U_{ref}}{12R} \quad (18)$$

a pro uzel C:

$$I_{C-0} = I_{out2} = \frac{I_{B-C}}{2} = \frac{U_{ref}}{24R} \quad (19)$$

Pro proud I_2 platí vztah:

$$I_{out2} = -\frac{U_{out2}}{R_2} \quad (20)$$

a pro výstupní napětí

$$U_{out2} = -R_2 I_{out2} = -R_2 \frac{U_{ref}}{24R} = -U_{ref} \frac{R_2}{24R} \quad (21)$$

Po uplatnění principu lineární superpozice lze sečtením předchozích výrazů vyjádřit celkové výstupní napětí:

$$U_{out} = U_{out0} + U_{out1} + U_{out2} + U_{out3} = -U_{ref} \frac{R_2}{6R} + 0 - U_{ref} \frac{R_2}{24R} + 0 \quad (22)$$

Konečná forma vzorce vypadá následovně:

$$U_{out} = -U_{ref} \frac{R_2}{6R} \left(1 + 0 + \frac{1}{4} + 0 \right) \quad (23)$$

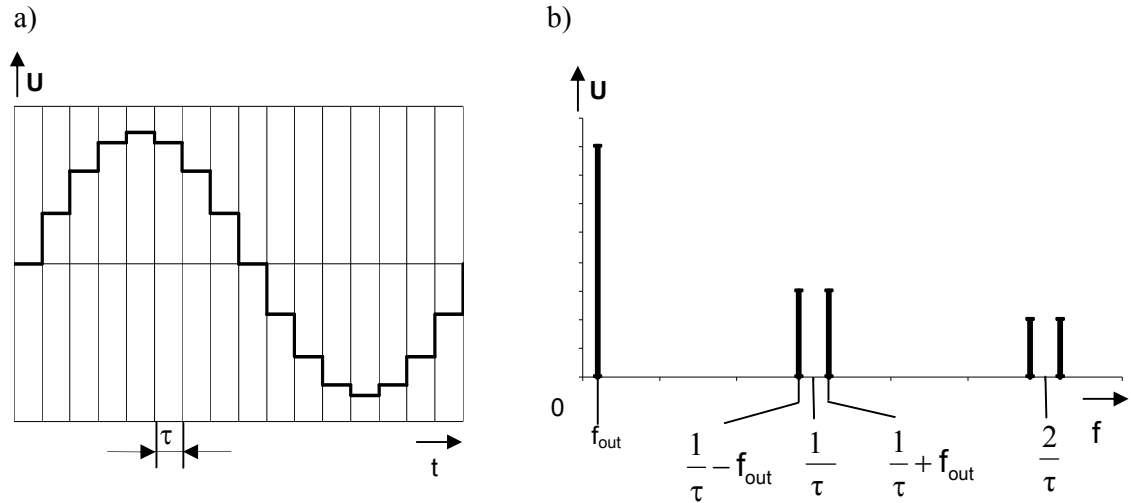
3.3.3. D/A převodníky založené na polovodičové technologii CMOS

Tento typ převodníku má značně složitější strukturu než převodníky předcházející. Vyrábí se vždy jako integrovaný obvod v jednom pouzdře, zpravidla typu určeném pro povrchovou montáž (SMD). Vnitřní struktura většinou nebývá uživateli známa, jsou definovány pouze důležité parametry a popis vývodů pouzdra.

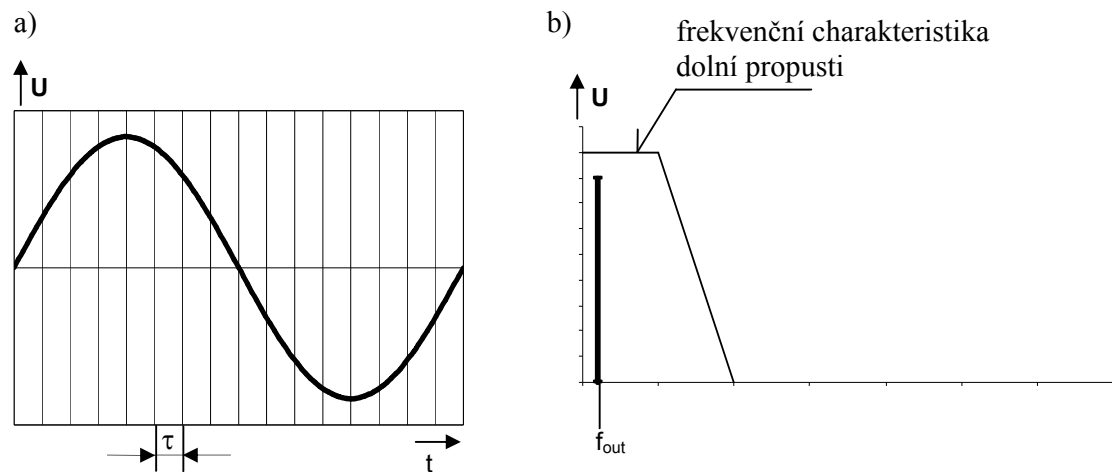
Tento převodník již pro svou funkci potřebuje vlastní (externí) napájecí napětí a také zdroj napětí referenčního. Z pouzdra jsou také separovaně vyvedeny kontakty pro napájení vstupní digitální části (DGTL V_{DD} a DGTL GND) a pro napájení výstupní analogové části (ANLG V_{DD} a ANLG GND). Možnost takto oddělit napájecí napětí má výhodu v tom, že lze omezit rušení analogového výstupu od digitálních částí, neboť prvky digitální technologie odebírají proud pulzního charakteru, který v rozvodu napájení způsobuje šum, přičemž prvky technologie analogové odebírají proud spojitý. Další výhody této technologie spočívají především v nízké spotřebě proudu a dále v možnosti přesného časování okamžiků převodu.

3.4. Antialiasing filtr

Signál vycházející z D/A převodníku je navzorkován. To znamená, že požadovaný signál má v daném časovém intervalu konstantní hodnotu, která se mění nespojitě (skokově). Délka tohoto intervalu odpovídá jedné periodě hodinového signálu převodníku, resp. procesoru. V důsledku tohoto jevu signál vykazuje značné zkreslení a jeho frekvenční spektrum je obohaceno o složky vyšších harmonických frekvencí. Hodnoty těchto frekvencí záleží právě na frekvenci hodinového signálu D/A převodníku a do jisté míry i na frekvenci výstupního signálu. Časový průběh signálu na výstupu D/A převodníku je na obr. 15a a jeho frekvenční spektrum na obr. 15b. Filtr umístěný za D/A převodníkem má za úkol superponované signály těchto frekvencí omezit, a tím vylepšit tvar a vlastnosti generovaného signálu. Časový průběh signálu na výstupu filtru znázorňuje obr. 16a a jeho frekvenční spektrum obr. 16b.



Obr. 15 Časový průběh a frekvenční spektrum sinusového signálu za D/A převodníkem



Obr. 16 Časový průběh a frekvenční spektrum sinusového signálu za filtrem

4. Konstrukční řešení funkčního generátoru

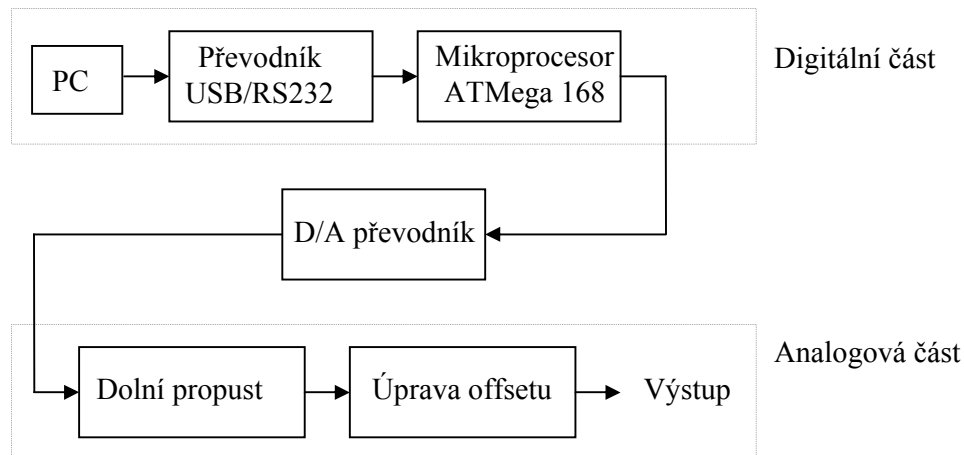
4.1. Hardware

Předkládaná konstrukce je založena na vytváření signálu pomocí jednočipového mikrokontroléru ATmega 168 od firmy Atmel, přičemž nastavování parametrů signálu se děje pomocí vícečipového počítače typu PC. Vzhledem k procesoru by se pro tento účel hodilo sériové rozhraní RS232, jelikož mikrokontrolér disponuje rozhraním UART, které je pro tuto komunikaci vhodné. Vzhledem ke konstrukci současných stolních počítačů a

především notebooků by se však pro možnost komunikace mnohem více hodila sběrnice USB. Na základě těchto okolností se na příslušné vývody procesoru zařadil obvod značky Future Technology Devices International Ltd. (FTDI) s označením FT232BL, který pracuje jako převodník mezi těmito sběrnicemi. Tato uvedená část přístroje je plně digitální.

K mikroprocesoru je připojen osmibitový digitálně – analogový převodník. Tento obvod představuje hranici mezi digitální a analogovou částí přístroje. Zde byl použit převodník v integrované formě typu TLC5602C od firmy Texas Instruments, který bylo možno od firmy získat jako bezplatný vzorek. Při návrhu připojení převodníku k procesoru se dbal důraz především na snadnou konstrukci nevyžadující křížení datových vodičů. Pro připojení bylo nutno použít více bran (portů), a to zejména kvůli absenci použitelné plně osmibitové výstupní brány, neboť jisté části dostupných bran procesoru musely být využity pro jejich alternativní funkce, konkrétně pro zmíněnou sériovou komunikaci a dále pro připojení externího krystalu, potřebného pro stabilní časování procesoru, a v neposlední řadě pro sběrnici ISP použitou pro snadné programování. Korektní nastavení výstupu pro převodník bylo poté realizováno softwarově. I přes tento fakt však musela být deska plošného spoje řešena jako oboustranná.

Signál vycházející z D/A převodníku je dále upraven, a to jednak filtrací a jednak z hlediska offsetu, neboť napětí na jeho výstupu může nabývat pouze kladné polarity. Tyto korekce zajišťují dva operační zesilovače typu OPA2830 opět od firmy Texas Instruments, z nichž jeden pracuje jako aktivní filtr typu dolní propust a druhý jako sledovač superponující k signálu záporný offset pro dosažení jeho nulové hodnoty na výstupu. Hodnoty pasivních součástek filtru byly vypočteny metodou Sallen-Key pomocí programu dostupného na internetu. Protože port USB nemůže poskytnout napětí záporné polarity potřebné pro odstranění offsetu, bylo nutno toto napětí vytvořit dalším obvodem, a to spínaným měničem stejnosměrného napětí. Použit je integrovaný měnič MC34063A v zapojení invertoru napětí vyžadujícím kromě zmíněného integrovaného obvodu nevelký počet externích komponentů. Blokové schéma generátoru je znázorněno na obr. 17.



Obr. 17 Blokové schéma funkčního generátoru

Poslední, ale zásadní problém představovala realizace rozvodu napájení. Jedním z cílů návrhu byla co možná největší separace napájecích vodičů pro digitální a pro analogovou část přístroje, neboť jeho digitální části včetně měniče napětí odebírají z napájecího zdroje proud pulsního charakteru, což způsobuje na rozvodu napájení rušení, přičemž prvky analogové techniky odebírají proud spojitý a rušení na jejich napájecích svorkách je nežádoucí (viz také kapitola o digitálně-analogových převodnicích, str. 27). Napájení je přiváděno z PC přes zmiňovanou sběrnici USB spolu s daty. Hned za konektorem se kladý pól napájecího napětí dělí na dvě větve. Jedna větev slouží k napájení obvodů odebírajícím pulsní proud, kterými jsou mikroprocesor, převodník FTDI (včetně připojených LED diod), dále měnič MC34063A a digitální část D/A převodníku. Druhá větev slouží k napájení analogové části sestávající z části D/A převodníku a operačních zesilovačů (které jsou oba integrovány v jednom pouzdře). Záporný pól je řešen jako rozlitá měď s termálními můstky u vývodů součástek. Návrh desky plošného spoje byl realizován programem EAGLE.

4.1.1. Popis procesoru ATmega 168

Tato součástka je jádrem celého systému. Jedná se o osmibitový mikroprocesor typu RISC, patřící do rodiny osmibitových mikrokontrolérů ATmega 48, ATmega 88 a ATmega 168. Tyto procesory jsou v současné době velmi oblíbené a nacházejí uplatnění v řadě aplikací.

Procesor ATmega 168 se vyrábí ve třech variantách pouzdra – PDIP určeném pro technologii THT a dále v pouzdrech TQFP a MLF určených pro povrchovou montáž. Použita

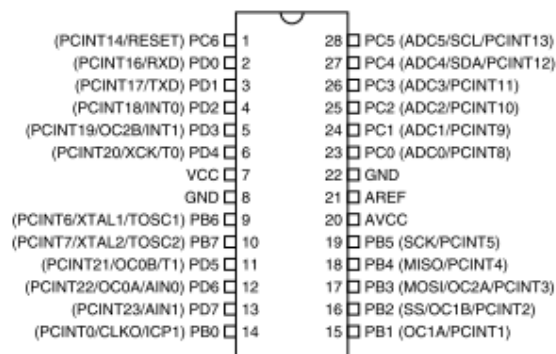
byla verze s pouzdrzem PDIP – viz obr. 18. Pracovní napětí se může pohybovat mezi 2,7 a 5,5 V. Maximální možný kmitočet hodinového signálu procesoru je 20 MHz.

Blokové schéma procesoru je na obr. 19. Mikroprocesor obsahuje vnitřní paměť FLASH o kapacitě 16 kB, paměť EEPROM o kapacitě 1 kB a paměť RAM o velikosti 1 kB. Paměť lze programovat pomocí isp programování (v systému). Díky této možnosti je možno procesor naprogramovat přímo v zapojení pomocí šesti vodičů a není nutné ho neustále fyzicky přemísťovat mezi zapojením a programátorem. Procesor obsahuje tři vstupně-výstupní brány označené jako PORTB, PORTC a PORTD, z nichž dvě jsou osmibitové a jedna sedmibitová. Tyto brány tedy poskytují celkem 23 vývodů, z nichž každý může být naprogramován jako vstupní, výstupní nebo pro jeho alternativní funkci.

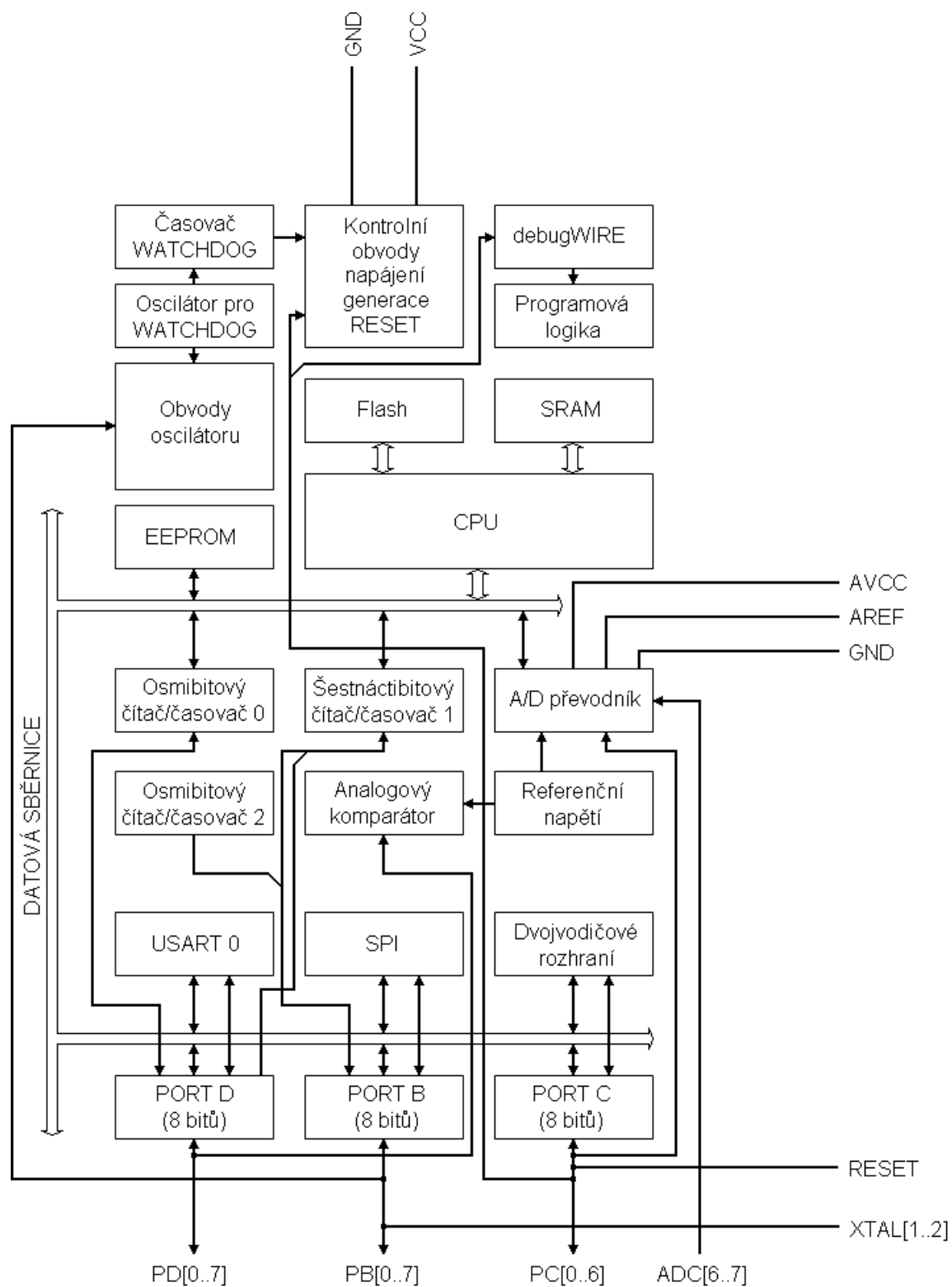
Součástí procesoru jsou dále tři čítače/časovače, z nichž dva jsou osmibitové a jeden šestnáctibitový. Každý z nich lze použít jako generátor PWM a je možno je vzájemně propojovat. Jako zdroj hodinových impulsů pro čítače lze použít vnitřní rozvod procesoru či vnější signál. Pomocí řídicích registrů lze zvolit jak zdroj hodinového signálu, tak řídicí hranu (náběžnou, sestupnou, případně obě). Pokud není zvolen žádný zdroj, čítače stojí. Samozřejmostí je možnost nastavení směru čítání (nahoru nebo dolů) a maximální hodnoty, při jejímž dosažení dojde k přetečení čítače. Příznak přetečení čítače lze použít pro vyvolání přerušení.

Procesor dále disponuje programovatelným sériovým rozhraním USART, dvojitodičovou sériovou linkou a sériovým rozhraním SPI.

Další součástí procesoru je šestikanálový desetibitový analogově-digitální převodník. Mezi těmito kanály lze přepínat. Referenční napětí pro převodník je možno zvolit – lze vybrat interní či externí zdroj.



Obr. 18 Rozložení vývodů procesoru ATmega 168



Obr. 19 Blokové schéma procesoru ATmega 168

4.2. Software

Kromě hardwarové části zařízení je stejně důležitá část softwarová. Programové vybavení generátoru se stará především o správné časování, generování hodnot pro D/A převodník a dále komunikaci s počítačem pomocí rozhraní UART.

4.2.1. Generování signálu

Jak již bylo zmíněno v kapitole 3.2 vysvětlující princip akumulátoru fáze, jádrem principu přímé digitální syntézy je čítač. Ze tří čítačů/časovačů, které procesor Mega 168 obsahuje, byl vybrán osmibitový čítač/časovač 0. Program je založen na periodickém vyvolávání přerušení, které je způsobeno přetékáním čítače. Uvnitř obslužného podprogramu se nejprve nastaví u čítače jeho požadovaná počáteční hodnota a dále se zjišťuje zbytek po dělení pomocné statické proměnné inkrementované o jedničku přednastaveným modulem čítače. Pokud je zbytek nulový, vyvolá se funkce `generovani()` generující výstupní signál. V opačném případě se žádná akce nevykoná, pouze se provede návrat do hlavního programu. Protože je proměnná statická, zůstává její hodnota platná i po skončení přerušení a při novém vyvolání přerušení je tato hodnota opět používána. Výsledkem tohoto algoritmu je, že funkce `generovani()` se vyvolává jen jedenkrát za několik vykonání přerušení. Četnost vyvolávání této funkce je dána nastavenou počáteční hodnotou čítače a nastaveným modulem.

Funkce `generovani()` provádí čtení jednotlivých hodnot funkce uložených v tabulce vzorků. Tabulka obsahuje 256 hodnot funkce. Protože funkce sinus je symetrická, postačí hodnoty pouze pro čtvrtinu periody. Ostatní hodnoty jsou buď shodné nebo lze dopočítat. Hodnoty jsou pomocí funkce ukládány do pomocné proměnné. Následně je vyvolán další podprogram, který již hodnoty funkce umisťuje v binární podobě na výstupní piny procesoru. Protože použitý převodník potřebuje zdroj pulsního hodinového signálu, program provede návrat do funkce `generovani()`, která následně vyšle impuls na hodinový vstup D/A převodníku, čímž je uskutečněn převod binární hodnoty na odpovídající elektrické napětí.

4.2.2. Komunikace s počítačem

Pro předávání dat mezi počítačem a mikrokontrolérem je využita sériová linka UART. Při komunikaci pomocí UART se přenáší postupně jednotlivé bity slova. V přijímači jsou tyto bity následně složeny do původního slova. Každý vysílač a přijímač obsahuje posuvný registr, který představuje konverzi mezi sériovou a paralelní formou dat.

Pro ovládání sériové komunikace pomocí UART je mikroprocesor vybaven celkem čtyřmi registry:

- UDR – slouží k vstupu a výstupu přijmutých či vyslaných hodnot, hodnota zapsaná do registru je ihned vyslána
- UCR – kontrolní registr pro řízení funkce linky UART, umožňuje vyvolání přerušení, obsahuje bity TXDEN a RXDEN, které připojují přijímač a vysílač k obvodům řadiče, dále bity CHR9, RXB8, TXB8 sloužící k ovládání 9 bitového přenosu
- USR – stavový registr ukazující aktuální stav linky, obsahuje bity RXC, TXC a UDRE signalizující ukončení příjmu, vyslání a vyprázdnění UDR, bit FE je nastaven při detekovaném chybně přijatém znaku, bit OR signalizuje uložení přijmutého znaku do UDR ale předchozí ještě nebyl přečten
- UBRR – určuje rychlost komunikace na lince

Přenos dat se děje po dvou vodičích umístěných mezi vývody zařízení označenými jako TXD a RXD. Vývod TXD slouží k vysílání dat (transfer) a vývod RXD slouží k vysílání dat. Z uvedeného je zřejmé, že propojení vývodů mezi přijímačem a vysílačem dat musí být navzájem opačné – na pin TXD vysílače musí být připojen pin RXD vysílače a druhý vodič naopak.

5. Závěr

Úkolem této bakalářské práce bylo navrhnout funkční generátor řízený softwarově. Vzhledem k současným trendům v této problematice se jevílo jako nejvhodnější řešení použití principu přímé digitální syntézy.

Návrh zařízení sestával zejména z výběru vhodných typů integrovaných obvodů vhodných pro použití k realizaci jednotlivých bloků systému, dále v návrhu řešení analogové části a v neposlední řadě ve výběru vhodné technologie vyráběných součástek. K číslicovému vytváření požadovaných hodnot byl použit mikroprocesor ATmega 168, který spadá do v současné době velmi oblíbených a často používaných procesorů AVR od firmy Atmel. Tento procesor byl připojen k přes konvertor FTDI k osobnímu počítači. Komponentů doplňujících číslicové obvody byl malý počet a jednalo se především o blokovací kondenzátory filtrující napájecí napětí. Hodnoty a umístění těchto komponentů byly z velké části udány ve firemní dokumentaci obvodů. Analogová část zařízení sestávala z obvodů upravujících parametry signálu. Výběr vhodného zapojení a hodnot pasivních součástek vyplýval z obecné teorie analogových systémů, hodnoty součástek byly určeny buď přímo nebo výpočtem pomocí programu dostupného na internetu. Analogová část však musela být doplněna obvodem vytvářejícím záporné napětí potřebné pro odstranění offsetu signálu, neboť obecnou vlastností portu USB, který byl použit pro napájení zařízení, je dostupnost pouze kladného napětí.

Další částí návrhu bylo zhotovení desky plošného spoje. K tomuto účelu byl použit návrhový systém EAGLE. Nejprve bylo nakresleno schéma zařízení, které bylo posléze propojeno s návrhem desky plošného spoje. Návrh desky byl poměrně problematický, zejména kvůli rozmístění vývodů integrovaných obvodů. Deska musela být řešena jako oboustranná, přičemž jedna strana sloužila pouze k rozvodu napájecího napětí.

Software generátoru obsahoval dvě základní části: Část generující signál a část realizující komunikaci s počítačem pomocí sběrnice RS232. První část tvořila především práce s čítačem/časovačem. Kromě toho funkce dále obsahovaly kód pro čtení příslušných hodnot z tabulky funkce, uložené v programové paměti mikrokontroléru. Přečtené hodnoty se měly ukládat do pomocné proměnné a následně posílat na příslušné piny procesoru, které k tomu byly určeny a nastaveny jako výstupní. Bohužel nebylo příliš dostupných zdrojů, ze kterých by se pro tuto konkrétní problematiku dalo čerpat, neboť většina programů pro přímou digitální syntézu dostupných na internetu je psána v jazyce symbolických adres. Vzhledem k přehlednosti a především znalosti však byl v práci využit výhradně jazyk c.

Druhá část sestávala z obsluhy komunikace UART. Tato část z většiny realizována kódem dostupným na internetu – viz bod [5] v seznamu použité literatury.

Vzorek se nakonec bohužel nepodařilo zprovoznit. Možnou příčinou mohla být neodhalená chyby ve zdrojovém kódu programu, neboť při měření osciloskopem se na datových výstupech procesoru neobjevovaly příslušné hodnoty generované z tabulky vzorků. Hardwarová chyba procesoru nebyla zjištěna, neboť jeho programování bylo bezproblémové a výsledek testu funkce všech použitých pinů byl pozitivní.

Seznam obrázků

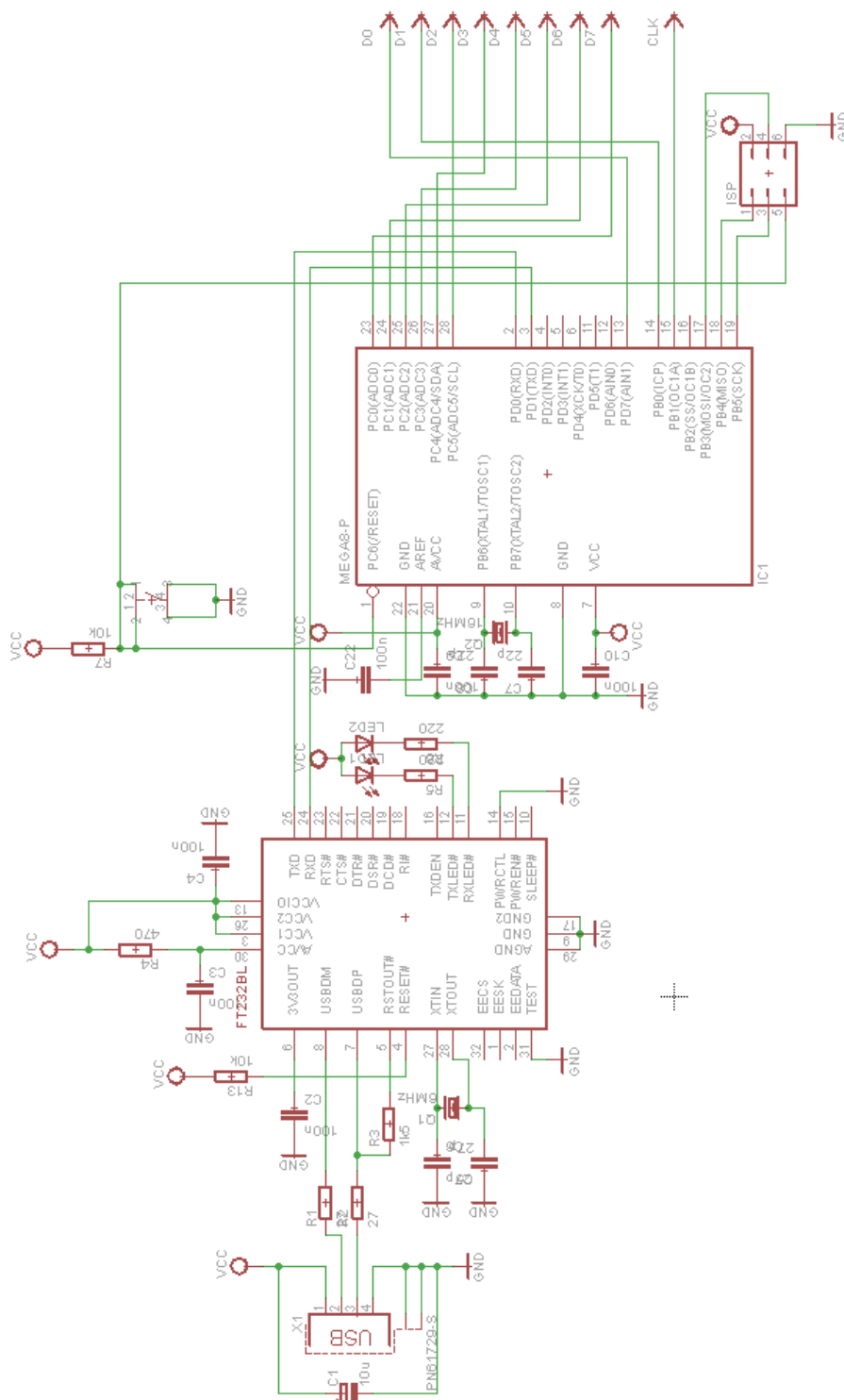
Obr. 1 Základní tvary časových průběhů signálů: sinusový, obdélníkový a trojúhelníkový ..	2
Obr. 2 Harmonický signál s konkrétními hodnotami veličin	2
Obr. 3 Demonstrace parametrů upravujících symetrii signálu	3
Obr.4 Blokové schéma analogového oscilátoru	5
Obr. 5 Blokové schéma přímé analogové syntézy	5
Obr. 6 Blokové schéma nepřímé syntézy	6
Obr. 7 Blokové schéma přímé digitální syntézy	8
Obr. 8 Digitální fázový kruh	9
Obr. 9 Závislost hodnoty akumulátoru fáze na fázi	9
Obr. 10 Časový průběh generovaného signálu pro různé hodnoty K	10
Obr. 11 Zapojení D/A převodníku s váhovými odpory	13
Obr. 12 Zapojení D/A převodníku s odporovou sítí R-2R	15
Obr. 13 Náhradní schéma převodníku s odporovou sítí R-2R pro příspěvek bitu spínače S_0	16
Obr. 14 Náhradní schéma převodníku s odporovou sítí R-2R pro příspěvek bitu spínače S_2	16
Obr. 15 Časový průběh a frekvenční spektrum sinusového signálu za D/A převodníkem ...	19
Obr. 16 Časový průběh a frekvenční spektrum sinusového signálu za filtrem	19
Obr. 17 Blokové schéma funkčního generátoru	21
Obr. 18 Rozložení vývodů procesoru ATmega 168	22
Obr. 19 Blokové schéma procesoru ATmega 168	23

Seznam literatury a informačních zdrojů

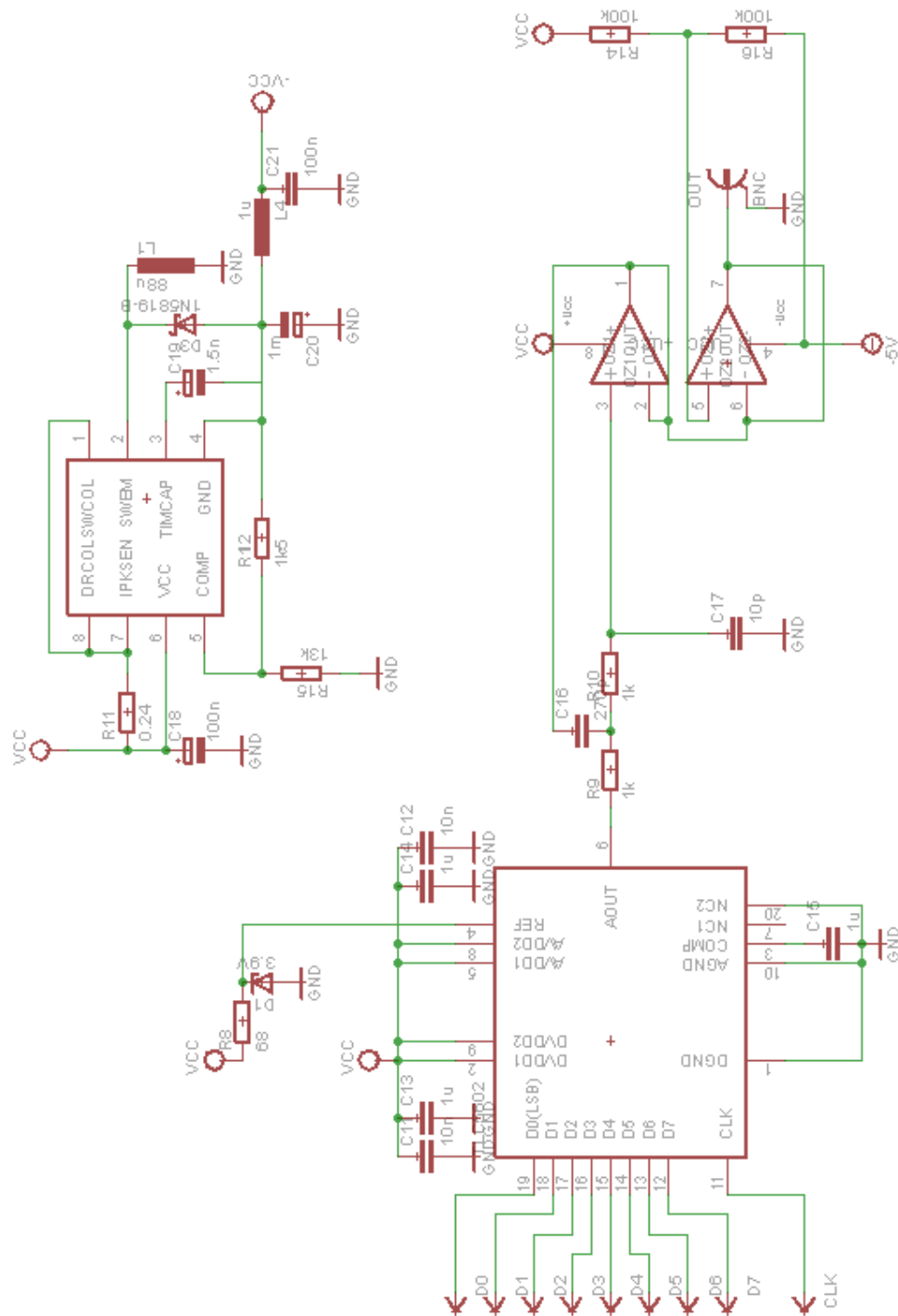
- [1] MANN, Burkhard *C pro mikrokontroléry : ANSI-C, kompilátory C, spojovací programy - linkery, práce s ATMEL AVR a MSC-51, příklady programování v jazyce C*, 2003 ISBN 80-7300-077-6
- [2] MATOUŠEK, David *Práce s mikrokontroléry ATMEL. 3. díl, AVR AT90S*, 2006 ISBN 80-7300-209-4
- [3] MATOUŠEK, David *Práce s mikrokontroléry ATMEL. 4. díl, AVR ATmega16*, 2006 ISBN 80-7300-174-8
- [4] <http://avr.hw.cz/programy/uart/uart.html>
- [5] <http://www.kanda.com/AVR-C-Code-UART.php>

Přílohy

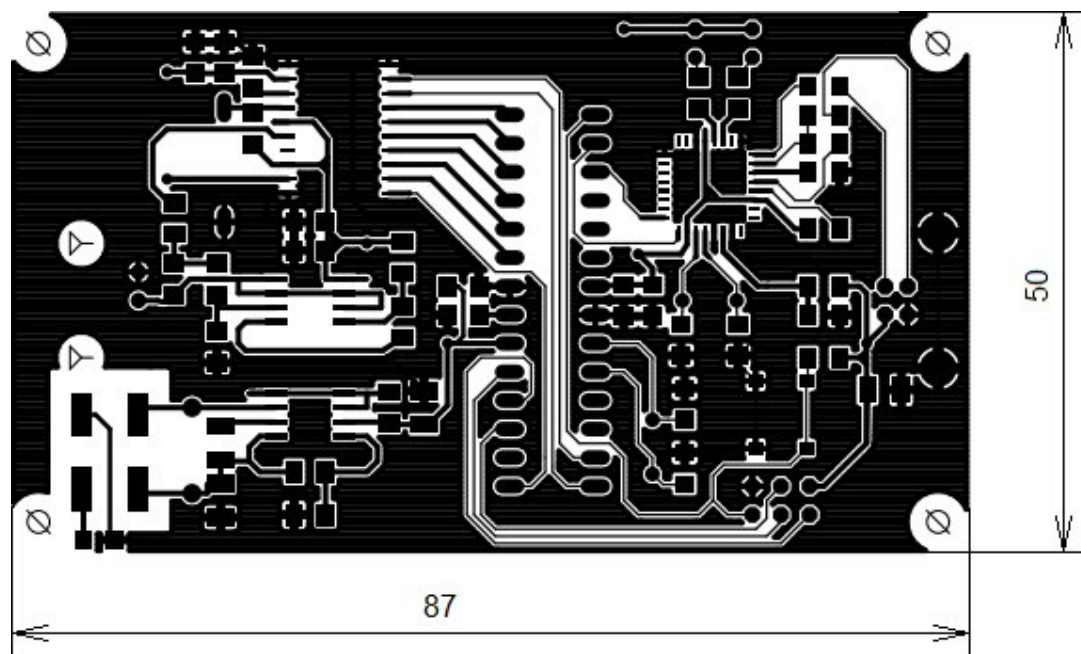
Příloha A1 – Schéma 1. část



Příloha A2 – Schéma 2. část



Příloha B1 – Motiv desky plošného spoje – spodní část



Příloha B2 – Motiv deska plošného spoje – vrchní část

