

# Posudek oponenta bakalářské práce

Autor/autorka práce: Lukáš Výškrabka

Název práce: **Analyzátor rozhraní JTAG**

Obsah práce:

Obsahem práce je návrh a úplná implementace funkčního vzorku analyzátoru rozhraní JTAG. Student prostudoval základní dokumenty, týkající se tohoto rozhraní a na základě získaných informací navrhl v jazyce VHDL analyzátor JTAG s využitím modulu FPGA firmy XESS.

Kvalita řešení a dosažených výsledků:

Vlastní práce má dobrou úroveň zdrojových textů, které jsou psány poměrně přehledně. Návrh byl odladěn pomocí simulátoru ModelSim a funkčnost ověřena snímáním průběhů na rozhraní JTAG mikrokontroléru MSP430. Samotné zvládnutí simulačních prostředků představuje samo o sobě značný kus práce.

Zachycovaná data jsou vysílána po sériovém kanálu. Postrádám vyhodnocení rychlosti snímaných a vysílaných dat vzhledem k použité frontě FIFO.

Formální úroveň:

Práce má logickou stavbu a poměrně dobře do ní může čtenář proniknout. Určité slabiny lze nalézt v úplnosti dokumentace. Především bych považoval za vhodné uvést blokové schéma celého analyzátoru s vyznačením vazeb a signálů mezi jeho částmi. Ty jsou popsány převážně jen pomocí VHDL. V popisu na straně 27 se najednou objevuje popis části mikrokontroléru MSP430, aniž se čtenář dozví proč a za jakým účelem je tento zdánlivě nesouvisející prvek zařazen. To, že se jedná o testovaný objekt analyzátoru si musí čtenář domyslet.

Práce s literaturou:

V seznamu literatury jsou uvedeny dva odkazy, což je nereálné, student musel nutně pracovat s rozsáhlejším souborem.

Splnění zadání:

Zadání práce považuji za splněné.

Dotazy k práci:

Signály testovaného rozhraní nejsou snímány pasivně, ale analyzátořem procházejí. Co tím bylo v návrhu sledováno?

Navrhuji hodnocení známkou **velmi dobře** a práci doporučuji k obhajobě.

V Plzni 28. 5. 2013

  
doc. Ing. Vlastimil Vavříčka, CSc.