

**ZÁPADOČESKÁ UNIVERZITA V PLZNI**

**FAKULTA ELEKTROTECHNICKÁ**

**Katedra aplikované elektroniky a telekomunikací**

# **DIPLOMOVÁ PRÁCE**

**Programovatelný signálový generátor**

Originál / kopie zadání – nahradit tuto stranu

## **Anotace**

Tato práce se zabývá stavbou programovatelného signálového generátoru, a to jak z pohledu návrhu hardwarové části, tak i příslušného software pro programovatelné pole FPGA a PC. Část práce se týká eliminace rušení v přesných elektronických systémech. Výsledkem návrhu, popsaného v této práci, je vícekanálový funkční generátor s frekvenčním rozsahem 0 Hz – 1 MHz, rozkmitem výstupního signálu 1 V<sub>pp</sub> a odstupem signál-šum přes 40dB.

## **Klíčová slova**

Programovatelný signálový generátor, funkční generátor, přímá digitální syntéza, DDS, FPGA, D/A převodník, pasivní filtrace, elektromagnetická kompatibilita

## **Abstract**

This study was aimed on complete design of programmable signal generator, both from the perspective of the hardware and the respective software for FPGA and PC. Substantial part of this thesis deals with noise rejection improvement techniques in precise electronic systems. Result of the design, described in this thesis is multichannel function generator with frequency range 0 Hz – 1 MHz, output amplitude 1 V<sub>pp</sub> and signal-to-noise ratio over 40dB.

## **Keywords**

Programmable signal generator, function generator, direct digital synthesis, DDS, FPGA, D/A converter, passive filtering, electromagnetic compatibility

## **Prohlášení**

Prohlašuji, že jsem tuto diplomovou práci vypracoval samostatně, s použitím odborné literatury a pramenů uvedených v seznamu, který je součástí této diplomové práce.

Dále prohlašuji, že veškerý software, použitý při řešení této bakalářské/diplomové práce, je legální.

.....

podpis

V Plzni dne 3.5.2013

Daniel Machatý

## **Poděkování**

Rád bych na tomto místě poděkoval:

Ing. Petru Kristovi za vedení této práce

Doc. Ing. Martinu Poupovi Ph.D. za podnětné rady ohledně vývoje software pro FPGA

Prof. Ing. Jiřímu Pinkerovi CSc. za konzultace ohledně analogové části

HW oddělení centra RICE, především pak Ing. Liboru Poláčkovi, za proškolení v návrhovém systému Altium Designer

## 1. Obsah

1. Obsah.....	7
2. Seznam symbolů, zkratek a výrazů .....	8
3. Úvod.....	9
4. Teoretická část.....	11
4.1. Signálové generátory .....	11
4.2. Přímá digitální syntéza .....	15
4.2.1. Původ .....	15
4.2.2. Princip, parametry.....	16
4.2.3. Chybové parametry .....	21
4.2.4. Implementace v poli FPGA .....	22
4.3. Programovatelná pole FPGA.....	24
4.4. Elektromagnetická kompatibilita .....	26
4.4.1. Oblast zájmu, popis problému .....	26
4.4.2. Parazitní vlastnosti součástek.....	26
4.4.3. Náhradní model kondenzátoru .....	27
4.4.4. Simulace vlivu .....	28
5. Konstrukční část.....	33
5.1. Koncept zařízení.....	33
5.1.1. Parametry a blokové schéma.....	33
5.1.2. Komunikace v rámci zařízení .....	35
5.2. Řídící modul .....	36
5.2.1. Popis vývojové desky .....	36
5.2.2. Popis zapojení.....	36
5.2.3. Software .....	37
5.3. Výstupní modul .....	41
5.3.1. Popis principu, schéma .....	41
5.3.2. Layout - Digitální část .....	42
5.3.3. Layout - Analogová část .....	42
5.3.4. Elektromagnetická kompatibilita .....	44
6. Závěr .....	45
7. Seznam použité literatury a informačních zdrojů.....	46
8. Seznam příloh.....	48

## 2. Seznam symbolů, zkratek a ustálených výrazů

{ A – B }	Jednoduchý matematický výraz
CDC	Systémy přechodu mezi hodinovými doménami (Clock Domain Crossing)
D/A převodník	Digitálně-analogový převodník
Datasheet	Datový list od výrobce dané komponenty / zařízení
DDS	Přímá digitální syntéza (Direct Digital Synthesis)
DPS, PCB	Deska plošného spoje (Printed Circuit Board)
EMC	Elektromagnetická kompatibilita (Electromagnetic Compatibility)
FFC	Plochý datový kabel (Flat Flex Cable)
FPGA	Programovatelné hradlové pole (Field-Programmable Gate Array)
HW	Hardware
I <sup>2</sup> C	Komunikační sběrnice od firmy Philips (Inter-Integrated Circuit)
Jitter noise	Šum vzniklý chvěním hrany hodinového signálu
LPM	Knihovna modulů pro FPGA (Library of Parametrizable Modules)
MIDI	Komunikační rozhraní digitálních hudebních nástrojů (Musical Instrument Device Interface)
Mixed-signal	Obsahující jak analogovou, tak digitální část
NPO, X7R	Keramické substráty používané jako izolace kondenzátorů
PPM	Miliónovina (Parts Per Milion)
SMT	Technologie povrchové montáže součástek (Surface Mount Technology)
SW	Software
TCL	Skriptovací jazyk (Tool Command Language)
THT	Technologie montáže součástek skrze otvory (Through Hole Technology)
Vcc, Vdd	Kladné napájení (Collector Voltage, Drain Voltage)
Vgnd	Zemní potenciál napájení (Voltage Ground)
Vpp	Rozkmit signálu min-max (Voltage Peak to Peak)
Vss, Vee	Záporné napájení (Source Voltage, Emitter Voltage)



### **3. Úvod**

Téma této práce vzniklo na podnět jejího autora jako příprava pro budoucí povolání v oblasti HW designu. Předmětem zájmu bylo prozkoumání náročnosti návrhu systémů smíšených signálů, výkonných digitálních a analogových systémů pracujících na vyšších frekvencích (v řádech jednotek až stovek MHz), ověření základních znalostí z oblastí číslicového zpracování signálů, polí FPGA a praktického ověření použití analogových filtrací.

Jako téma práce byl zvolen návrh programovatelného signálového generátoru. Nedílnou součástí zadání práce byla fyzická stavba tohoto generátoru, jeho uvedení do provozu a odměření jeho parametrů.

Původně byl obsah práce pojat jako stavba kompletního zařízení včetně uživatelského rozhraní. Priority se však v průběhu prací na návrhu přesunuly k detailnímu propracování analogové části, která se ukázala být stěžejním místem celého návrhu, především kvůli citlivosti na rušení, které způsobuje programovatelné pole FPGA svou běžnou činností. Část práce se tedy týká i pojmů z oblasti elektromagnetické kompatibility. Fyzická stavba zařízení jako součást práce samozřejmě zůstala, pouze byla omezena na stavbu funkčního řetězce uživatel-jádro-výstup, nikoliv na uživatelský komfort a mechanickou odolnost.

Hned v úvodu práce je vhodné poznamenat, že tato práce si neklade za cíl stavbu zařízení, které by mohlo konkurovat profesionálním signálovým generátorům např. od společností Tektronix nebo Agilent. Nejen, že návrh těchto zařízení (především co se týče šířky pásma generátoru a šumových parametrů) je nad rámec vysokoškolského studia, neboť implementuje mnoho proprietárních řešení výrobců včetně mnoha patentů, ale stavba takového zařízení jako funkčního vzorku by byla naprosto mimo finanční možnosti autora. A to jak z pohledu nutnosti výroby mnohavrstvé DPS s řízenou impedancí, tak i z pohledu nutnosti nákupu a náročného osazování drahých součástek v pouzdře pro povrchovou montáž. V dané kategorii tedy nebyly vždy použity ty nejvýkonnější nebo nejrychlejší součástky, nýbrž takové, které dále neznehodnocovaly generující řetězec. Výjimkami jsou řešení, která sice parametry zapojení zhoršují, nicméně jsou vhodnější pro bližší prozkoumání problematiky. Příkladem může být realizace jádra syntézy obvodem FPGA a D/A převodníkem, namísto pevně zapojeného jednočipového řešení obsahujícího zároveň digitální i analogovou část. Tato konkrétní volba například silně zhoršuje parametry zařízení vlivem omezení frekvenčního pásma a vlivem rušení na spojovacích vodičích, nicméně umožňuje kompletní přepracování jádra syntézy bez zásahu do hardwaru.

Jako první výchozí bod pro výběr dalších součástí byl určen obvod FPGA EP4CE22F17C6. Jde o FPGA obvod z nejnižší současné řady těchto čipů od společnosti Altera - Cyclone IV. Množstvím logických buněk (22 tisíc), množstvím vývodů (256 v pouzdře 256FBGA, značeno F17) a maximální rychlostí vnitřních hodin (zhruba 400MHz, závisí na vnitřní topologii konkrétního zapojení uvnitř čipu) však bohatě dostačuje požadavkům této práce. Zároveň jde o nejmenší ze současných FPGA obvodů, pro něž existuje dobře dostupná vývojová deska, v tomto případě deska DE0-nano od společnosti Terrasic [1].

Jako druhý výchozí bod pak byl vybrán D/A převodník AD9742AR od společnosti Analog devices. Jde o 12bitový D/A převodník s proudovým výstupem, paralelním datovým rozhraním a maximálním datovým tokem 210MSPS (MegaSamples Per Second – milionů vzorků za vteřinu). Tato obnovovací frekvence je zhruba poloviční oproti vnitřnímu taktu obvodu FPGA, zdálo by se tedy, že převodník bude systém zpomalovat. Není tomu ovšem tak, neboť přestože vnitřní část FPGA obvodu pracuje na zhruba již zmíněných 400 MHz, výstupní brány jsou schopny pracovat kvůli kapacitní zátěži pouze na frekvenci nižší, a to zhruba mezi 100 a 150 MHz. Přesná hodnota není výrobcem udána, nicméně lze ji získat z výstupu syntezátoru v prostředí Quartus při kompilaci konkrétního obsahu pro konkrétní obvod FPGA (myšleno typově, nikoliv konkrétní fyzický exemplář).

Pro dostatečný počet vzorků na periodu výstupního signálu byla určena maximální generovaná frekvence sinusového signálu na 1 MHz, přestože by teoreticky bylo možné dle Shannonova teorému generovat při vzorkovací frekvenci 100 MHz frekvence do 50 MHz. Pro generace jiných průběhů je nutné zvážení, zdali při konkrétním zvoleném počtu vzorků na periodu ještě generovaný signál dostatečně popisuje zadaný průběh. Například standardní průběhy typu sinus, pila a trojúhelník jsou dobře zobrazené i při malém počtu vzorků na periodu, zatímco například obdélníkový signál o malé šířce pulzu může při příliš velkém fázovém přírůstku (vysvětleno dále v kapitole 4.2) tento pulz zobrazit pouze jednou za několik period a signál tedy nebude odpovídat zadání. Systém na bázi FPGA má ovšem tu výhodu, že za předpokladu potřeby použití generátoru pro speciální použití je možné program v FPGA pozměnit tak, aby vyhovoval konkrétnímu zadání.

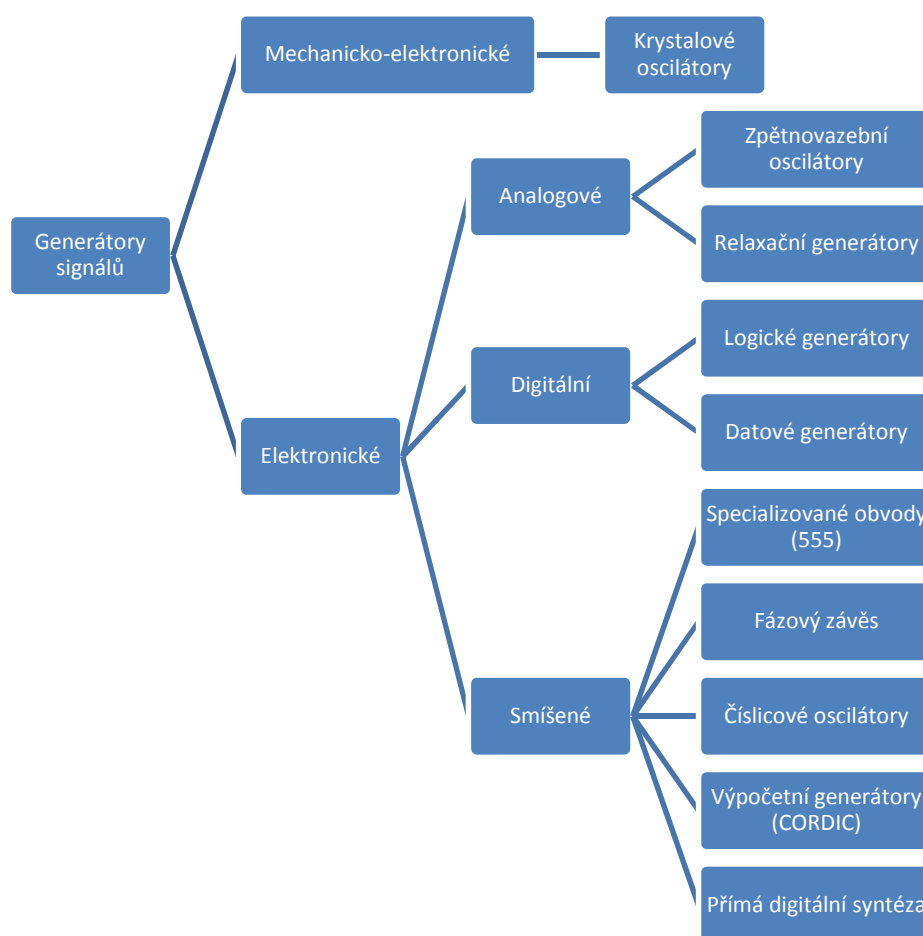
## 4. Teoretická část

### 4.1. Signálové generátory

Jako signálový generátor lze definovat libovolné zařízení, které na svém výstupu vytváří požadovaný průběh signálu příslušného typu. V závislosti na principu generace signálu a na typu výstupního signálu lze tato zařízení dělit do mnoha kategorií.

Na začátek lze jako jednoduchý a kuriózní příklad uvést generátor sinusového průběhu, jehož frekvence je říditelná napětím a jeho výstupní amplituda říditelná proudem. Šlo by v tomto případě o alternátor s hřídelí spojenou napevno se stejnosměrným motorem. Budícím proudem alternátoru můžeme ovládat amplitudu generovaného napětí, napájecím napětím stejnosměrného (hnacího) motoru pak řídit otáčky motoru, respektive výstupní frekvenci.

Přesuneme-li se do spektra elektronických generátorů elektrických signálů, dostáváme mnoho typů generátorů s menšími i většími odlišnostmi. Přehledně rozdělené jsou tyto generátory na obrázku 1.



Obrázek 1 - Přehled generátorů signálů s elektrickým výstupem

Krystalové oscilátory jsou mechanicko-elektronické systémy, pracující na bázi piezo efektu [2]. Precizně broušený krystal křemene s připevněnými elektrodami na svém povrchu pracuje díky přenosu elektrické energie na mechanickou a zpět jako pásmová propust, která vykazuje relativně přesnou rezonanční frekvenci s odchylkou v řádu jednotek až desítek ppm. Náhradní schéma se skládá z RLC součástek, jejichž přesné hodnoty lze dohledat v datasheetech od výrobce. Tato pásmová propust je pak využita ve zpětnovazebním oscilátoru, kde tvoří celý krystalový oscilátor. Krystalový oscilátor se používá jako přesný zdroj hodinového kmitočtu pro číslicové systémy, neboť na rozdíl od RC oscilátorů nevykazuje takové změny frekvence s teplotou. Přestože jde o velmi běžnou a levnou součástku, jako univerzální generátor signálu je naprosto nevhodný. Jednak jeho přeladění vyžaduje mechanický zásah do výbrusu, a jednak na svém výstupu poskytuje pouze velmi omezené spektrum průběhů (sinusový průběh, po průchodu hradlem pak obdélníkový průběh).

Zpětnovazební oscilátory fungují na principu zavedení takové zpětné vazby, která v systému udrží (jejich vyvolání může být způsobeno zvenčí) stabilní kmity. Aby bylo dosaženo stabilních oscilací, je nutné dodržení takzvané amplitudové a fázové podmínky oscilací. Amplitudová podmínka udává, že nezbytné zesílení uzavřené zpětnovazební smyčky oscilátoru je právě 1 – pokud by zesílení bylo větší než 1, kmity by zesilovaly až do saturace obvodu, pokud by zesílení bylo menší, došlo by ke vzniku tlumených kmitů a kmity by postupně zanikly. Fázová podmínka udává nutnost fázového posuvu  $360^\circ$  uzavřené zpětnovazební smyčky, tj. že vstupní napětí oscilátoru musí být ve fázi s výstupním. Nejjednodušší zapojení je ve formě tranzistorového zesilovače v zapojení se společným emitorem a zavedenou zpětnou vazbou z emitoru přes trojici integračních článků. Zapojení se společným emitorem obrací fázi (zavádí fázový posun  $180^\circ$ ), zapojení se tedy rozkmitá na takové frekvenci, na které dosáhne fázový posun trojice integračních článků právě zbývajících  $180^\circ$ . Pro dosažení stejného efektu se používá i dalších zapojení, běžné je například použití Wienova článku nebo výše zmíněného krystalu. Zapojení principiálně generuje pouze sinusový průběh, ovlivnitelná je pouze frekvence a amplituda signálu.

Relaxační generátory jsou principiálně systémy pracující jako komparátor napětí s hysterezí a s akumulacním prvkem v záporné zpětné vazbě. Kladně saturovaný komparátor nabíjí svým výstupem akumulacní prvek a sleduje stavovou veličinu. Ve chvíli, kdy stavová veličina na akumulacním prvku dosáhne hodnoty nastavené okolními součástkami

komparátoru, dojde k překlopení komparátoru a ten začne akumulaci prvek vybíjet. Dostane-li se hodnota stavové veličiny pod dolní mez komparátoru, začne se opět nabíjet a proces se opakuje. Tento obvod poskytuje v různých bodech zapojení různé průběhy. Především jde o průběh změny stavové veličiny na akumulacím prvku a o obdélníkový signál na výstupu komparátoru. Relaxační generátor je snadno přeladitelný změnou rychlosti nabíjení akumulacního prvku. Toho lze dosáhnout například zařazením potenciometru do cesty proudu nabíječícího akumulaci prvek. Opět lze ovlivnit pouze frekvenci, nikoliv však tvar signálu.

Z čistě digitálních generátorů signálů je vhodné zmínit například generátory vstupních vektorů (stimulů). Ty se používají se pro testování číslicových systémů (konkrétně například kombinačních obvodů), kde na každý jednotlivý vstupní vektor je očekáván konkrétní výstupní vektor. Porovnáním tohoto získaného výstupního vektoru s teoreticky odvozeným vektorem lze zkontrolovat očekávanou správnou činnost systému. Těmto systémům podobné, použitím však odlišné datové generátory vytvářejí rychlé sériové toky dat s přesně stanoveným průběhem (s dodržáním tzv. signálové integrity) pro testování přijímačů vysokorychlostních sériových sběrnic. Oba tyto typy generátorů ponechávají výstup v digitální formě jako dvojstavový signál (pomineme-li generátory pro testování např. vícecestavové modulace sériových kanálů). Ani jeden z těchto typů generátorů nepatří tedy do oblasti zájmu této práce.

Poslední skupinou jsou generátory signálu smíšené. Velmi známým a dříve hojně používaným zástupcem je obvod s typovým číslem 555. Zařazením jde o monolitický časovací obvod, funkcí velmi podobný výše popsanému relaxačnímu generátoru. Oproti němu obsahuje další prvky, jako například tranzistor pro vybíjení akumulacního prvku, nebo klopný obvod RS. S minimem vnějších součástek (akumulaci prvek ve formě kondenzátoru a několik rezistorů) se používá především jako astabilní multivibrátor ke generaci obdélníkového průběhu s danou frekvencí a střídou.

V současnosti nejpoužívanějším zástupcem je však fázový závěs. V jednoduchosti jde o zpětnovazební zapojení, pracující hned se dvěma veličinami – rozdílem frekvencí a rozdílem fází. Tyto veličiny jsou spolu vzájemně úzce spjaty (při konstantním rozdílu frekvencí lineárně roste fázový rozdíl v čase) a jsou využity pro sledování vstupní frekvence frekvencí výstupní. Děličky frekvencí umístěné do zapojení umožňují tuto výstupní frekvenci nadále dělit, ale díky zpětné vazbě i násobit. Vyčerpávající popis principu zapojení a odvození všech výhod

lze najít v [2], není tedy nutné ho dále rozebírat zde. Za zmínku stojí, že toto zapojení je natolik užitečné (kompenzuje například chybějící hodinové pulzy ve vstupním signálu), že je použito téměř ve všech současných mikrokontrolerech a programovatelných polích FPGA. Vzhledem ale k tomu, že opět nelze měnit tvar signálu, nehodí se toto zapojení pro účely této práce jako generátor výstupu (nicméně je implementováno v programovatelném poli FPGA využitím v této práci).

Poslední skupinou generátorů signálů v tomto výčtu jsou číslicové oscilátory, výpočetní generátory a metoda přímé digitální syntézy. Všechny tyto generátory signálu principiálně vytvářejí digitální vícebitový signál, který lze sice použít přímo v digitální podobě, nicméně obvyklé využití směřuje k jejich připojení k D/A převodníku a následnému využití analogové reprezentace tohoto signálu.

Číslicový oscilátor funguje jako číslicový IIR filtr s přesně spočítanými zpětnými vazbami. Jde o číslicovou analogii analogového zpětnovazebního oscilátoru. Stejně jako ten ale generuje i sinusový průběh, takže se pro účely této práce plně nehodí.

Výpočetní generátory fungují na matematickém principu. Každý následující vzorek signálu je vypočten posunem nebo rotací vektoru signálu. Příkladem jednoho z těchto generátorů je např. algoritmus CORDIC (COordinate ROTation Digital Computer). Ten se používá pro výpočty převším goniometrických funkcí, jeho možné použití je právě pro výpočet výstupního signálu generátoru.

Poslední z tohoto ne naprosto vyčerpávajícího výčtu generátorů je metoda přímé digitální syntézy. Její princip bude dopodrobna rozebrán v následující kapitole, neboť tato metoda byla vybrána jako vyhovující pro požadavky na zadané zařízení. Umožňuje generaci libovolného průběhu, který vyhovuje principu vzorkovaného systému (Shannonův teorém, nejkratší doba změny signálů, diskretizace času atd.). Principiálně by bylo možné použít algoritmus CORDIC i metodu DDS, nicméně metoda DDS byla vybrána kvůli své jednoduchosti.

## 4.2. Přímá digitální syntéza

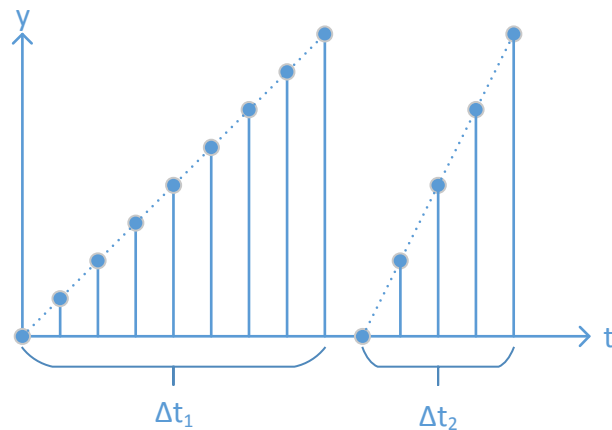
### 4.2.1. Původ

Přímá digitální syntéza (DDS) pochází ze zvukových syntezátorů pro osobní počítače. Ty vznikly jako náhrada za objemově náročný přímý bitový záznam v době, kdy digitální záznamová média počítačů neměla dostatečnou kapacitu pro uložení reálného datového toku. Vznikly tak metody generace uměle vytvořeného zvuku, který pro posluchače v tehdy dostatečné míře vjemově nahrazoval zvuk reálných hudebních nástrojů. Tento formát se označuje jako MIDI (Musical Instrument Device Interface). Jednotlivé skladby jsou pak předávány v digitálním formátu určujícím typ zvuku, jeho výšku a délku trvání. Na straně přehrávače je pak vybrán zadaný zvuk z lokální banky (v ní je uložen krátký charakteristický vzorek signálu) a přehráván dokola po celou dobu trvání tónu. Díky bance zvuků umístěné na straně přehrávače se přenáší jen velmi malý datový tok (31.25 kBaud pro 16 kanálový MIDI formát). Tento formát se dodnes používá v hudebních syntezátorech, ale především v elektronických pianech. Na základě vydávání dat z banky průběhu je vystavěna i přímá digitální syntéza. Více o MIDI formátu lze nalézt na [3].

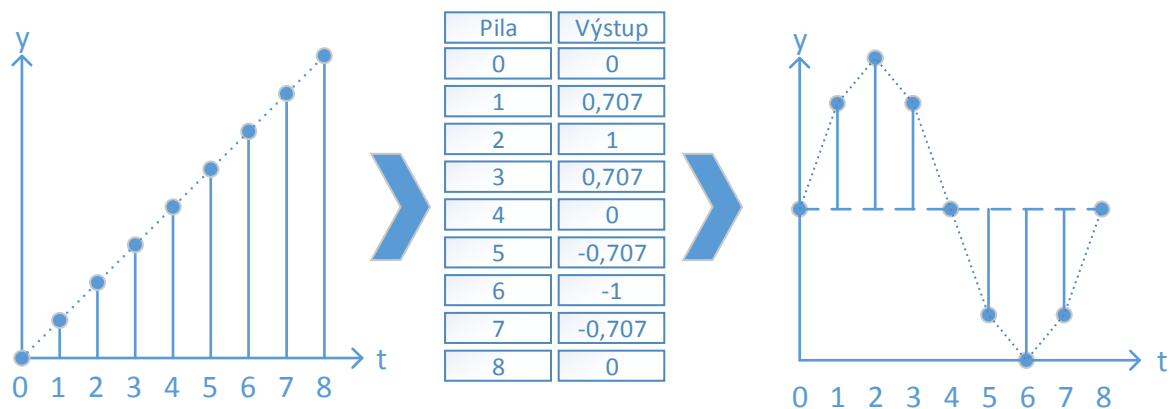
Autorovi této práce se nepodařilo přímo dohledat vynálezce nebo první použití názvu „Direct Digital Synthesis“, nicméně bylo dohledáno mnoho starších patentů, které toto slovní spojení používají. Jedním z příkladů může být americký patent [4] s datem 12. Dubna 1994, číslo patentu US005303412A, vynálezce Lawrence J. Kushner z Massachussettského technologického institutu. Patent nese název „Composite Direct Digital Synthesizer“, ve volném překladu tedy Kompozitní přímý digitální syntezátor. Vlastník se v tomto patentu zabývá návrhem vysokofrekvenčního generátoru kombinací přímé digitální syntézy a následného překladu frekvence do vyššího spektra. Již v anotaci práce se autor odkazuje na termín „A Conventional Direct Digital Synthesizer“, tedy Konvenční přímý digitální syntezátor, což vypovídá o běžnosti zapojení v té době. V odkazech na související nebo výchozí patenty není na toto téma žádná zmínka. Lze tedy vyvodit, že koncept přímé digitální syntézy nemá snadno dohledatelného přímého vynálezce, ačkoliv na toto téma publikovalo mnoho autorů. Přehledná literatura existuje od společnosti Analog Devices, která se zabývá mimo jiné také výrobou monolitických řešení přímé digitální syntézy včetně D/A převodníku. Velmi dobře zpracovaný článek na toto téma lze získat z internetových stránek společnosti Analog Devices [5].

### 4.2.2. Princip, parametry

Metoda využívá systému generace ve dvou krocích. Nejprve je vygenerován signál určující výslednou frekvenci. Ve většině případů jde o pilový signál, jehož strmost (při konstantní vzorkovací frekvenci) určuje frekvenci výstupního signálu (viz obrázek 2). Každý bod tohoto pilového signálu je poté namapován takzvaným amplitudovým kvantizérem na příslušnou výstupní hodnotu (viz obrázek 3).



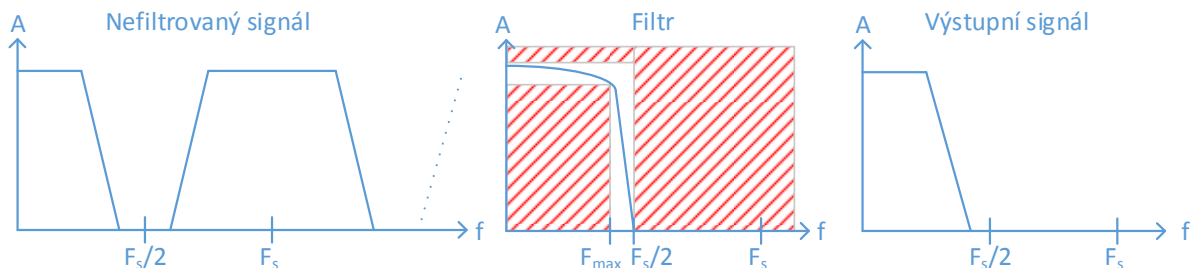
Obrázek 2 - Vliv strmosti pilového signálu



Obrázek 3 - Mapování pily na průběh amplitudovým kvantizérem



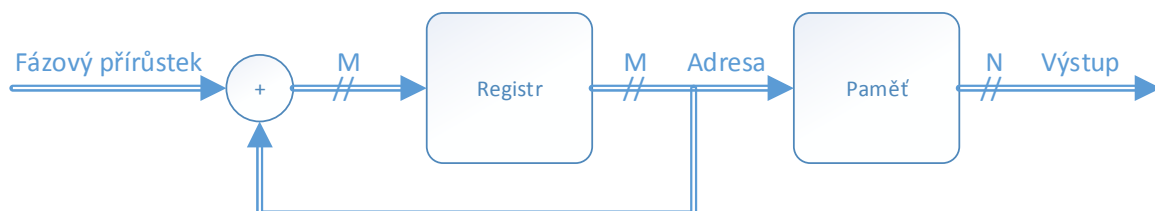
Jako amplitudový kvantizér může být v nejjednodušším případě využita paměť dat s uloženým požadovaným průběhem (viz obrázek 3), ve složitějších případech například výpočtový algoritmus - výstup pilového signálu je zde vstupní proměnná např. pro výpočet goniometrických funkcí. Z amplitudového kvantizéru je signál přenášen do D/A převodníku a dále už v analogové podobě na výstup generátoru. Na konci řetězce v analogové části je nutné zařadit ještě tzv. rekonstrukční filtr. Jde v podstatě o analogii anti-aliasing filtru u A/D převodníku. Při generaci signálu vzorkovaným systémem dochází k tvorbě tzv. obrazů signálu ve vyšších částech frekvenčního spektra, které jsou pro užitečný signál nežádoucí. Jejich odstranění není možné realizovat číslicově a je tedy nutné zařadit analogový filtr. Odstranění obrazů signálu ve vyšších částech spektra je zobrazeno na obrázku 4. Vhodný typ filtru je například Butterworthova aproximace, jež je monotónní v propustné části spektra a nedeformuje tedy spektrum užitečného signálu.



Obrázek 4 - Rekonstrukční filtr

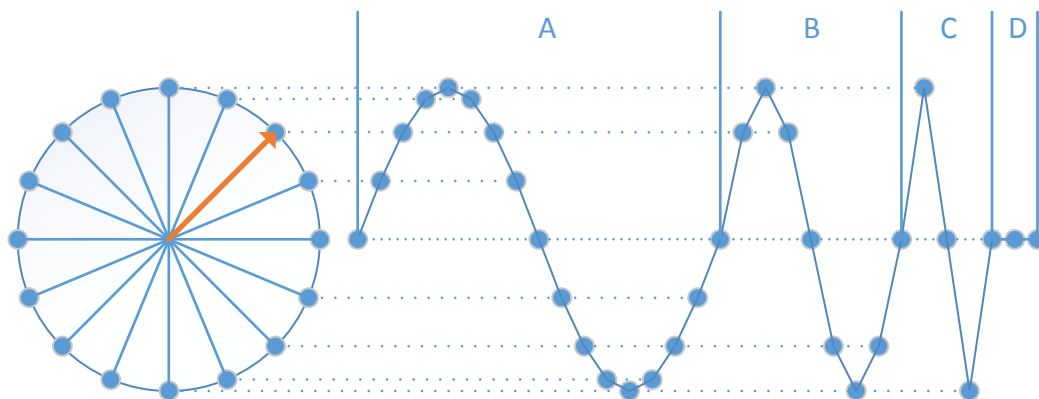
Jako generátor pily (de facto adresy) pro amplitudový kvantizér lze použít prostý čítač, nicméně při konstantní vzorkovací frekvenci systému by systém generoval stále stejnou výstupní frekvenci (pila by měla konstantní strmost). Používá se tedy zapojení upravené a jako generátor adresy se používá tzv. fázový akumulátor.

V nejjednodušší implementaci se jedná o sčítačku s registrem. Vstupy do sčítačky jsou tzv. fázový přírůstek (tedy krok posunu v paměti dat) a současný stav registru – viz obrázek 5.



Obrázek 5 - Jednoduchá implementace DDS

Princip fázového akumulátoru a fázového přírůstku je snadno pochopitelný z následujícího obrázku 6. V oblasti označené A je nijak nezměněný tvar signálu, zobrazený tak, jak je uložen v paměti. Obsahuje 16 hodnot, určujících aktuální hodnotu signálu v 16 časových intervalech. Zobrazený průběh je konkrétně funkce sinus s body rozmístěnými po  $22,5^\circ$  ( $\pi/8$ ), po 16 krocích se vektor dostává do výchozí polohy a průběh se opakuje.



Obrázek 6 - Princip fázového akumulátoru

Za předpokladu, že bude fázový přírůstek 1, pootočí se vektor aktuální hodnoty signálu (zobrazen oranžově) o  $22,5^\circ$ , tedy o jeden vzorek.

Jestliže se fázový přírůstek změní na hodnotu 2, dostáváme se do oblasti B obrázku 6. Počet vzorků na jednu periodu signálu je už jen 8, nicméně doba celé periody signálu je při stejné vzorkovací frekvenci poloviční, frekvence výstupního signálu tedy dvojnásobná. Je tedy vidět, že změnou přírůstku lze měnit frekvenci výstupního signálu.

Při příliš vysokém fázovém přírůstku (8, oblast D) se generátor dostává do oblasti neplatnosti Shannonova teorému (počet vzorků na periodu signálu  $\leq 2$ ) a signál je nedostatečně popsán vydávanými vzorky.

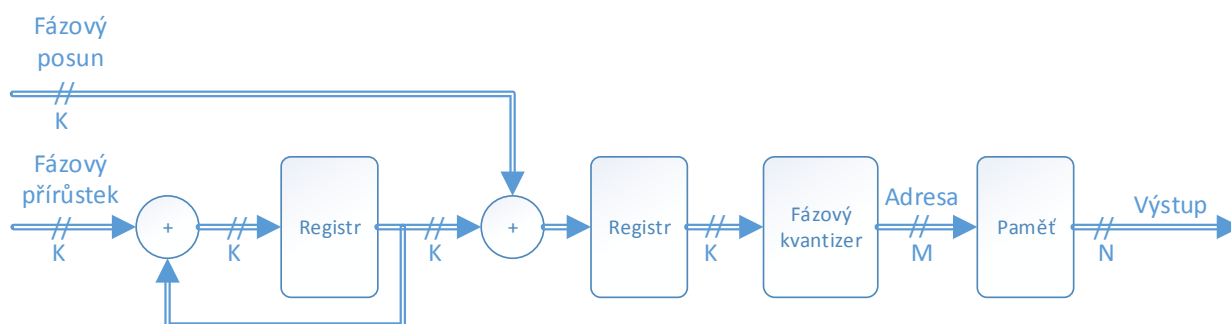
Jak je ovšem patrné z obrázku 6, změna fázového přírůstku je příliš hrubá pro přesné nastavení výstupní frekvence. Podstatným vylepšením je tedy rozšíření fázového akumulátoru na větší šířku, než je šířka adresové sběrnice paměti a následným zařazením fázového kvantizéru. Za předpokladu použití původního zapojení, paměti o délce 4096 slov, tedy šířce adresové sběrnice 12 bitů a vzorkovací frekvenci 8 KHz by nejnížší možný krok ve frekvenci a zároveň nejnížší generovaná frekvence byla 1.95 Hz (rovnice 1). Při změně šířky fázového kvantizéru na 24 bitů získáváme frekvenční krok 0.447 mHz (rovnice 2).

$$f_{min} = \frac{f_s}{2^{12}} = \frac{f_s}{4096} = \frac{8000}{4096} = 1.95 \text{ Hz} \quad (1)$$

$$f_{min} = \frac{f_s}{2^{24}} = \frac{f_s}{16777216} = \frac{8000}{16777216} = 0.477 \text{ mHz} \quad (2)$$

Beze změny šířky adresové sběrnice paměti (tedy bez rozšíření paměti jako takové) byl získán frekvenční krok 4096x nižší, výstupní frekvenci tedy lze nastavit 4096x přesněji. To je podstatný detail, neboť dosažení takovéto přesnosti je u jiných metod prakticky nemožné (s výjimkou výpočetních metod).

Poslední podstatnou modifikací zapojení z obrázku 5 je umožnění fázového posunu signálu. V případě jednoho kanálu tato úprava nemá smysl, ale při použití dvou a více kanálů umožňuje snadný, velmi přesný fázový posun mezi oběma kanály, například pro realizaci I-Q modulace. Fázového posunu lze docílit pouze přidáním jedné další sčítačky a registru. Výsledné zapojení je následujícím obrázku 7.



Obrázek 7 - Kompletní schéma digitální části DDS

Pro úplnost je vhodné uvést, že v systémech generace signálu je samozřejmě možné měnit výstupní frekvenci pomocí změny vzorkovací frekvence. To ale přináší značnou nevýhodu. Při konstantní vzorkovací frekvenci je relativně snadné navrhnout výše zmíněný rekonstrukční filtr. Frekvence, které je nutné odfiltrovat, leží za polovinou vzorkovací frekvence a na tomto předpokladu lze filtr vystavět.

Bohužel v systému, který mění vzorkovací frekvenci, je nutné měnit i parametry filtru. To lze vyřešit několika způsoby. Jednou z možností je vytvořit několik filtrů a v průběhu přeladování vzorkovací frekvence mezi nimi přepínat. Žádný z filtrů ale nebude fungovat přesně. Jinou možností je využití systému filtrace pomocí spínaných kondenzátorů, nicméně při velmi vysokých frekvencích generovaných DDS by musely spínané filtry pracovat na příliš vysoké frekvenci a toto řešení by mohlo být nemožné, nicméně je často používané v monolitických řešeních přímé digitální syntézy.

### 4.2.3. Chybové parametry

Zdrojem nepřesností jsou principiálně dva parametry – kvantizační šumy a jitter šum. Potřebný fázový kvantizér (umožňující připojení K-bitového výstupu fázového akumulátoru k M-bitovému adresovému vstupu paměti) vnáší do výstupního signálu z principu kvantizační šum. Fázový kvantizér totiž odebírá  $\{K-M\}$  bitů z šířky akumulátoru (většinou prostý ořez) a vnáší do systému nepřesnost dolních  $\{K-M\}$  bitů. Tento fázový šum je možné předem vypočítat. Dle aplikační poznámky společnosti Analog Devices [5] je možné vypočítat hladinu fázového šumu z následující rovnice 3.

$$A_{PhaseNoise} = -6.02 * M \text{ [ dB ]} \quad (3)$$

kde  $A_{PhaseNoise}$  je hladina fázového šumu a M šířka výstupu fázového kvantizéru. Tato rovnice je platná pro hodnotu rozdílu  $\{K-M\}$  větší než 4 (což je dle výše zmíněné aplikační poznámky běžná konstrukční praxe, tudíž menší rozdíl není uvažován).

Použitím dříve nastíněného příkladu konstrukce a aplikací fázového kvantizéru (M=12 bitů) dostáváme hladinu fázového šumu -72.14 dB (rovnice 4).

$$A_{PhaseNoise} = -6.02 * 12 = -72.14 \text{ dB} \quad (4)$$

Paměť sloužící jako vyhledávací tabulka je principiálně také kvantizérem, tentokrát amplitudovým, a vnáší do výstupního signálu další šum. Ten je dán šířkou slova v paměti, jeho velikost lze spočítat pomocí rovnice 5.

$$A_{AmplitudeNoise} = -6.02 * N + 1.761 \text{ ; } N \text{ je šířka slova v paměti} \quad (5)$$

Třetí složka šumu je vnášena do systému již hodinovým signálem – jde o tzv. jitter noise (šum vzniklý chvěním hrany). Ten může vznikat hned z několika příčin. Nejčastějším zdrojem jitter šumu je generátor hodinového signálu, u kterého není dodržena dostatečně přesná opakovací frekvence hran signálu. Dalším zdrojem může být například nadměrná zátěž hodinového signálu. Kapacitní zátěž hodinového signálu způsobí nižší sklon hran signálu a hrany jsou tak nepřesně detekovány v přijímací logice. Jitter šum lze náročně přepočítat z nepřesnosti hrany (v pikosekundách) na dB. Pro systém rozebíraný v této práci však nebude s omezením jitter šumu počítáno, neboť zdrojem hodinového signálu je použit fázový závěs v FPGA obvodu, u kterého jednak není možné jitter parametry ovlivnit, a jednak obecně závisí na konkrétním obsahu buněk čipu. Více se lze o jitter šumu dozvědět v [6].

#### 4.2.4. Implementace v poli FPGA

Implementace v poli FPGA může být provedena přímo podle obrázku 7.

Jako zdroj hodinového signálu může být výhodně využit fázový závěs integrovaný v FPGA, neboť tyto přesné zdroje hodinového kmitočtu vykazují velmi dobré parametry ohledně jitter šumu (za předpokladu správného ošetření parametrů syntézy), lze je přenastavit na vhodnou vzorkovací frekvenci a lze využít výstupních bufferů v FPGA pro posílení stability hodinového signálu i při větší kapacitní zátěži.

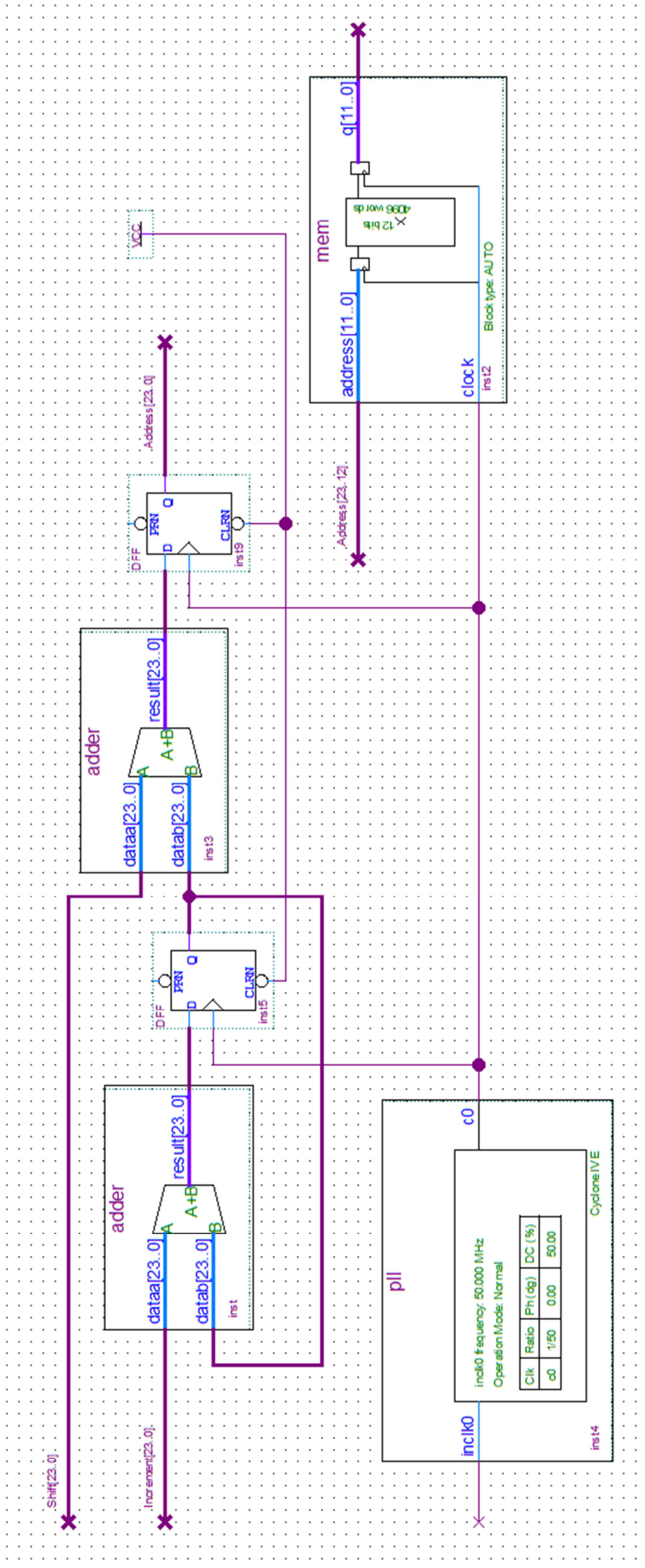
Amplitudový kvantizér lze snadno realizovat za použití integrované paměti v čipu FPGA. Nejen, že tato paměť bývá velmi rychlá (přístupové doby vyhovují maximální rychlosti zbytku čipu), ale také je konstruována jako dvoubránová, tudíž lze druhou bránu použít ke změně generovaného signálu za běhu systému bez použití dalších výstupních pinů programovatelného pole. Úpravy hodnot v bufferu lze dosáhnout například pomocí JTAG rozhraní nebo integrovaného softwarového procesoru.

Fázový kvantizér lze snadno realizovat pouhým odebráním dolních  $\{K-M\}$  bitů v signálu výstupu fázového akumulátoru. Zbývající komponenty jako sčítačky a registry jsou realizovatelné pomocí primitivních komponent ve standardních knihovnách jako LPM (knihovna parametrizovatelných modulů, obsahuje většinu základních hradel a bloků).

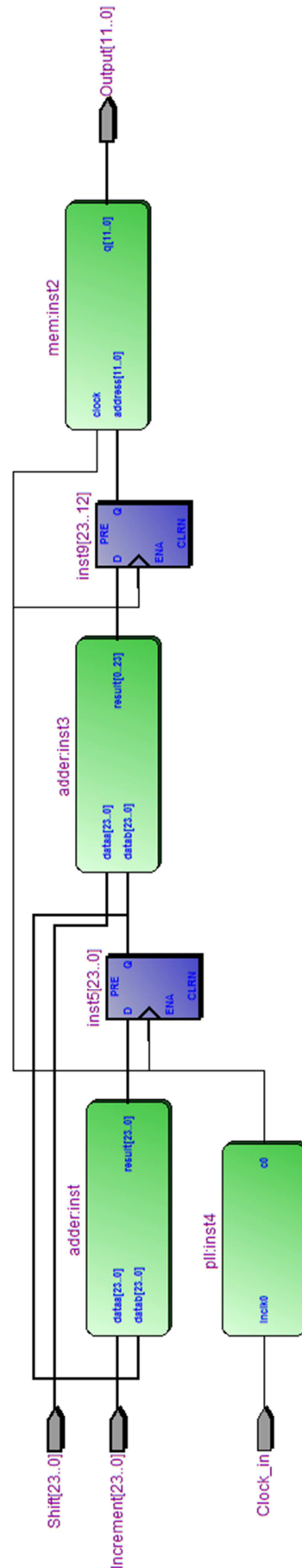
Příklad velmi jednoduchého návrhu celé digitální části DDS je na následujícím obrázku 8. Návrh byl vytvořen pomocí grafického programování ze schématických bloků v návrhovém systému Quartus od společnosti Altera. Pro návrh byly použity pouze integrované komponenty z interních knihoven. Ty jsou optimalizovány přímo od výrobce čipu pro nejlepší funkčnost a jsou dobře odladěny.

Některé bloky bez knihovních funkcí nelze vůbec realizovat – příkladem může být fázový závěs, jehož konfigurace vyžaduje nastavení velkého množství parametrů v grafickém prostředí Megawizard Plug-in Manager.

Na obrázku 9 je zobrazen grafický výstup RTL Vieweru prostředí Quartus. Tento subsystém zobrazuje blokové schéma syntetizovaného systému tak, jak bude ve skutečnosti implementován v programovatelném poli FPGA. Toto zobrazení může být použito pro předběžné ověření, zdali syntezátor návrháře „pochopil“.



Obrázek 8 - Blokové schéma DDS v prostředí Quartus



Obrázek 9 - RTL Viewer Quartus

### 4.3. Programovatelná pole FPGA

Programovatelná pole hradel (z angličtiny Field Programmable Gate Array) vznikly postupným vývojem jako náhrada diskretních logických hradel (např. řady 74xx), ovšem v současnosti pokrývají mnohem širší spektrum použití.

FPGA pole využívají principu, že libovolná logická funkce s daným počtem vstupů (typicky 4) lze nahradit pamětí, kde vstupy logické funkce jsou adresy do paměti, a výstupní hodnota paměti při dané adrese je výsledek logické funkce přiřazené vstupům pomocí pravdivostní tabulky. Tato paměť tedy přímo vyhledává výsledek logické funkce, nazývá se tedy vyhledávací tabulka (Look Up Table – LUT). LUT tabulky jsou v FPGA čípech realizovány pomocí SRAM buněk. Vstupy a výstupy jednotlivých buněk jsou propojeny pomocí velkého množství přepínačů, bufferů a multiplexů do lokálních propojovacích polí. Tyto lokální pole jsou dále pospojovány pomocí metalizovaných vodičů navzájem, je tedy možné přesouvat hodnoty napříč celým čipem.

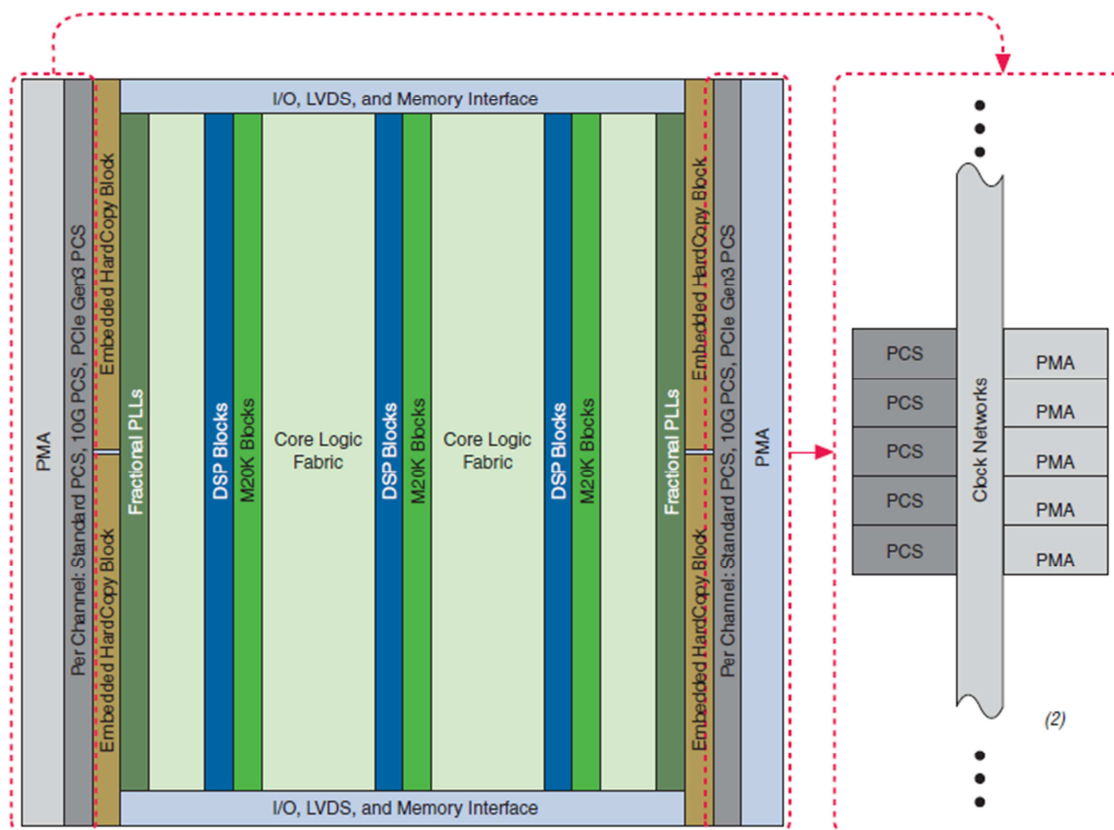
LUT tabulek je v dnešních FPGA čípech obrovské množství. Například v nejvyšší řadě FPGA čipů od společnosti Altera, Stratix V, je dle datasheetu [7] čipu 5SGXBB až 952000 logických buněk. Toto enormní množství umožňuje mnohem více než realizaci logických funkcí. Běžné využití je například pro tvorbu softwarových procesorů, vysokorychlostních transceiverů nebo systémů pro luštění bezpečnostních kódů a šifer.

FPGA čipy neobsahují pouze SRAM buňky pro realizaci logických funkcí, ale mnoho dalších integrovaných periférií. Příkladem mohou být registry, vysokofrekvenční transceivery, fázové závěsy, paměťové buňky, násobičky (celočíselné i floatové), rozhraní pro externí paměti (např. DDR3).

Příklad vnitřního uspořádání FPGA čipu je na obrázku 10. Obrázek byl převzat z dokumentu „Stratix V device overview“ od společnosti Altera.

FPGA obvody se neprogramují tak, jako dříve obvody PAL/GAL pomocí logické funkce, nýbrž pomocí vyšších jazyků pro popis hardwaru (hardware definition language – HDL), například VHDL nebo Verilog. Bližší informace o jazyce VHDL lze nalézt v [8].





Obrázek 10 - Vnitřní uspořádání čipu Stratix V - převzato z [7]

Popis zkratk na obrázku 10:

PMA.....Physical medium attachment (blok pro připojení fyzického přenosového média / fyzické vrstvy protokolu, příkladem jsou budiče sběrnic)

I/O..... Input / output (vstupně výstupní blok)

LVDS..... Low-Voltage Differential Signaling (nízkonapěťová diferenciální sběrnice)

PCS ..... Physical Coding Sublayer (vrstva kódování dat pro fyzickou vrstvu)

PCIe ..... Peripheral Component Interconnect Express (expresní sériová sběrnice pro připojení periferních zařízení)

PLL ..... Phase-Locked Loop (fázový závěs)

DSP..... Digital Signal Processing (blok číslicového zpracování signálů)

M20K..... Memory Block 20 KB (interní paměťový blok o velikosti 20 kB)

## 4.4. Elektromagnetická kompatibilita

### 4.4.1. Oblast zájmu, popis problému

Při vytváření této práce se objevil zajímavý problém s elektromagnetickou kompatibilitou, a to především z pohledu rušení zařízení sebe sama. Právě na tuto malou část oboru elektromagnetické kompatibility se zaměří tato kapitola.

Problém vznikl ve funkčním řetězci D/A převodník – pomocné operační zesilovače, viz blokové schéma na obrázku 18 v kapitole 5.1.1. Výstupní signál byl v první a druhé verzi zapojení (dále nerozebírané vývojové verze zařízení) velmi silně zarušen nejen vzorkovací frekvencí D/A převodníku, ale i dalšími frekvencemi zdánlivě nesouvisejícími se vzorkovací frekvencí. Pro hlubší pochopení problému je nutné nejprve nastínit parazitní vlastnosti reálných součástek – konkrétně kondenzátorů. Ke konkrétnímu popisu problému a jeho řešení dojde v kapitole 4.4.4 .

### 4.4.2. Parazitní vlastnosti součástek

Ideální pasivní elektronické součástky existují pouze v simulacích a na papíře. Žádná reálná součástka není čistě rezistor, kapacitor nebo induktor. Parazitní vlastnosti reálných součástek se skládají primárně ze dvou částí. První způsobuje metoda realizace vlastní součástky – rezistory vinuté z odporového drátu nebo skládané z tenkých vrstev odporových prášků, induktoři se vzduchovým nebo feritovým jádrem, kapacitory elektrolytické nebo keramické. Druhou částí je pak realizace pouzdra součástky – vývodové pro THT technologii, bezvývodové pro SMT technologii, s výkonovými vývody, atd.

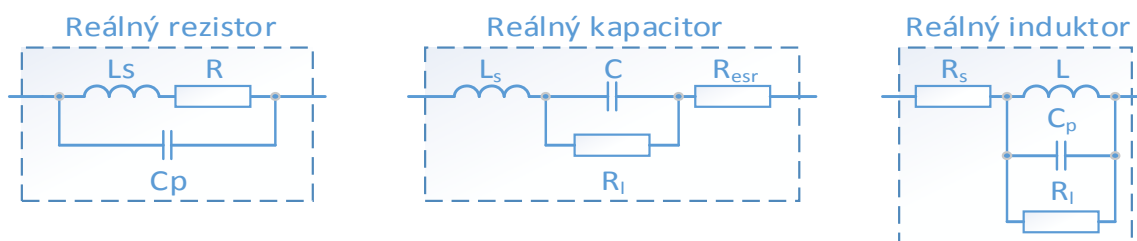
Technologie součástky může být někdy neovlivnitelná, jako například u induktorů o malé indukčnosti nebo velkých kapacitorů, někdy je možné vybírat z různých materiálů (keramické kondenzátory s materiálem X7R, NPO, atd.) a provedení (vinuté a vrstvené rezistory).

Pouzder součástky dané technologie je oproti ní zpravidla na výběr velké množství. Pro nejlepší výsledky ohledně parazitních vlastností se hodí pouzdra součástek bez dlouhých vývodů pro povrchovou montáž (kvůli indukčnosti vývodů). Ty se vyrábějí v několika standardizovaných velikostech, označených svou šířkou a délkou v setinách palce (0805 pouzdro = 0.08 x 0.05 palce = 2.032 x 1.27 mm). Přestože tyto bezvývodové součástky mají řádově lepší parazitní parametry oproti vývodovým součástkám, i mezi jednotlivými SMD pouzdry jsou zásadní rozdíly, jak bude ukázáno v dalších kapitolách.

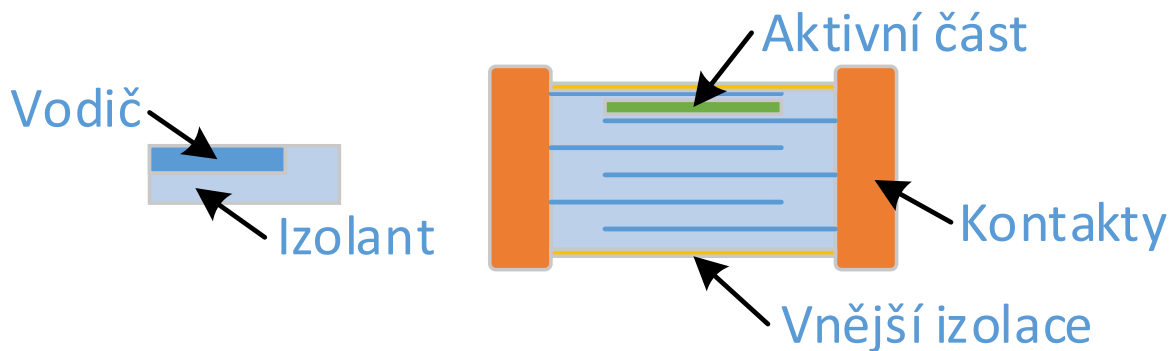
#### 4.4.3. Náhradní model kondenzátoru

Náhradní model kondenzátoru reprezentuje právě tolik parazitních vlastností, kolik je třeba pro kvantifikaci nežádoucích funkcí. Například je možné uvažovat svodový odpor kondenzátoru, nicméně vzhledem k jeho velikosti (často až stovky  $G\Omega$  u keramických kondenzátorů) je zpravidla zanedbáván. Vzhledem k velmi špatným parametrům pro vysoké frekvence nebudou rozebírána vývodová pouzdra. Jednoduché modely – téměř vždy je možné vymyslet složitější model – základních pasivních součástek jsou uvedeny na obrázku 11.

Keramické kapacity v SMT pouzdře se nejčastěji vyrábí technologií MLCC, z angličtiny MultiLayer Ceramic Chip, tedy vícevrstvý keramický čip. Jejich konstrukce je zobrazena na obrázku 12. Vyrábí se postupným nanášením předpřipravených vrstev složených z vodičů a izolantů v práškové podobě. Následně dojde ke spečení keramiky a připevnění vývodů. Bližší popis lze nalézt v [9]. Ekvivalentní obvod se skládá z vlastní ideální kapacity, sériové indukčnosti reprezentující indukčnost vývodů zapouzdření, svodového odporu dielektrika a ekvivalentního sériového odporu kondenzátoru (známý jako ESR). Svodový odpor se, jak již bylo zmíněno výše, většinou zanedbává. Přibližné hodnoty jednotlivých parazitních prvků lze zpravidla dohledat v datových listech „kvalitnějších“ výrobců (TDK, Vishay, Panasonic, atd., viz např. [12]).



Obrázek 11 – Náhradní modely reálných součástek



Obrázek 12 - Konstrukce SMT kondenzátoru

#### 4.4.4. Simulace vlivu

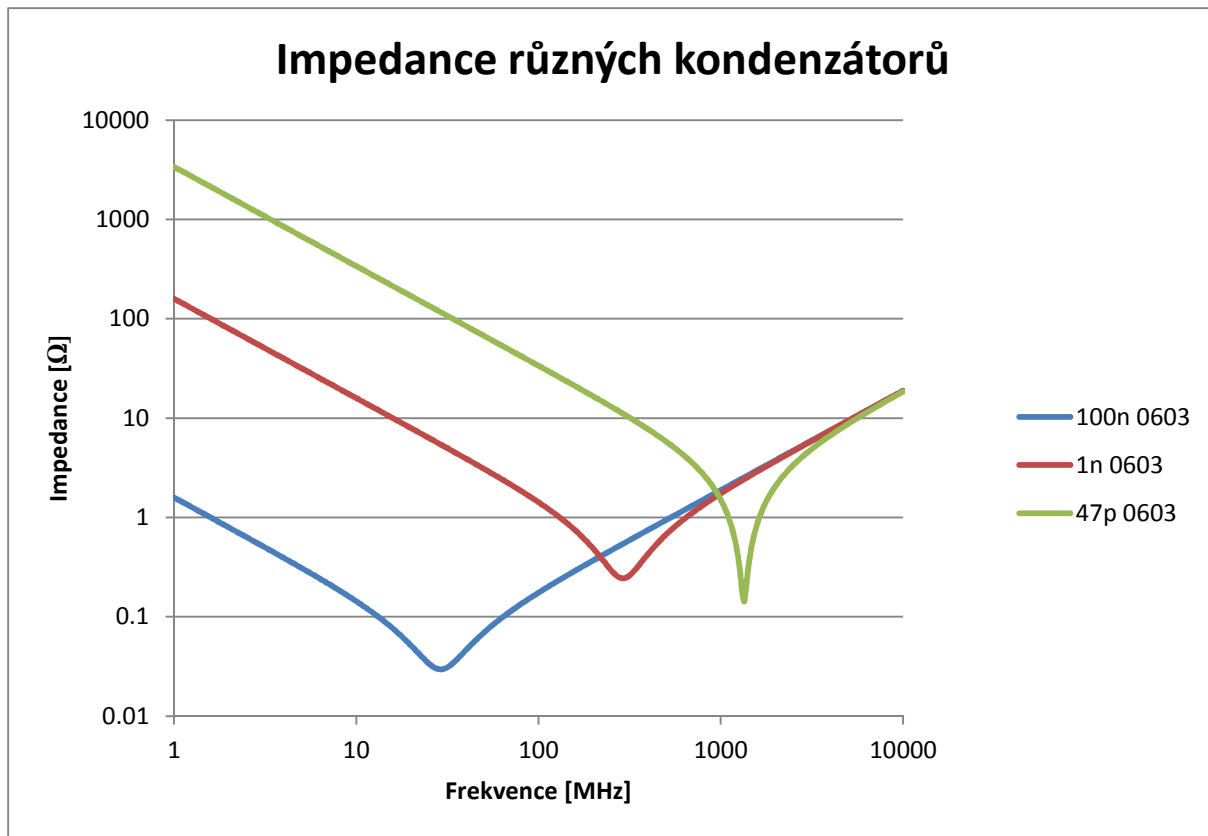
Kondenzátory v blízkosti integrovaných obvodů zastávají primárně dvě funkce. První z nich je tzv. blokování. Ve většině systémů nejsou funkční čipy v těsné blízkosti napájecího zdroje. Indukčnost napájecí cesty od napájecího zdroje ke spotřebiči by způsobila při náhlém odběru proudu (typicky impulzní odběr synchronních číslicových systémů) propad napětí na spotřebiči. Do velmi těsné blízkosti od čipu („rule of thumb“ [13] – konstruktérská praxe - je do 3 mm) se tedy umísťují poměrně velké keramické kondenzátory s malým sériovým odporem (ESR), které jsou schopny dodat potřebný proud po krátkou dobu odběru čipu a následně se dobijí z napájecího zdroje. Jejich minimální kapacita je snadno spočitatelná pomocí základního vzorce pro kondenzátor, viz rovnice 6.

$$C = \frac{I_c \cdot \Delta t}{\Delta U_c} \quad (6)$$

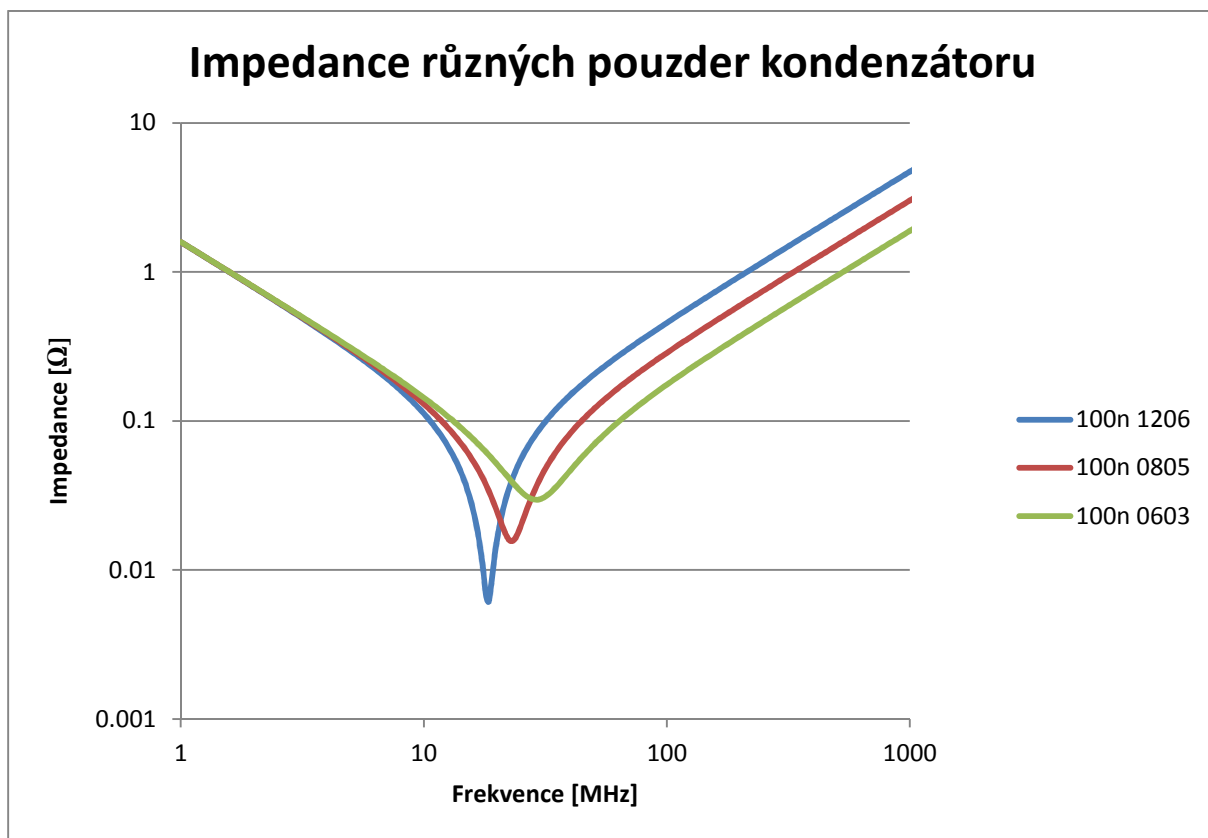
... kde  $I_c$  je potřebný proud,  $\Delta t$  je doba odběru,  $\Delta U_c$  je dovolený propad napětí

Druhá funkce je tzv. bypassing. Rychlý číslicový nebo analogový systém odebírající vysokofrekvenční proudy ze zdroje přenáší na zdroj (a především na další spotřebiče) rušení. V zájmu zabránění šíření těchto vysokofrekvenčních proudů je snaha o využití závislosti impedance konkrétního kondenzátoru na frekvenci. Vzhledem k tomu, že kondenzátor se chová (v ideálním případě) na vysokých frekvencích jako zkrat, je třeba pouze určit hodnotu kondenzátoru tak, aby na požadovaných frekvencích měl požadovanou impedanci. Tento úkol se ale poměrně komplikuje vzhledem k parazitním vlastnostem kondenzátoru.

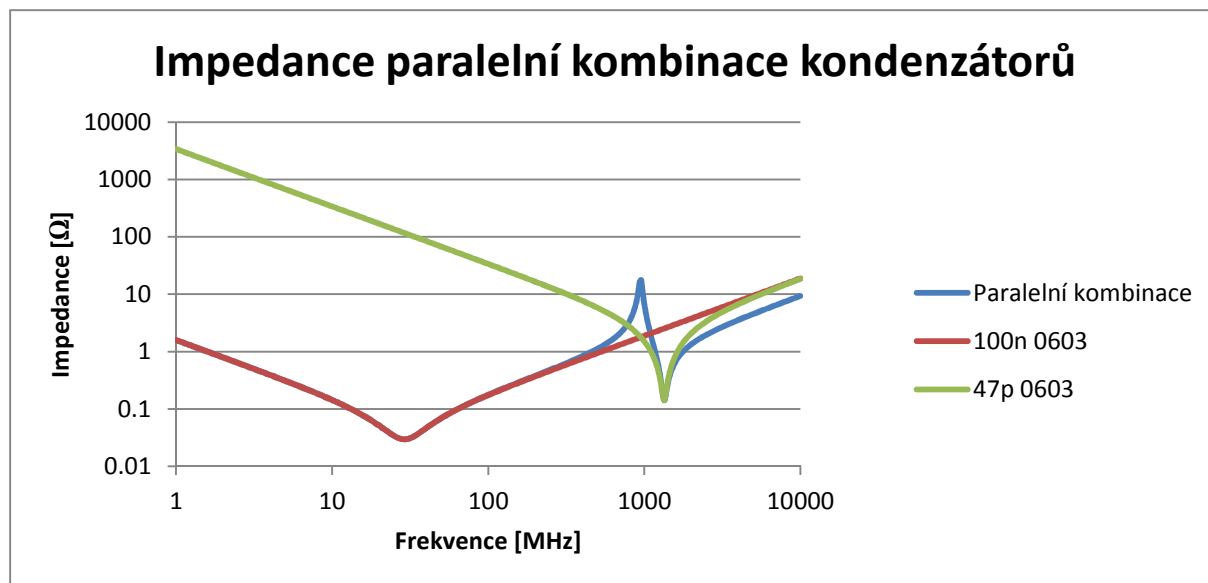
Běžnou metodou pro určení tohoto kondenzátoru je použití metody skládání frekvenčních impedančních charakteristik. Na obrázku 13 jsou zobrazeny frekvenční impedanční charakteristiky třech různých kondenzátorů v pouzdře 0603, na obrázku 14 pak frekvenční impedanční charakteristiky třech stejných kondenzátorů v různých pouzdrech. Tyto charakteristiky vychází z parazitních parametrů v [12]. Jejich skládáním (paralelní kombinace kondenzátorů s danými charakteristikami) se pak tvoří požadovaná výsledná charakteristika. Například na obrázku 13 je vidět, že kondenzátor 100 nF v pouzdře 0603 filtruje relativně dobře (impedance pod 0.5  $\Omega$ ) frekvence v rozsahu 10 až 100 MHz a zároveň díky své velikosti může fungovat jako blokovací kondenzátor. Špatně však filtruje vyšší frekvence. V rozsahu 1 až 2 GHz pak dobře funguje například kondenzátor 47 pF v pouzdře 0603. Jejich paralelní kombinací se pak vytvoří průběh na obrázku 15.



Obrázek 13 - Impedance různých kondenzátorů v pouzdře 0603



Obrázek 14 - Impedance stejných kondenzátorů v různých pouzdrech

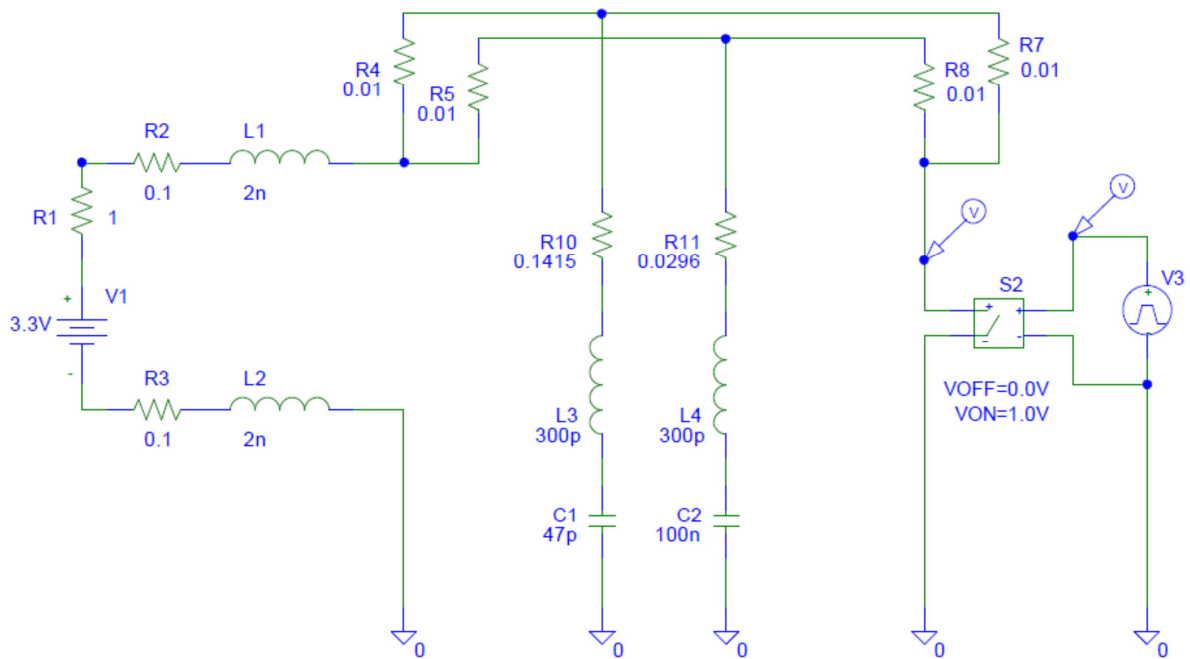


Obrázek 15 - Impedance paralelní kombinace kondenzátorů

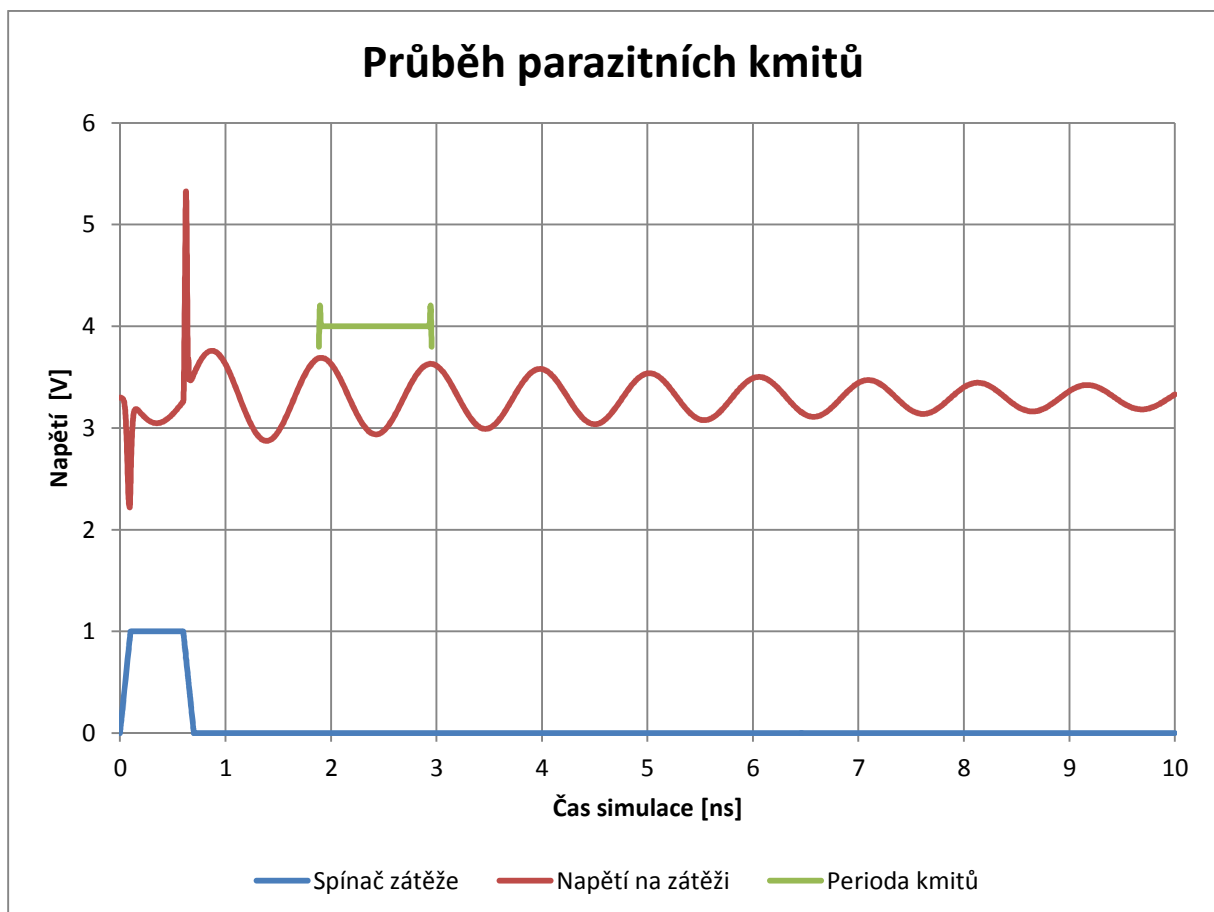
Jak je vidět na obrázku 15, průběh impedance paralelní kombinace není úplně ideální, neboť sice průběh okopíroval obě minima impedancí obou kondenzátorů, ale vznikla zároveň rezonanční špička v oblasti mezi oběma minimy. Právě na této frekvenci se kondenzátorové pole téměř vždy rozkmitá po impulzním odběru. Tento velmi nežádoucí efekt se projeví při libovolné kombinaci různých kondenzátorů.

Možností, jak tomuto jevu zabránit při zachování více kondenzátorů, existuje několik, většina z nich ale potlačuje původní žádané parametry kondenzátorového pole (filtrace požadovaných frekvencí). Příkladem může být vřazení feritové perly mezi každé dva sousední kondenzátory, přičemž kondenzátory jsou řazeny od nejmenšího po největší. Zpravidla se tento postup uplatňuje v případě, že je nezbytně nutné použít velký blokovací kondenzátor s velmi špatným průběhem impedanční charakteristiky a k němu paralelně kondenzátor v malém pouzdře jako bypass.

Dobře lze efekt nežádoucí impedanční špičky znázornit v časové oblasti. Na obrázku 16 je simulační schéma. Skládá se z modelu reálného zdroje (ideální zdroj napětí  $V1$  a vnitřní odpor zdroje  $R1$ ), přenosového vedení (odpor mědi  $R2$  a  $R3$ , indukčnost plošného spoje  $L1$  a  $L2$ ), vlastních parazitních parametrů kondenzátorů ( $R10$ ,  $R11$ ,  $L3$ ,  $L4$ ,  $C1$ ,  $C2$ ), odporů mědi mezi kondenzátory ( $R4$ ,  $R5$ ,  $R7$ ,  $R8$ ) a spínače simulujícího impulzní odběr číslicového systému pracujícího na 100 MHz (perioda 10 ns – vychází z frekvence, šířka impulsu 0.5 ns – pro účely této simulace není tato hodnota kritická,  $R_{on} = 10 \Omega$  - proud při spínání 300 mA,  $R_{off} = 10 \text{ k}\Omega$  - statický odběr proudu pod 0.5 mA).



Obrázek 16 - Simulační schéma parazitních kmitů



Obrázek 17 - Průběh parazitních kmitů na zátěži

Průběh parazitních kmitů vzniklých rezonanční špičkou je na obrázku 17. Perioda těchto kmitů je 1.03 ns, frekvence tedy 970.8 MHz, což odpovídá rezonanční špičce z obrázku 15.

Jako nejlepší řešení celého problému nebylo v tomto případě obcházení problému složitými filtračními systémy, ale vybrání takového kondenzátoru, který zároveň vyhoví podmínkám pro funkci blokovací i bypass. Podle potřeb konkrétních čipů to byly kondenzátory v pouzdře 0603 ve velikostech 100 nF nebo 1  $\mu$ F. Křivka průběhu potom odpovídá standardní křivce z obrázku 13 bez rezonančních špiček.

Pro uzavření problematiky je vhodné podotknout, že systém paralelních blokovacích kondenzátorů je potřeba uplatňovat pouze tam, kde se vyplatí. Tedy za podmínky, že feritovou perlou odfiltrované parazitní kmity budou mít menší amplitudu, než vlastní rušení pouze s blokovacím kondenzátorem, který mnohdy postačuje. Přesně toto řešení bylo použito při stavbě finálního prototypu generátoru v této práci – pouze jeden vhodný kondenzátor pro jeden čip. Hledání ideálních hodnot kondenzátorů se často v praxi provádí experimentálně na prototypch hotového zařízení s následným měřením vlivu změn. Tato procedura je časově i finančně náročná, nicméně je nejspolehlivější.



## 5. Konstrukční část

### 5.1. Koncept zařízení

#### 5.1.1. Parametry a blokové schéma

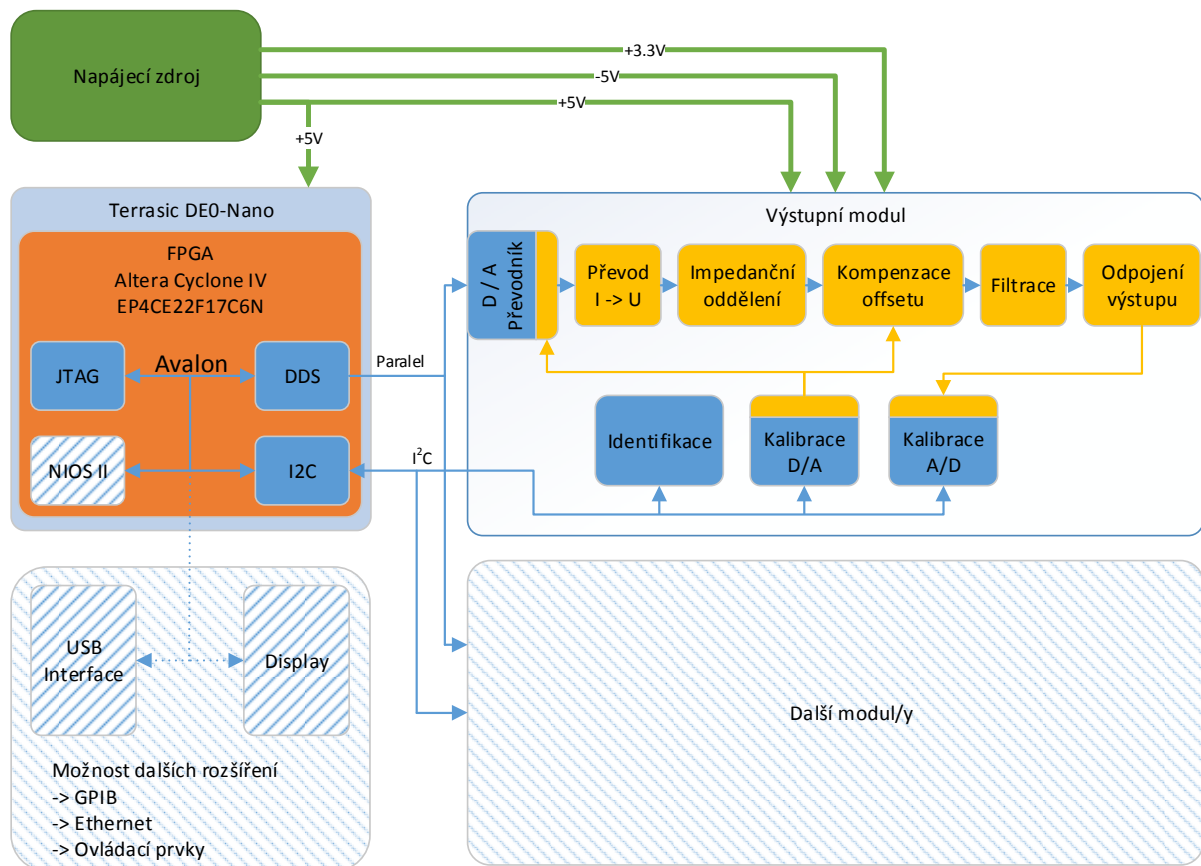
Cílem stavby byl modulární signálový generátor na bázi DDS s možností přestavby struktury zařízení podle potřebných parametrů výstupního signálu. Jako primární typ výstupu byl určen vysokofrekvenční generátor s malým výkonem. Požadované parametry výstupního signálu a skutečně dosažené výsledky jsou v tabulce 1.

	Popis parametru	Požadovaná hodnota	Dosažená hodnota (viz příloha G)
1.	Frekvenční rozsah	0-1 MHz	0-1 MHz
2.	Odstup signál / šum (0-500 MHz)	40 dB	46 dB / 72 dB <sup>(1)</sup>
3.	Nepřesnost nastavení frekvence	1 ‰	0.1 ‰ (100 ppm)
4.	Amplituda signálu	1 V p-p	1 V p-p
5.	Standardní zátěž	50 Ω	50 Ω

Tabulka 1 - Parametry generátoru

<sup>(1)</sup> Výsledek měření je závislý na nastavení měřicího systému. Měření bylo provedeno na rychlém osciloskopu výpočtem spektra pomocí FFT. Na velkém frekvenčním rozsahu, kde bylo měření nejpřesnější, bylo naměřeno 72 dB (viz příloha G). Na nízkém frekvenčním rozsahu, kde je měření dle výrobce méně přesné, bylo naměřeno 46 dB. Pro přesnost tedy byly uvedeny parametry oba.

Blokové schéma zařízení (obrázek 18) vychází z požadavků na zařízení a dostupných zdrojů. Základem je vývojový kit Terrasic DE0-Nano (v budoucnu může být nahrazen baseboardem vlastní konstrukce pro lepší parametry signálů), jehož jádrem je FPGA čip Altera Cyclone IV – EP4CE22F17C6N. Výstupní moduly jsou připojené pomocí interní single-ended (vysvětleno v kapitole 5.1.2) paralelní sběrnice (může být v budoucnu nahrazena LVDS sběrnici pro lepší parametry signálů). Výstupní moduly mohou být různých typů, dle požadavků na parametry výstupního signálu. Celé zařízení je napájeno ze společného zdroje poskytujícího +3.3V, +5V a -5V. V nouzi je tedy možné využít ATX zdroje obsahující -5V výstup, za předpokladu, že zdroj nebude šířit příliš rušení. Lepší možností je využití speciálního napájecího zdroje s přiměřenou filtrací rušení.



Obrázek 18 - Blokové schéma

Jak je vidět z dolní části blokového schématu, je možné toto zařízení rozšířit o velké množství dalších funkčních částí. Pro testování funkčnosti tohoto generátoru bylo použito JTAG rozhraní pro Avalon sběrnici, nicméně pro běžné užívání by bylo vhodnější použít standardní ovládací prvky (rotační enkodéry a tlačítka), display, případně jiné USB rozhraní než jen JTAG – Avalon bridge.

Stejně tak není plně využito možností integrovaného NIOS II procesoru (proto je vyznačen šrafovaně), neboť většina ovládání zařízení je prováděna přes JTAG rozhraní. NIOS procesor tedy není nezbytně nutný a v případě takto jednoduchého systému by bylo možné využít ještě řádově menšího čipu FPGA, který by neumožnil další rozšiřování.

Výstupní modul se skládá z hlavního D/A převodníku, pomocných D/A a A/D převodníků pro kalibraci modulu a vlastního analogového řetězce (převod I->U, kompenzace chyb převodníku, filtrace). Podrobnější popis bude uveden v kapitole 5.3.

### 5.1.2. Komunikace v rámci zařízení

Pro komunikaci v rámci zařízení byla sestavena jednoduchá sběrnice kombinující několik signálových linek, její schéma zapojení představuje tabulka 2. Jako základ pro komunikaci FPGA->D/A převodník slouží paralelní single-ended 12bitová datová sběrnice a single-ended hodinový signál. Single-ended je termín pro sběrnici, kterou tvoří vždy jeden vodič pro jeden signál a společná zem. Signály jsou pak referencované ke společnému zemnímu vodiči, nikoliv ke komplementárním (diferenciálním) vodičům. Tato implementace sběrnice je náchylnější na rušení, používá však menší počet vodičů. Vzhledem k malé vzdálenosti, na kterou je třeba komunikovat, a vzhledem k relativně malým rychlostem sběrnice (100 MHz) nebyly použity diferenciální páry, neboť by se zbytečně zvětšovala šířka spojovacího média. Dále sběrnice obsahuje několik obslužných signálů pro ovládání parametrů výstupního modulu, sériovou sběrnici I<sup>2</sup>C pro kalibraci výstupního modulu a pro jeho identifikaci. Na sběrnici je ještě vyvedeno napájecí napětí +3.3V, což umožňuje identifikaci modulu i bez přivedeného separátního napájení pro modul. Zbytek vodičů slouží k propojení zemního potenciálu mezi oběma částmi systému. Tyto prokládané vodiče zároveň snižují přeslechy mezi signálovými vodiči.

Jako fyzická vrstva byl zvolen 40pinový plochý kabel typu FFC (Flat Flex Cable). Jeho velkou výhodou je garantovaná vzdálenost mezi vodiči a zároveň garantovaná stejnost délky jednotlivých vodičů, na rozdíl od klasického měkce uloženého plochého kabelu (typ IDE). Zároveň FFC ploché kabely umožňují lisované ohyby, což je výhodné v těsných prostorech (notebooky), a umožňují použití feritových návleků pro potlačení souhlasného rušení.

Číslo vodiče	Signál	Číslo vodiče	Signál	Číslo vodiče	Signál	Číslo vodiče	Signál
1	GND	11	GND	21	GND	31	GND
2	Clock	12	Data[7]	22	Data[2]	32	Přepínač výstupu
3	GND	13	GND	23	GND	33	GND
4	Data[11]	14	Data[6]	24	Data[1]	34	I <sup>2</sup> C SCL
5	GND	15	GND	25	GND	35	GND
6	Data[10]	16	Data[5]	26	Data[0]	36	I <sup>2</sup> C SDA
7	GND	17	GND	27	GND	37	GND
8	Data[9]	18	Data[4]	28	Mód (přímý, 2.D.)	38	Externí napájení
9	GND	19	GND	29	GND	39	Externí napájení
10	Data[8]	20	Data[3]	30	Režim spánku	40	GND

Tabulka 2 - Propojovací sběrnice

## 5.2. Řídicí modul

### 5.2.1. Popis vývojové desky

Pro stavbu práce byla použita zajímavá vývojová deska DE0-Nano od společnosti Terrasic [14]. Jde o jednu z nejmenších vývojových desek od této společnosti. Neobsahuje příliš velké množství periférií (A/D převodník, G-senzor, 8 LED diod, 2 tlačítka, 4 DIP spínače, 32MB SDRAM a 2Kb EEPROM), což je ale vyváženo přítomností dvou 40pinových kolíkových řad přímo připojených na IO piny FPGA čipu. Konektory obsahují mimo datových pinů i napájení, což je výhodné pro stavbu prototypů bez nutnosti stavby napájecího zdroje, v případě této práce využité pro napájení identifikačního čipu na výstupním modulu.

Jak již bylo zmíněno v předchozích kapitolách, základem desky je FPGA čip Altera EP4CE22F17C6N. Dekódováním typového označení lze dojít k přesným parametrům, jde tedy o čip Cyclone IV E (nejnižší verze současných FPGA od firmy Altera), s celkovým počtem 22 tisíc logických bloků, v pouzdře FBGA 16x16 kuliček (256 celkem), v rychlostní třídě 6 (nejrychlejší z této řady čipů).

Vývojová deska obsahuje samozřejmě i napájecí měnič (napájeno z USB portu nebo externího +5V napájení) a programátor pro FPGA. Programátor je zabudován v desce a jeho konstrukce je klonem programátoru ByteBlaster II.

### 5.2.2. Popis zapojení

K připojení výstupního modulu byla využita část jednoho ze dvou dvouřadých konektorů umístěných na vývojové desce. Pro dosažení dobrých parametrů časování při syntéze byly využity pro rychlé digitální signály pro D/A převodník výstupy pouze z 1 I/O bloku FPGA, a to z I/O bloku 8 (GPIO piny desky GPIO\_08 až GPIO\_25). Zbytek signálů není kriticky závislý na časování a může být umístěn libovolně.

### 5.2.3. Software

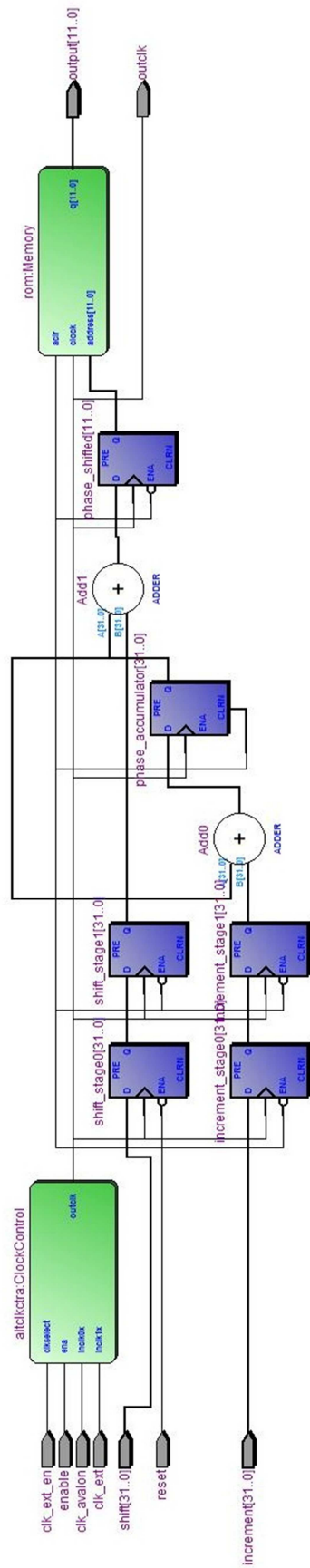
Software pro FPGA se skládá ze tří hlavních částí. První část je vlastní systém generace signálu (implementace DDS, příloha C), druhá část je I<sup>2</sup>C periferie (příloha D), třetí část pak ovládací software pro PC (přílohy E a F).

I<sup>2</sup>C periferie byla převzata z databáze IP kódů opencores.org [15]. Jejím autorem je Richard Herveille. Použitá verze byla napsána pro sběrnici Wishbone, v průběhu práce na tomto projektu byl vytvořen wrapper pro použití na sběrnici Avalon (mezi sběrnicemi jsou jen malé odlišnosti, jde víceméně jen o konvence názvu a parametry synchronnost reset signálů).

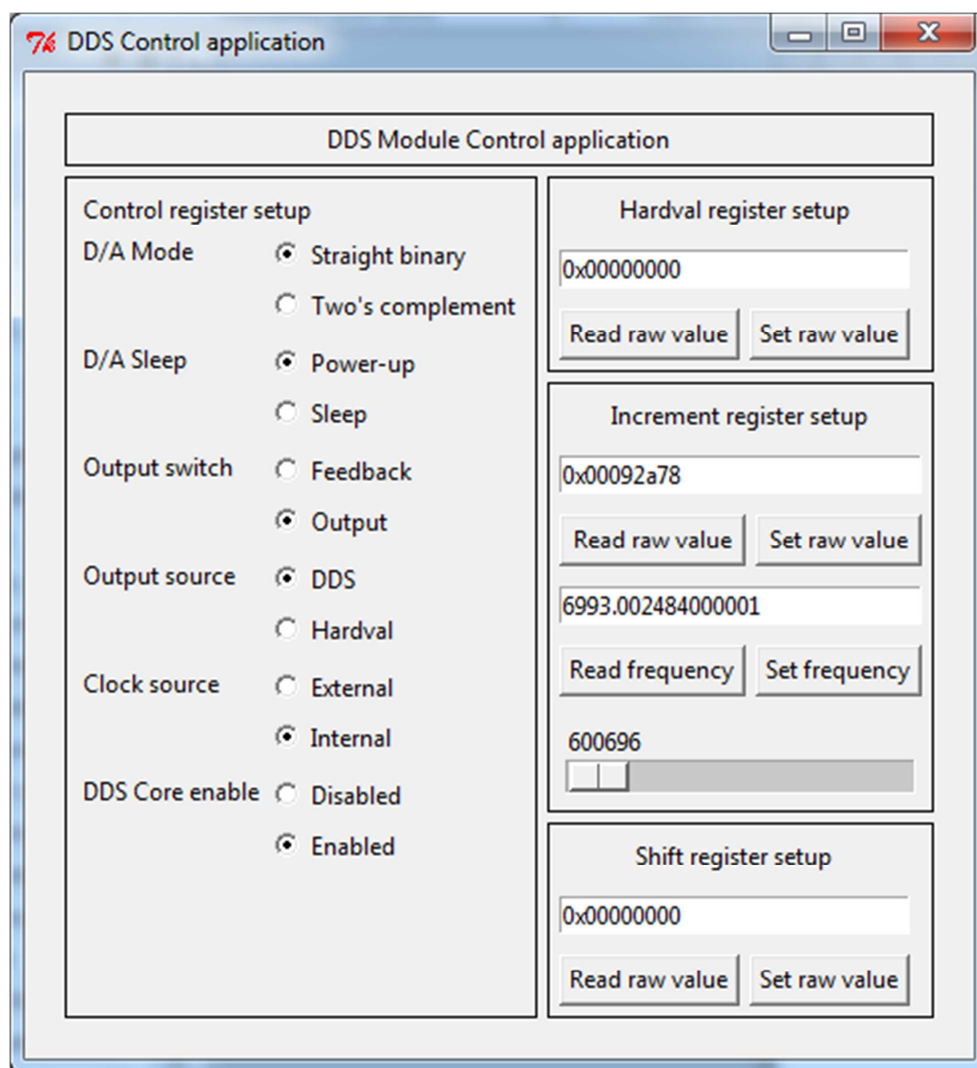
Systém generace signálu DDS je vystavěn přímo podle návrhu z kapitoly 4.2. Pro snadnější obsluhu byl celý systém obalen rozhraním pro sběrnici Avalon. Konkrétní parametry systému DDS generátoru byly zvoleny tak, aby nezhoršovaly parametry výstupního modulu. Byl tedy vytvořen 32bitový fázový akumulátor, umožňující frekvenční krok 0.023 Hz, a fázový a amplitudový kvantizér o šířce 12 bitů. Vygenerované schéma systému je na obrázku 19. Systém obsahuje navíc oproti kapitole 4.2 modul pro výběr hodinového signálu (možnost použití externího hodinového signálu s velmi nízkých jitterem) a dvojité vzorkování datových sběrnic (fázový posun a inkrement), z důvodu překračování hodinové domény (CDC – clock domain crossing) při použití externích hodin.

Software pro PC (obrázek 20) byl vytvořen za pomoci takzvaného TCL skriptu a Tk balíčku pro software SystemConsole v prostředí Quartus. Pro toto prostředí sice existuje nepřilíživý manuál [16], nicméně pro reálné příklady je téměř nepoužitelný. Za rady ohledně tohoto prostředí bych chtěl poděkovat odborníkům z FPGA oddělení společnosti Kontron ECT Design, kteří mi poskytli cenné rady a příklady. Výklad principů tohoto jazyka je vysoce nad rámec této práce a nebude tedy dále rozebírán, pro jeho prozkoumání je možné využít výše zmíněnou přílohu E.

Pro použití těchto skriptů je ovšem nutné, aby v PC byl nainstalován poměrně rozsáhlý systém Quartus. V případě budoucího přenosu řídicího modulu z vývojové desky na baseboard vlastní konstrukce by tedy bylo velmi vhodné implementovat vlastní systém komunikace (například pomocí sériového portu skrze USB), čímž by odpadla nutnost použití systému Quartus.



Obrázek 19 - Schéma SW kompletního DDS generátoru



Obrázek 20 - Ovládací aplikace pro DDS modul

Ovládací rozhraní modulu DDS na obrázku 20 se skládá ze 4 sekcí. První sekce nazvaná „*Control register setup*“ umožňuje základní nastavení výstupního modulu. *D/A mode* slouží k výběru mezi přímým binárním kódem a dvojkovým doplňkem, *D/A Sleep* umožňuje usnutí převodníku. *Output switch* přepíná mezi zpětnou vazbou a výstupem. *Output source* vybírá, zdali se má hodnota pro D/A převodník brát z generátoru DDS nebo z registru pevné hodnoty (hardval, slouží pro kalibraci a měření). *Clock source* vybírá mezi vnitřním hodinovým signálem ze sběrnice Avalon a externím low-jitter hodinovým signálem. *DDS Core enable* pak uvádí DDS modul do resetu.

V sekci „*Hardval*“ lze nastavit pevnou hodnotu výstupu D/A převodníku, tato možnost se projeví pouze za předpokladu, že je v sekci *Control register setup* nastaven *Output source* na *Hardval*. Přestože je hodnota registru *Hardval* zobrazena jako 32bitová, aktivních je pouze dolních 12 bitů (12 bitový je převodník).

Sekce „*Increment register setup*“ umožňuje nastavení buď fázového přírůstku DDS generátoru, nebo pro snazší obsluhu přímo přepočtenou frekvenci. Tyto dvě volby se vzájemně přímo ovlivňují. Ke stejné funkci slouží posuvník, který umožňuje orientační nastavení frekvence.

Sekce „*Shift register setup*“ slouží k nastavení fázového posunu. Tato funkce byla implementována pouze pro demonstraci, v jednobanální variantě generátoru pozbývá smyslu.

Ovládací program periférie I<sup>2</sup>C je k dispozici v příloze F. Byl opět vytvořen v TCL skriptu pro program SystemConsole. Vzhledem k tomu, že autor I<sup>2</sup>C periférie implementoval pouze nejnižší úroveň komunikace (odesílání a přijímání jednotlivých bytů včetně nutnosti ručního nastavení stavových bitů komunikace), bylo by nutné v tomto programu vytvořit celý systém komunikace včetně reakcí na stavové bity. Rozsah programu byl tedy omezen na manuální komunikaci, pro využití ovládacího programu je tedy nutné znát principy sběrnice I<sup>2</sup>C a parametry jednotlivých zařízení, které se účastní komunikace na sběrnici (identifikační paměť *IC6*, D/A převodník *IC1*, A/D převodník *IC5*).



## 5.3. Výstupní modul

### 5.3.1. Popis principu, schéma

V příloze A k této práci lze nalézt schéma zapojení výstupního modulu a návrh plošného spoje, obojí jak v exportované podobě ve formátu PDF, tak v originální podobě nativních formátů systému Altium Designer. V příloze B jsou simulační soubory týkající se rekonstrukčního filtru a simulace kondenzátorů z teoretické části práce. Zmíněné přílohy budou popsány v této a následujících kapitolách.

Celý systém byl navržen ve vývojovém prostředí Altium Designer 10 (univerzitní licence). Schéma zapojení tvoří 1 list formátu A3, rozdělený do několika podsekcí. Každá podsekcce je v pravém dolním rohu pro snazší orientaci pojmenována příhodným označením. V zapojení jsou v mnoha případech pro přehlednost použity symbolické odkazy vodičů místo čar. Projekt je konzistentní a umožňuje takzvaný cross-probing, tedy označení vodiče ve schématu a následné „vysvícení“ v layoutu.

Pro nejjednodušší popis principu zapojení lze použít jako pomůcku blokové schéma (obrázek 18). V zapojení je použit 12bitový D/A převodník AD9742AR (U1, Analog Devices) s proudovým výstupem. Jako proudová reference slouží kombinace napěťové reference a převodního rezistoru. Napěťová reference byla vytvořena proměnná (pomocí IC1, IC2, IC3) tak aby umožňovala kompenzaci zisku systému. Základem je Zenerova dioda (IC3) a přesný D/A převodník (IC1). Změnou napětí D/A převodníku je ovlivněna hladina referenčního potenciálu napěťového děliče (R10, R17, R18) a může tak dojít ke změně referenčního napětí ve velmi malých krocích (+/- 0.1V).

Proudový výstup prochází do zapojení OZ IC10, kde je převeden na napětí. OZ IC11 slouží jako impedanční oddělení v zájmu zabránění šíření rušení. OZ IC8 slouží jako napěťový sledovač pro napětí kompenzující offset, aby se zdroj kompenzačního napětí příliš nezatěžoval. IC12 funguje jako invertující (výstup z IC10 je invertován, dochází tedy k celkovému posunu fáze o 360°, tedy na původní polaritu signálu) sumátor proudů z IC8 a IC11, což umožňuje přičítat konstantní hodnotu napětí k užitečnému signálu (tedy kompenzaci offsetu). Dále v zapojení následuje rekonstrukční filtr v podobě LC sekvence (výsledky simulace v příloze D). Nakonec je signál přiveden na relé, umožňující odpojení signálu od výstupu a připnutí na zpětnou vazbu (do IC5) pro kalibraci.

### 5.3.2. Layout - Digitální část

Digitální část výstupního modulu je pouze malá část návrhu. Patří do ní komunikační konektor CON1, signálové rezistory a digitální část pouzdra D/A převodníku. Dále integrovaný obvod IC6, což je sériová EEPROM paměť, sloužící jako identifikační čip. Na rozhraní digitální a analogové části jsou převodníky IC1 a IC5, které jsou napájené z analogové části, ale komunikují pomocí I<sup>2</sup>C sběrnice, patřící do digitální části systému.

Do všech signálových cest byly vřazeny terminátory v podobě 22Ω sériových odporů a 100Ω paralelních pull-up odporů. Celá digitální část systému se nachází v top vrstvě, nad zemní plochou ve druhé vrstvě. Díky malé tloušťce prepregu (speciální izolační materiál o podobných elektrických parametrech jako jádro plošného spoje, používaný pro lisované vícevrstvé plošné spoje jako izolace a zároveň pojivo) mezi první a druhou vodivou vrstvou je celá svrchní vrstva dobře referencovaná vůči zemi, u tenkých vodičů je pokud možno dodržena rovnoměrná impedance. Na délku nejsou vodiče paralelní sběrnice laděné, neboť ladící meandry se v jedné z vývojových verzí ukázaly pro tuto sběrnici jako nevhodné, neboť příliš zvyšovaly přeslechy mezi signály. Zemní plocha nezasahuje pod převodníky IC1 a IC5, neboť jejich napájení jsou analogová a I<sup>2</sup>C sběrnice se ukázala jako poměrně stabilní i přesto, že je na straně převodníků referencovaná k analogové zemi místo digitální.

Digitální část obsahuje nežádoucí, bohužel však nevyhnutelnou zemní smyčku. Napájení digitální části této desky je přivedeno pomocí konektoru CON2 spolu s dalšími napájecími větvemi. Konektorem je přiveden zemní vodič, který je ve zdroji pevně spojen se zemním vodičem řídicí jednotky. Druhá větev zemní smyčky se do systému dostává pomocí konektoru CON1 jako reference pro digitální signály, opět z řídicí jednotky. Zemní smyčka se tedy uzavírá přes řídicí jednotku.

### 5.3.3. Layout - Analogová část

Z pohledu layoutu byla náročnější analogová část. Ta obsahuje analogovou část hlavního D/A převodníku, kompenzační kaskádu operačních zesilovačů, rekonstrukční filtr, výstupní relé, výstupní přepětíovou ochranu a BNC konektor.

Zapojení malých součástek v okolí D/A převodníku U1 bylo vytvořeno s ohledem na co největší úsporu místa, co největšího odstupu od výstupního signálu převodníku a v neposlední řadě také v zájmu co nejlepších připojení na zemní vrstvu. Rozestupy mezi jednotlivými

součástkami jsou limitovány výrobní technologií – deska byla osazována ručně, bylo tedy nutné ponechat dostatečné mezery pro hrot mikropájky. Byly tedy použity rozestupy „*Low density*“ dle IPC norem.

Kaskáda operačních zesilovačů byla vytvořena tak, aby procházející vysokofrekvenční signál absolvoval v součtu co nejkratší cestu. Jsou tedy posazeny v řadě za sebou s co nejmenší vzdáleností výstup 1 – vstup 2. Blokovací kondenzátory jednotlivých zesilovačů jsou umístěny co nejbližší vývodům a jsou vždy připojeny do lokální zemní plochy nebo přímo několika prokvy do zemní plochy v jiné vrstvě. Použití několika prokvy najednou je zásadní – značně se tak snižuje indukčnost přívodní cesty do zemní reference.

LC rekonstrukční filtr používá součástky v co možná nejmenších pouzdrech – indukčnosti v pouzdře 1008, kondenzátory 0603. Tvar rozmístění součástek filtru odpovídá obecným doporučením společnosti Texas Instruments pro stavbu VF filtrů (hodnota kondenzátoru je rozdělena paralelní kombinací na dvě součástky a ty jsou umístěny symetricky do stran vývodů indukčnosti). Filtr je první část systému, u které je kladen důraz na omezení odrazů. Byl navržen s charakteristickou impedancí  $50 \Omega$  (standard pro výstupní impedanci laboratorních generátorů). Stejně tak byla snaha o dodržení této impedance u všech následujících prvků systému (impedance cesty na plošném spoji není dodržena přesně, neboť výroba plošných spojů s řízenou impedancí je řádově dražší oproti standardní prototypové výrobě). Relé má signálovou cestu přizpůsobenou na  $50 \Omega$ , stejně tak konektor.

Výstupní ochranná TVS dioda (transient voltage suppression – potlačení přechodových jevů) slouží k ochraně výstupu před ESD. Je připojena co nejbližší výstupnímu konektoru a je v SMD pouzdře pro eliminaci indukčnosti.

Výstupní BNC konektor byl vybrán takový, který není kromě přívodních vodičů pevně spojen s DPS. Mechanické upevnění je nutné provést na čelní panel zařízení, což podstatně zvýší mechanickou výdrž celého systému. Při použití konektoru spojeného s DPS by se při častém odpojování konektoru mohla DPS příliš namáhat a mohlo by dojít k jejímu poškození. Přívodní vodiče konektoru jsou relativně dlouhé drátové, v konektoru upevněné pomocí gumových ložisek, takže nehrozí přenos namáhání na DPS.

### **5.3.4. Elektromagnetická kompatibilita**

Rušení v digitální části je produkováno již z principu činnosti, nicméně byla snaha o jeho eliminaci použitím terminátorů na paralelní sběrnici. Náchylnost na rušení v digitální části je minimální, krátká paralelní sběrnice je velmi odolná, funguje i při značném šumu na vodičích. Ten pouze nesmí překročit hranici rozhodovací úrovně, kde by došlo k falešným impulsům.

Rušení v analogové části bylo silně ovlivněno, kromě hodnot kondenzátorů (viz kapitola 4.4), také rozmístěním prokůvů a zemnicích a napájecích ploch.

Napájecí systém byl rozdělen do několika částí. Jednak byl pro každý operační zesilovač vytvořen oddělený systém napájení  $+5V$  (pomocí feritových perel) a pro D/A převodník byl vytvořen oddělený napájecí systém  $+3.3V$ . Pro eliminaci globálních zemních proudů byla i zemní plocha rozdělena do menších částí (digitální, analogová pro D/A převodník, analogová pro zbytek zapojení), tyto jednotlivé plochy byly pospojovány vždy jednobodově pomocí nulového rezistoru na svrchní vrstvě). Jako ochrana proti vyzařování do stran byla na svrchní vrstvě rozlita zemní plocha a mnohabodově prokovená do druhé vrstvy obsahující hlavní zemní plochu.

Na desce byly připraveny montážní díry nejen pro mechanické upevnění desky do systému, ale také tři montážní díry navíc k případnému připevnění stínícího plechu pro ochranu výstupní části. Jeho hranu lze vést mezi indukčnostmi L1 a L2 rekonstrukčního filtru, za předpokladu zabránění kontaktu s vývody těchto indukčností. Případné VF rušení, které by proniklo do nestíněné části systému, bude tedy i tak odfiltrováno pomocí dolnoproputního filtru 6 řádu se zlomovou frekvencí na 2 MHz.

Na spodní vrstvě DPS byly umístěny pouze takové spoje a součástky, které nebudou při standardní činnosti systému tak ovlivnitelné rušením, aby ohrozily funkčnost systému. Tato konfigurace ve spojení s interními a napájecími vrstvami uvnitř DPS umožní paralelní vrstvení těchto desek a tedy vytvoření mnohakanálového systému. Pro tuto alternativu jsou výškově nejkritičtější elektrolytické kondenzátory o výšce 16 milimetrů. Nutné by tedy bylo použití alespoň 20mm vysokých distančních sloupků pro montáž.

## 6. Závěr

Cílem této práce byla stavba programovatelného signálového generátoru. V teoretické části práce bylo přehledově představeno několik různých metod generace signálu. Jako vhodné metody se ukázaly metoda výpočtová a metoda přímé digitální syntézy. Vzhledem k obsáhlému matematickému aparátu na pozadí výpočtové metody byla pro stavbu vybrána metoda přímé digitální syntézy. Tato metoda byla v kapitole 4.2 dopodrobna rozebrána, včetně ukázky možné jednoduché implementace v programovatelném poli FPGA.

Dále byla v teoretické části práce v kapitole 4.3 zběžně představena programovatelná hradlová pole FPGA s odkazem na další literaturu. V kapitole 4.4 byl řešen problém z oboru elektromagnetické kompatibility, konkrétně vliv parazitních rezonančních špiček u paralelní kombinace blokovacích kondenzátorů na rušení v zapojení.

V konstrukční části byl popsán návrh konkrétního programovatelného generátoru na bázi přímé digitální syntézy. V kapitole 5.1 byl představen koncept zařízení jako celku včetně blokového schématu. Kapitola 5.2 se zabývá popisem řídicího modulu v podobě vývojové desky DE0-Nano od společnosti Terrasic a příslušného řídicího softwaru. Kapitola 5.3 se zabývá popisem výstupního modulu generátoru, a to jak popisem zapojení ve schématu, tak i tvorbou plošného spoje s aplikací poznatků z kapitoly o elektromagnetické kompatibilitě z teoretické části práce.

Výsledkem práce je funkční prototyp výše zmíněného generátoru. Na prototypu bylo provedeno měření kvality výstupního signálu. Výsledky měření splňují požadavky, které byly autorem stanoveny před započítím práce, a jsou diskutovány v kapitole 5.1.1. Příslušné obrázky zachycené při měření jsou dostupné v příloze G. Měřením bylo ověřeno, že vytvořený generátor pracuje na frekvenčním rozsahu 0-1 MHz, s rozkmitem výstupního signálu maximálně 1V do 50Ω zátěže, při odstupu signálu od šumu 46 dB.

## 7. Seznam použité literatury a informačních zdrojů

- [1] TERASIC. *DE0-Nano Development and Education Board* [online]. 2013 [cit. 2013-05-01]. Dostupné z: <http://www.terasic.com.tw/cgi-bin/page/archive.pl?Language=English&CategoryNo=139&No=593>
- [2] PINKER, Jiří a Václav KOUCKÝ. *ZÁPADOČESKÁ UNIVERZITA V PLZNI. Analogové elektronické systémy*. Plzeň: Západočeská Univerzita v Plzni, 2006. ISBN 80-7043-284-5.
- [3] Tech Specs & Info. MIDI MANUFACTURERS ASSOCIATION INCORPORATED. *MIDI Manufacturers Association - The official source of information about MIDI* [online]. 2013 [cit. 2013-05-01]. Dostupné z: <http://www.midi.org/techspecs/>
- [4] KUSHNER, Lawrence J. *Composite direct digital synthesizer* [patent]. Spojené státy americké. United States Patent, US005303412A. Uděleno 12.4.1994. Dostupné z: <http://www.google.com/patents/US5303412.pdf>
- [5] ANALOG DEVICES. *A Technical Tutorial on Digital Signal Synthesis* [online]. 1999 [cit. 2013-05-01]. Dostupné z: [http://www.analog.com/static/imported-files/tutorials/450968421DDS\\_Tutorial\\_rev12-2-99.pdf](http://www.analog.com/static/imported-files/tutorials/450968421DDS_Tutorial_rev12-2-99.pdf)
- [6] POORE, Rick. AGILENT TECHNOLOGIES. *Overview on Phase Noise and Jitter* [online]. 2001 [cit. 2013-05-01]. Dostupné z: <http://cp.literature.agilent.com/litweb/pdf/5990-3108EN.pdf>
- [7] ALTERA CORPORATION. *Stratix V Device Overview* [online]. 2012 [cit. 2013-05-01]. Dostupné z: [http://www.altera.com/literature/hb/stratix-v/stx5\\_51001.pdf](http://www.altera.com/literature/hb/stratix-v/stx5_51001.pdf)
- [8] PINKER, Jiří a Martin POUPA. *Číslicové systémy a jazyk VHDL*. 1. vyd. Praha: BEN - technická literatura, 2006. ISBN 80-7300-198-5.
- [9] STACKPOLE ELECTRONICS, Inc. *Thick Film and Thin Film: A Comparison* [online]. [cit. 2013-05-01]. Dostupné z: [http://www.digikey.com/Web%20Export/Supplier%20Content/Stackpole\\_738/PDF/Stackpole\\_ThickFilmXThinFilm.pdf?redirected=1](http://www.digikey.com/Web%20Export/Supplier%20Content/Stackpole_738/PDF/Stackpole_ThickFilmXThinFilm.pdf?redirected=1)
- [10] Basics of Ceramic Chip Capacitors. [online]. [cit. 2013-05-01]. Dostupné z: <http://www.johansondielectrics.com/technical-notes/product-training/basics-of-ceramic-chip-capacitors.html>

- [11] SCHMITZ, Tamara a Mike WONG. INTERSIL. *Choosing and Using Bypass Capacitors: Application Note 1325* [online]. 2011 [cit. 2013-05-01]. Dostupné z: <http://www.intersil.com/content/dam/Intersil/documents/an13/an1325.pdf>
- [12] TDK Equivalent Circuit Model Library: TDK Virtual Component Library. TDK. [online]. [cit. 2013-05-01]. Dostupné z: <http://www.tdk.co.jp/etvcl/equivalent/>
- [13] AN ENCYCLOPAEDIA BRITANNICA COMPANY. Merriam-Webster: Rule of Thumb. [online]. [cit. 2013-05-01]. Dostupné z: <http://www.merriam-webster.com/dictionary/rule%20of%20thumb>
- [14] Terasic. *Terasic Technologies - Expertise in FPGA/ASIC Design* [online]. 2013 [cit. 2013-05-01]. Dostupné z: <http://www.terasic.com.tw/en/>
- [15] HERVEILLE, Richard. I2C controller core :: Overview. [online]. [cit. 2013-05-01]. Dostupné z: <http://opencores.org/project,i2c>
- [16] ALTERA CORPORATION. *Analyzing and Debugging Designs with the System Console: QII53028-12.1.0* [online]. 2012 [cit. 2013-05-01]. Dostupné z: [http://www.altera.com/literature/hb/qts/qts\\_qii53028.pdf](http://www.altera.com/literature/hb/qts/qts_qii53028.pdf)

## 8. Seznam příloh

Všechny níže zmíněné přílohy se nacházejí na doprovodném DVD, které je nedílnou součástí této práce.

- Příloha A – Výstupní modul ..... Kompletní projekt ve vývojovém systému Altium Designer včetně příslušných výrobních výstupů a dokumentace pro výstupní modul generátoru
- Příloha B – Simulace..... Simulační dokumenty pasivního rekonstrukčního filtru a paralelních blokovacích kondenzátorů, příslušné výstupy
- Příloha C – Jádro DDS ..... Návrh jádra přímé digitální syntézy v jazyce VHDL, projekt pro systém Quartus a modul pro nástroj QSys
- Příloha D – Jádro I2C..... Návrh jádra I<sup>2</sup>C periferie převzatý z [15] doplněný o Avalon wrapper
- Příloha E – Ovladač DDS ..... Ovládací program DDS jádra pro systém Altera SystemConsole vytvořený v TCL skriptu
- Příloha F – Ovladač I2C..... Ovládací program I2C periferie pro systém Altera SystemConsole vytvořený v TCL skriptu
- Příloha G – Výsledky měření..... Záznamy z měření generátoru