

ZÁPADOČESKÁ UNIVERZITA V PLZNI
FAKULTA ELEKTROTECHNICKÁ

Katedra aplikované elektroniky a telekomunikací

DIPLOMOVÁ PRÁCE

Vývojový modul s
programovatelným logickým polem FPGA

Vedoucí práce: Ing. Zuzana Petránková, Ph.D.

Autor: Bc. Vít Kuthan

2013

ZADÁNÍ DIPLOMOVÉ PRÁCE

(PROJEKTU, UMĚLECKÉHO DÍLA, UMĚLECKÉHO VÝKONU)

Jméno a příjmení: **Bc. Vít KUTHAN**
Osobní číslo: **E11N0057P**
Studijní program: **N2612 Elektrotechnika a informatika**
Studijní obor: **Elektronika a aplikovaná informatika**
Název tématu: **Vývojový modul s programovatelným logickým polem FPGA**
Zadávací katedra: **Katedra aplikované elektroniky a telekomunikací**

Z á s a d y p r o v y p r a c o v á n í :

1. Prostudujte problematiku obvodů FPGA. Navrhněte univerzální vývojový modul, který umožní bližší seznámení s programovatelnými logickými poli.
2. Realizujte funční vzorek.
3. Výsledky v práci podrobně popište.

Rozsah grafických prací: **podle doporučení vedoucího**
Rozsah pracovní zprávy: **30 - 40 stran**
Forma zpracování diplomové práce: **tištěná/elektronická**
Seznam odborné literatury:

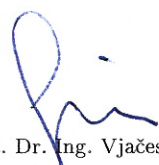
Student si vhodnou literaturu vyhledá v dostupných pramenech podle doporučení vedoucího práce.

Vedoucí diplomové práce: **Ing. Zuzana Petránková, Ph.D.**
Katedra aplikované elektroniky a telekomunikací
Konzultant diplomové práce: **Ing. Zuzana Petránková, Ph.D.**
Katedra aplikované elektroniky a telekomunikací
Datum zadání diplomové práce: **15. října 2012**
Termín odevzdání diplomové práce: **9. května 2013**




Doc. Ing. Jiří Hammerbauer, Ph.D.
děkan

L.S.


Doc. Dr. Ing. Vjačeslav Georgiev
vedoucí katedry

V Plzni dne 15. října 2012

Anotace

Cílem práce je navrhnout vývojový modul s programovatelným logickým polem FPGA. Ukázat na výhody a nevýhody použití FPGA a s tím spojené problémy, které je nutné řešit při použití programovatelných polí. Práce se zabývá teorií kolem obvodů FPGA, představením modelové řady Altera Cyclone II a popisuje zvolené řešení při návrhu vývojového modulu.

Klíčová slova

Vývojový modul, programovatelné logické pole, FPGA, Altera, Cyclone II

Abstract

The aim of the master thesis is to create a design of a development kit with a field programmable gate array (FPGA). Point to advantages and disadvantages of using FPGAs and associated issues that must be resolved by using programmable arrays. This work deals with a theory about FPGA circuits, introduces Altera Cyclone II devices and describes the design solution of the development kit.

Key words

Development kit, programmable logic device, FPGA, Altera, Cyclone II

Prohlášení

Předkládám tímto k posouzení a obhajobě diplomovou práci, zpracovanou na závěr studia na Fakultě elektrotechnické Západočeské univerzity v Plzni.

Prohlašuji, že jsem tuto diplomovou práci vypracoval samostatně, s použitím odborné literatury a pramenů uvedených v seznamu, který je součástí této diplomové práce.

Dále prohlašuji, že veškerý software, použitý při řešení této diplomové práce, je legální.

Poděkování

Tímto děkuji Ing. Zuzaně Petránkové, Ph.D. za poskytnutí užitečných rad, informací souvisejících s tématem a objektivních postřehů během vypracování této diplomové práce.

OBSAH

1. ÚVOD.....	1
2. JÁDRO VÝVOJOVÉHO MODULU.....	3
Programovatelná logická pole FPGA	3
Altera – výrobce programovatelných obvodů	4
Řada obvodů Altera Cyclone II	5
Vlastnosti obvodů Altera Cyclone II	6
Altera Cyclone II EP2C8Q208	10
3. VÝVOJOVÝ MODUL	11
Komponenty	12
Rozmístění součástek.....	13
Informační LED.....	13
Testovací LED	14
Zdroje hodinového signálu	14
Konfigurační paměť.....	15
Headry.....	15
USB rozhraní	16
Napájení.....	16
4. ZÁVĚR	19
POUŽITÁ LITERATURA	20
SEZNAM PŘÍLOH	21

Seznam použitých zkratk

- ASIC** Application-specific integrated circuit
obvod vyrobený na míru podle zadání zákazníka – tzv. zákaznický obvod
- CPLD** Complex programmable logic device
programovatelné logické obvody založené na makrobuňkách
- CRC** Cyclic redundancy check
Cyklický redundantní součet, matematická metoda odhalení chyb, které mohou vzniknout při přenosu nebo při ukládání dat
- DPS** Digital signal processing
zpracování signálu
- FFT** Fast Fourier transform
rychlá Fourierova transformace
- FIFO** First In, First Out
typ paměti, doslova znamená - data, která byla uložena jako první, budou také jako první z paměti čtena
- FIR** Finite impulse response
filtr s konečnou impulzní odezvou
- FPGA** Field-programmable gate array
programovatelné logické obvody, kde se pro vytvoření logického obvodu využívají vyhledávací tabulky – bloky paměti s předdefinovanými výsledky, tzv. Lookup Tables
- ISP** In-System Programming
obvod, který je možné naprogramovat až po osazení na desku plošných spojů, využívá se u procesorů i u programovatelných polí
- LEs** Logic Elements
nejjednodušší obvody, pomocí kterých je možné vytvořit elementární logické funkce
- LUT** Lookup Table
vyhledávací tabulka

- PHY** physical layer, ISO/OSI model
označení pro fyzickou vrstvu modelu ISO/OSI, nejnižší vrstva modelu
- PLD** Programmable logic device
programovatelný logický obvod
- PLL** Phase-locked loop
fázový závěs
- RAM** Random-access memory
druh paměti, po ztrátě napájení dojde k vymazání obsahu paměti
- ROM** Read-Only Memory
druh paměti, obsah paměti zůstane zachován i po přerušení napájení
- VHDL** VHSIC hardware description language
jazyk pro popis hardware používaný ve spojení s programovatelnými logickými obvody

LVDS, RSDS, mini-LVDS, LVPECL, SSTL a HSTL
názvy standardů popisující diferenční signály

LVTTL, LVCMOS, SSTL, HSTL, PCI a PCI-X
názvy datových sběrnic

SDR, DDR, DDR2 SDRAM
druhy paměťových obvodů RAM

1. ÚVOD

Zadáním této práce je vytvořit vývojový modul s programovatelným logickým polem FPGA. Hlavním požadavkem je použití modulu v již stávajících konstrukcích a navázat tak na předcházející verzi modulu Ing. Petránkové, Ph.D. Další požadavky na vývojový modul byla snadná vyrobiteľnosť a nízka cena.

Na trhu je k dispozíci nepřeberné množství vývojových modulů s programovatelnými logickými poli. Ty jsou ale převážně koncipované na vyzkoušení možností programovatelných polí a na seznámení s programovacím jazykem, popř. jsou stavěné pro testování speciálních funkcí. Komerční vývojové moduly proto obsahují mnoho periférií, které jsou pro konkrétní použití programovatelného logického pole jen zřídka využitelné. Vývojové moduly jsou často hodně složité, orientace v jejich zapojení bývá nepřehledná a jejich rozměry bývají příliš velké. Návrh vývojového modulu, kterým se zabývá diplomová práce, je zcela odlišný. Základem je jednoduchost, přehlednost zapojení na desce plošných spojů, využití maximálního počtu vstupně/výstupních pinů pro nadstavbové systémy.

Volba programovatelného pole vycházela z předchozí verze vývojového modulu. Z důvodu zachování maximální kompatibility při vývoji bez nutnosti používat jiné vývojové nástroje byl zvolen obvod od stejného výrobce. Předchozí verze modulu byla osazena obvodem Cyclone I, který vyvíjí a vyrábí firma Altera. Firma Altera vyrábí několik řad programovatelných logických obvodů založených na technologii FPGA, které se od sebe liší výkonem, vybavením a také cenou. Výběr se soustředil na stejnou modelovou řadu jako v případě předcházející verze modulu, tedy na nejlevnější programovatelné obvody typu Cyclone. Pro nový modul byl zvolen vylepšený obvod Cyclone II EP2C8Q208 a to hned z několika důvodů: předně vyšší výkon, vylepšené vlastnosti, vysoký počet vstupně/výstupních pinů a neposlední řadě stále nízká cena.

Kromě toho je obvod vyráběn v pouzdře typu PQFP, které je možné ručně zapájet na desku plošných spojů.

Velikost pouzdra odpovídá požadavku na malé rozměry vývojového modulu a umožňuje jednoduše vyvést vstupně/výstupní piny na stanovené pozice headrů, přes které budou dál rozváděné logické signály pro nadstavbové systémy. Obvod Cyclone II EP2C8Q208 disponuje až 138 vstupně/výstupními piny, z nichž může být 100 vyvedeno na headry a zbylé mohou být použity pro testování, popř. pro komunikaci s modulem.

Pouzdro PQFP dovoluje navrhnout desku plošných spojů s dvěma vrstvami. Tím se celý návrh podstatně zjednoduší a náklady na výrobu desky plošných spojů budou menší než v případě čtyřvrstvé desky.

2. JÁDRO VÝVOJOVÉHO MODULU

Hlavní součástí a jádro celého vývojového modulu je programovatelné logické pole. V této části práce bude ve zkratce vysvětlený pojem programovatelná logická pole FPGA, bude představený výrobce programovatelných logických polí společnost Altera, následuje obecný přehled vlastností řady obvodů Cyclone II a výčet konkrétních vlastností obvodu Altera Cyclone II EP2C8Q208.

Programovatelná logická pole FPGA

Obvod FPGA je polovodičová součástka, jejíž funkci lze měnit na základě programového kódu. Tato její vlastnost vychází už z názvu FPGA - Field Programmable Gate Array (programovatelné logické pole). Použije-li se pro návrhu systému programovatelné pole, návrh systému se obejde bez nutnosti použít obvody s definovanou funkcí. Vlastnosti programovatelných polí dovolují měnit a přidávat funkce, přizpůsobovat hardware novým standardům apod. Obvody FPGA se řadí mezi skupinu obvodů, která je označována jako ISP – In System Programming, tedy programují se až po osazení na desku plošných spojů. V případě obvodů FPGA je tato vlastnost vyjádřena písmeny FP – Field Programmable. Obvodem FPGA lze realizovat jakákoliv logická funkce, podobně jako je tomu u zákaznických obvodů ASIC. Avšak oproti zákaznickým obvodům mají programovatelné nespornou výhodu, protože je kdykoliv možné jednoduše upravit jejich konfiguraci.

Klasické programovatelné obvody jsou založené na vytvoření logické funkce pomocí matice propojení mezi elementárními logickými prvky. Obvody FPGA pracují na odlišném principu. Obsahují programovatelné logické buňky označované jako Logic Elements (LEs), což není nic jiného než přednastavené bloky paměti, ve kterých jsou uloženy

výsledky logických funkcí. Logické buňky jsou vzájemně pospojované strukturou maticových spojů, kterou lze programově měnit. Součástí obvodů FPGA jsou dále vysokorychlostní transceivery, vstupně/výstupní obvody a bloky logických obvodů. Propojením všech těchto částí je možné vytvořit široký škálu funkcí od základních, reprezentovaných logickými hradly AND, OR a XOR, až po složité kombinační funkce. Většina obvodů FPGA je uzpůsobena tak, že je možné paměťové buňky využít jako jednoduché klopné obvody nebo jako celé paměťové bloky.

Altera – výrobce programovatelných obvodů

Společnost Altera se zabývá návrhem, výrobou a prodejem programovatelných logických polí (PLD, FPGA) a zákaznických obvodů (ASIC). Na trhu s programovatelnými logickými obvody je jedním z největších výrobců. S jejím konkurentem firmou Xilinx vyrábí přibližně 80% světové produkce programovatelných obvodů. Ostatní výrobci, jako je Lattice Semiconductor, SiliconBlue Technologies, Achronix, QuickLogic se zabývají především speciálními typy programovatelných logických obvodů.

I přestože Altera i Xilinx nabízejí programovatelné logické obvody, jejich obvody jsou naprosto odlišné. Nelze jednoduše obvod jednoho výrobce zaměnit za obvod druhého. Každý výrobce používá vlastní architekturu, kterou nezveřejňuje. Tím jsou do jisté míry limitováni vývojáři, protože jsou nuceni pro návrh systémů a pro konfiguraci používat softwarové nástroje dodávané výrobcem.

V posledních letech hodně Altera těží z masovějšího používání programovatelných obvodů. Historicky většina vyrobených čipů byly zákaznické obvody ASIC, protože za předpokladu sériové výroby dosahovaly nejmenších jednotkových nákladů. Programovatelné logické obvody byly především využívány pro vývoj prototypů, kde bezesporu hraje hlavní roli možnost měnit jejich konfiguraci.

Růst popularity programovatelných logických obvodů na úkor zákaznických obvodů je způsobený jejich klesající cenou a kratšími životními cykly vývoje elektroniky. Na pokles cen programovatelných logických obvodů má vliv hlavně technologický vývoj spojený s jejich výrobou. Kratší životní cyklus elektroniky vytlačuje zákaznické obvody ASIC, protože náklady na vývoj jsou vyšší než u programovatelných obvodů.

Řada obvodů Altera Cyclone II

Řada programovatelných logických polí Altera Cyclone II navazuje na předchozí generaci Cyclone I. Byl navýšen počet logických elementů (LEs), podle výběru pouzdra je možné využít až 622 vstupně/výstupních pinů (O/I) a integrovanou paměť až o velikosti 1,1 Mbit. Při výrobě je využívána 90nm technologie. Použitím této technologie je možné na jednom čipu vytvářet složité číslicové systémy. Výrobní technologie má také vliv na snížení spotřeby. Při zvýšení výkonu o 60% oproti předchozí generaci je energetická náročnost téměř poloviční. Díky vylepšeným vlastnostem a nízké ceně programovatelných polí je řada obvodů Cyclone II ideální pro využití v mnoha oborech, pro příklad: automobilový průmysl, komunikační systémy, zpracování videa, testování a měření, apod.

Embedded procesorová řešení

Obvody Cyclone II podporují nasazení embedded procesoru Nios II, který dovoluje realizovat konkrétní řešení na míru. Pomocí obvodu Cyclone II je možné rozšířit sadu periférií, paměť, vstupně/výstupních portů. Pro zvýšení výkonu je možné integrovat do jednoho obvodu více než jeden embedded procesor nebo dokonce zcela nahradit obvodem Cyclone II již používaný procesor. Tato variabilita a možnost úprav může prodloužit životní cyklus zařízení a udržet výrobek déle na trhu.

Embedded DSP řešení

Výběrem obvodů Cyclone II pro DPS systémy je možné dosáhnout lepšího poměru cena/výkon. Obvody Cyclone II lze použít samostatně anebo využít programovatelné pole jako přídatnou výpočetní jednotku. Implementací obvodu je možné vyvinout výkonný a zároveň stále ještě poměrně levný DSP systém.

Obvody Cyclone II disponují sadou vlastností pro nasazení v aplikacích, kde je kladený důraz na cenu. Mezi tyto vlastnosti patří integrovaná paměť a násobičky, variabilita a různé druhy pouzder. Obvody Cyclone II podporují velký rozsah běžně používaných externích pamětí a vstupně/výstupních standardů.

Vlastnosti obvodů Altera Cyclone II

Cenově optimalizovaná architektura

Architektura obvodů Cyclone II je navržena s ohledem na nízkou cenu. Řada Cyclone II nabízí varianty obvodů až s 68 tisíci logických elementů, což odpovídá více než 3x větší hustotě integrace ve srovnání s předchozí řadou obvodů.

Vysoký výkon

Díky použití 90nm technologie při výrobě vzrostl výkon oproti předchozí řadě až o 60%. Ve své době byly obvody Cyclone II jedny z nejvýkonnějších na trhu v segmentu levných programovatelných obvodů.

Nízká spotřeba

Použití 90nm technologie nemá vliv jen na nárůst výkonu, ale také na snížení spotřeby. Oproti předchozí řadě je spotřeba až o polovinu nižší. Výrazně byly sníženy statické i dynamické ztráty.

Výrobní technologie

Obvody řady Cyclone II jsou vyráběny na waferech o průměru 300mm a při výrobě je použita 90nm technologie.

Integrovaná paměť

Obvody Cyclone II disponují až 1,1 Mbit paměti uspořádaných do 4K paměťových bloků. Paměť může být nastavena do nejrůznějších pracovních režimů jako je RAM, ROM, FIFO a podporují režimy single-port i dual-port.

Integrované násobičky

Obvody Cyclone II mohou nabídnout až 150 18bitových násobiček, které jsou ideální pro vytváření aplikací s digitálním signálovým procesorem (DSP). Pomocí těchto násobiček je možné implementovat běžné funkce DPS jako jsou filtry FIR, rychlá Fourierova transformace FFT, korelace, kódování/dekódování, číslicově řízené oscilátory.

Rozhraní pro externí paměti

Součástí obvodů Cyclone II je rozhraní pro připojení externí paměti. Podporované typy pamětí jsou SDR, DDR a DDR2 SDRAM.

Diferenciální vstupy/výstupy (IO)

Řada Cyclone II podporuje řadu standardů pro diferenční signály. Mezi podporované patří LVDS, RSDS, mini-LVDS, LVPECL, SSTL a HSTL. U LVDS je podporovaná přenosová rychlost až 805 Mbps při příjmu a až 622 Mbps při vysílání.

Podpora sběrnic

Vstupně/výstupní piny lze jednoduše využít pro připojení na nejrůznější sběrnice, které se dnes běžně využívají. Patří mezi ně standardy LVTTL, LVCMOS, SSTL, HSTL, PCI a PCI-X.

Rozhraní a podpora protokolů

Obvody Cyclone II FPGA podporují řadu různých rozhraní a protokolů, včetně celé řady komunikačních protokolů jako je Ethernet, PCI Express s externím PHY a další univerzální rozhraní.

Obvody pro řízení hodinového signálu

Obvody Cyclone II jsou vybaveny až 4 programovatelnými fázovými závěsy (PLLs) a až 16 globálními rozvody hodin. Tyto fázové závěsy nabízejí pokročilé funkce jako je např. frekvenční syntéza, programovatelný fázový posun, externí hodinové výstupy, programovatelná střída signálu, programovatelná šířka pásma, zavěšení hodinového signálu a podpora pro rozdílové hodinové signály na straně vstupu i výstupu.

Nios II Embedded processor

Kombinací procesoru Nios II a obvodu Cyclone II je možné v navrhovaném systému nahradit levnější typy procesorů.

Impedanční přizpůsobení

U obvodů Cyclone II je možné do jisté míry využít impedančního přizpůsobení, které umožňují koncové stupně vstupně/výstupní obvodů. Není tedy nutné používat externí rezistory, což umožňuje zjednodušit návrh desky plošných spojů.

Napěťové standardy

Programovatelný obvod je rozdělen do několika částí, které jsou označeny jako banky. Každá z těchto banek může být napájena jiným napájecím napětím. To dovoluje programovatelnému obvodu pracovat s perifériemi různým napěťových standardů.

Automatická kontrola pomocí CRC

Součástí obvodů Cyclone II je také ochrana proti náhodnému překlopení stavu paměťových buněk, které může být způsobené externím zdrojem elektromagnetického rušení. Nastavením konfiguračního softwaru Quartus II se aktivuje vestavěná jednotka pro kontrolu CRC. Jedná se o nejefektivnější ochranu proti nežádoucím vlivům.

Výhody oproti předchozí řadě obvodů Cyclone

Oproti předchozí řadě obvodů mají obvody Cyclone II několik nových funkcí a rozšíření. Mezi tyto vlastnosti patří integrované násobičky, rozhraní pro externí paměti DDR2 a podpora více I/O standardů.

Sériová konfigurační paměť

Obvody Cyclone II mohou pro nastavení funkce používat sériové konfigurační paměti, které jsou nabízeny až do velikosti 64 Mbit. Kromě konfigurace obvodu je možné zbytek prázdné paměti využít pro uložení uživatelských dat.

Altera Cyclone II EP2C8Q208

Vlastnosti obvodu Altera Cyclone II EP2C8Q208

Logické elementy (LEs)	8 256
M4K RAM paměťové bloky	36
RAM celkově [bity]	165 888
Násobičky (18bitové)	18
Fázové závěsy	2
I/O piny	138

18bitové násobičku lze rozdělit na dvě 9bitové. Z toho vyplývá, že počet násobiček může být až dvojnásobný.

3. VÝVOJOVÝ MODUL

Vývojový modul je navržený tak, aby byl lehce vyrobitelný. Deska plošných spojů je navržena ve dvou vrstvách. Jádrem vývojového modulu tvoří programovatelné logické pole Altera Cyclone II EP2C8Q208. Vybrané programovatelné logické pole se vyrábí v pouzdře PQFP, díky čemuž je možné obvod ručně zapájet.

K programovatelnému logickému poli je připojena konfigurační paměť, ve které je uložena konfigurace programovatelného obvodu. Konfigurační paměť se programuje jedním ze dvou programovatelných headerů. Obsah paměti se automaticky načte do programovatelného pole po náběhu napájení.

Aby nebylo nutné při testování funkce obvodu neustále paměť přepisovat a resetovat obvod programovatelného pole, je na vývojovém modulu ještě jeden programovací header, který slouží jen ke konfiguraci programovatelného pole. Při konfiguraci se využívá protokolu JTAG, který je také možné využít pro sledování vnitřních stavů.

Obvod Cyclone II EP2C8Q208 disponuje 8 centrálními rozvody hodinového signálu. Na vývojovém modulu jsou připravené dvě pozice pro krystaly, pomocí kterých mohou být generovány vnitřní synchronní signály. I přestože lze přivést na vstup obvodu až 8 hodinových signálů, jsou přivedeny pouze dva. Protože pokud by bylo nutné upravit frekvenci hodinového signálu, lze pro tento účel využít integrovaných fázových závěsů.

Vývojový modul by měl především sloužit jako zásuvná deska, proto je naprostá většina vstupně/výstupních pinů vyvedená na postranní headry. Zbývající piny jsou vyvedené k obvodu FTDI a k LED diodám.

Obvod FTDI je na vývojovém modulu umístěn pro komunikaci pomocí sběrnice USB. Obvod je dvoukanálový, přičemž je možné pro testovací účely na každém kanálu nastavit jiný režim komunikace. Nastavení obvodu FTDI je uloženo v externí paměti EEPROM.

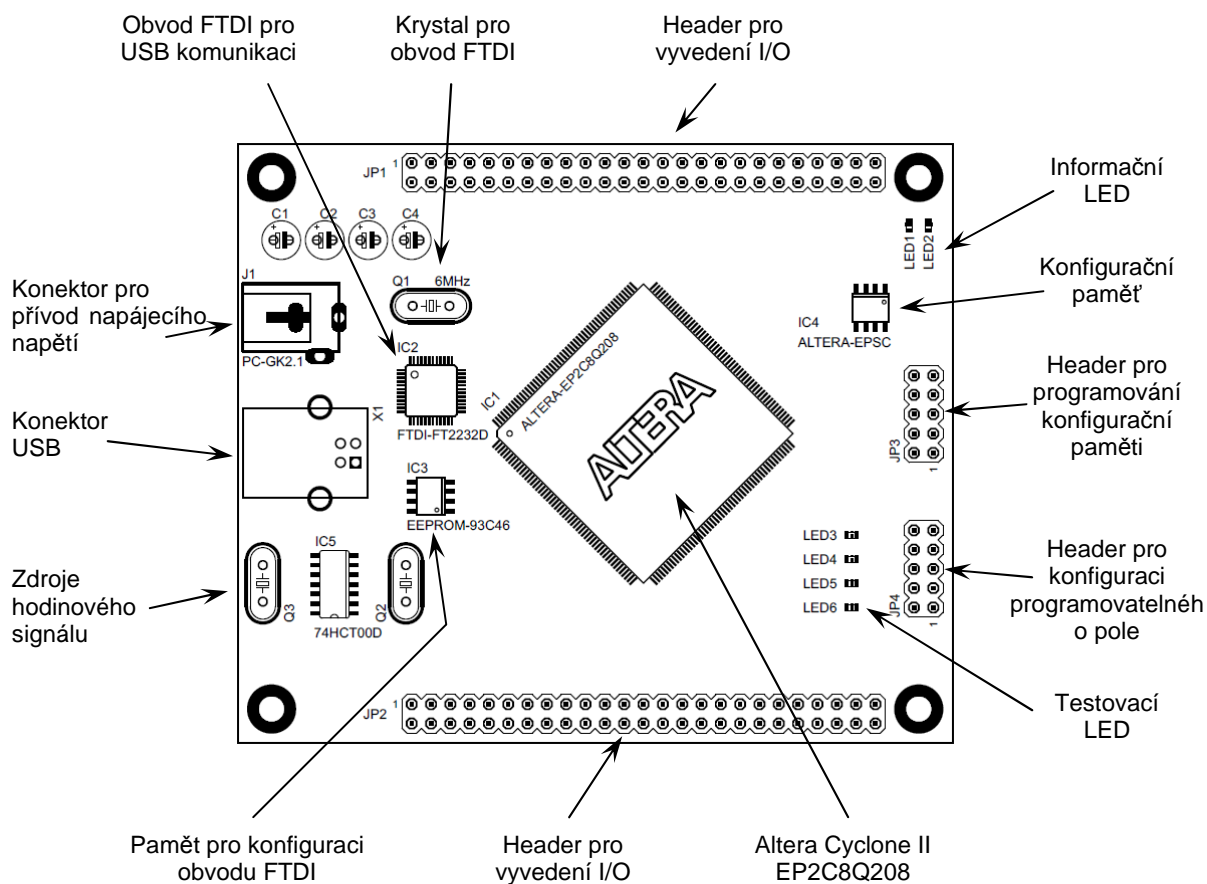
Na vývojovém modulu jsou také umístěné 4 LED diody, aby bylo možné okamžitě sledovat vnitřní stavy. Při návrhu systému mohou sloužit pro odhalení a odstranění chyb.

Komponenty

Hlavní komponenty na desce jsou:

- Altera Cyclone II EP2C8Q208C7N
- Konfigurační paměť programovatelného pole EPCS16SI8N
- Obvod FTDI FT2232D pro komunikaci po sběrnici USB
- Paměť EEPROM 93C46 pro nastavení obvodu FTDI
- Dva headery 2x25 pro vyvedení I/O pinů
- Dva konfigurační headery 2x5
- Zdroje hodinového signálu
- Lineární napěťové stabilizátory pro napájení obvodů

Rozmístění součástek



Informační LED

Na vývojovém modulu je umístěna dvojice informačních LED diod, které slouží pro kontrolu funkce vývojového modulu.

LED1 (zelená)	připojené napájení
LED2 (modrá)	probíhá konfigurace programovatelného obvodu, I/O piny jsou ve stavu vysoké impedance

Barvy v závorce, jsou barvy LED na prototypu vývojového modulu.

Testovací LED

Součástí vývojového modulu jsou 4 LED diody, které je možné použít pro ladění nebo zjištění aktuálních stavů vnitřních signálů. Diody jsou řízeny přímo programovatelným logickým polem. Když je na výstupu logická „1“, dioda je zhasnutá. V opačném případě, když je na výstupu logická „0“, pak dioda svítí.

LED3 – LED6 (červená)	testovací LED diody („1“ zhasnuto / „0“ svítí)
-----------------------	--

Barva v závorce, je barva testovacích LED na prototypu vývojového modulu.

Zdroje hodinového signálu

Na vývojovém modulu jsou připravené dvě pozice pro osazení krystalů. Pomocí negujících hradel jsou generovány obdélníkové signály, které jsou přivedeny na vstupy programovatelného pole CLK0 a CLK4.

Na vývojovém modulu je ještě jeden krystal. Ten pouze slouží pro generování hodinového signálu pro obvod FTDI. Jeho kmitočet musí být 6 MHz.

Oba krystaly pro synchronní hodinové signály programovatelného obvodu mohou mít libovolnou frekvenci, která může být ještě upravena pomocí fázového závěsu.

Konfigurační paměť

Součástí vývojového modulu je konfigurační paměť EPCS16SI8N. Ta slouží pro uložení konfigurace programovatelného pole. Po náběhu napájení si programovatelné pole načte automatiky konfigurační data z externí konfigurační paměti.

Paměť je dostatečně velká, proto zbytek volné paměti je možné využít pro uložení uživatelských dat.

Vývojový modul je možné osadit jakýmkoliv typem sériové paměti, i když o tom v manuálu programovatelného pole není přímo psáno. Zde je nutné upozornit, že paměť musí být schopná pracovat na frekvencích až 40 MHz. Většina levných pamětí má maximální provozní kmitočet jen 20 MHz. Proto je bezpečné používat paměti vyráběné přímo firmou Altera, které tuto podmínku bezpečně splňují. Jedná se konkrétně o typy EPCS16 a EPCS64.

Headry

Na desce vývojového modulu je několik headrů. Funkce jednotlivých headrů je vysvětlená v následující tabulce.

JP1	vyvedené I/O piny programovatelného pole
JP2	vyvedené I/O piny programovatelného pole
JP3	programování konfigurační paměti EPCS16
JP4	konfigurace programovatelného pole pomocí protokolu JTAG

USB rozhraní

Pro komunikaci pomocí sběrnice USB je na desce umístěn obvod FTDI FT2232D. Obvod je dvoukanálový. Všechny signály – datové i řídicí – jsou vyvedeny na vstupně/výstupní piny programovatelného pole. Pro komunikaci lze tedy využít obou dvou kanálů.

Primárně byl tento obvod volen pro testovací účely, aby bylo možné vytvořit smyčku. Jeden kanál obvodu využít jako vstupní, druhý jako zpětný výstup, který by složil pro kontrolu zpracování dat.

Obvod FTDI je možné využít i jinak. Obvodu je možné nastavit několik režimů komunikace, přičemž na každém kanále může být nastavený jiný režim. Režimy se nastavují pomocí aplikace, která je k dispozici na webových stránkách výrobce obvodů FTDI. Nastavení je uloženo v externí EEPROM paměti, není nutné režimy pokaždé nastavovat. Obvod FTDI si s náběhem napájení stáhne konfiguraci podobně jako programovatelný obvod.

Obvod pro svoji funkci využívá svou vlastní externí paměť. Pro konfiguraci programovatelného obvodu a obvodu FTDI nelze použít jednu společnou paměť. Proto jsou na vývojovém modulu dvě externí sériové paměti.

Napájení

Napájení je řešeno jednoduchým způsobem. Na vývojový modul musí být přivedeno stejnosměrné napětí v rozmezí 4 - 5,5V. Vstupní napájení není na vývojovém modulu nijak usměrňováno.

Pro přivedení napájení na desku plošných spojů je použitý standardní napájecí souosý konektor J1 o průměru 2,1 mm.

Vstupní napětí je dále pomocí lineárních stabilizátorů upraveno na 3,3 V a na dvě napětí o hodnotě 1,2 V. V následující tabulce je vysvětleno použití jednotlivých napětí.

3,3 V (REG1)	napájení výstupních obvodů všech bank programovatelného pole
1,2 V (REG2)	napájení vnitřních řídicích obvodů programovatelného pole
1,2 V (REG3) analog	napájení fázových závěsů integrovaných v programovatelném poli

I přestože programovatelný obvod umožňuje použít pro napájení jednotlivých bank různá napětí, jsou všechny banky obvodu napájené z jednoho stabilizátoru napětí. Pro účely vývojového modulu je použití různých výstupních napěťových hladin téměř zbytečné. Ale pro konkrétní aplikace je možné tuto vlastnost obvodu využít, proto se o ní v práci zmiňuji.

Napájecí napětí bank je 3,3V. K bankám by měly být připojené logické obvody se stejným napájecím napětím, nicméně v okrajových případech se nevyklučuje připojit i logické obvody s jiným napájecím napětím. Programovatelný obvod je připraven pro práci v aplikacích s PCI sběrnicemi. Na vstupně/výstupní piny může být přivedeno napětí až o velikosti 4,5 V, bezpečná hladina jsou 4 V. Pokud se použije předřadný odpor je možné na vstupně/výstupní piny přivést i 5 V signály. Výstupní signál programovatelného obvodu bude pouze 3,3V, takto stále splňuje podmínku, že výstupní napětí signálu bude větší než polovina napájecího napětí 5 V logického obvodu.

Na vývojovém modulu jsou dva stabilizátory napětí, jejichž výstupní napětí je 1,2 V. Napájení vnitřních logických obvodů a analogových obvodů fázových závěsů je odděleno,

protože fázové závěsy pro svoji správnou funkci vyžadují napájení s co možná nejlépe vyhlazeným napětím.

Na postraní headery JP1 a JP2 je vyvedený zemnicí potenciál, na header JP2 je kromě zemnicího potenciálu vyvedené také vstupní napětí vývojového modulu.

4. ZÁVĚR

Vývojový modul byl navržen, aby nahradil původní modul Ing. Petránková, Ph.D. Nový modul je s původním plně kompatibilní. Na rozdíl od původního modulu je osazený výkonnějším programovatelným polem Altera Cyclone II. Modul je dále doplněn o komunikační USB rozhraní.

Společnost Altera v dnešní době vyrábí už pátou řadu obvodů Cyclone. Nicméně od třetí řady upouští od výroby programovatelných polí v pouzdrech vhodných pro ruční pájení, většinu obvodů vyrábí v pouzdrech BGA. Altera v pouzdrech QFP vyrábí pouze nejmenší obvody s malým počtem vstupně/výstupních pinů. Pro nový vývojový modul byl zvolen starší programovatelný obvod, ale v pouzdru s dostatečným počtem pinů.

Vývoj aplikací pro starší modul je stejný jako pro nový. V nastavení softwarového nástroje Quartus II je nutné zvolit obvod Altera Cyclone II EP2C8Q208 a signálům přiřadit jiné vstupně/výstupní piny.

POUŽITÁ LITERATURA

- [1] Pinker, J.; Poupa, M.: Číslicové systémy a jazyk VHDL;
BEN - technická literatura, Praha 2006
- [2] Šťastný, J.: FPGA prakticky; BEN - technická literatura, Praha 2010
- [3] Salcic, Z.; Smailagic, A: Digital systems design and prototyping;
Kluwer Academic Publishers, 2002
- [4] Grout, I.: Digital Systems Design with FPGAs and CPLDs; Elsevier, 2008
- [5] <http://www.altera.com/devices/fpga/cyclone2/cy2-index.jsp>
- [6] <http://de0.terasic.com/>
- [7] http://en.wikipedia.org/wiki/Field-programmable_gate_array

SEZNAM PŘÍLOH

A. SCHÉMA ZAPOJENÍ

Development module based on programmable logic array FPGA

COVER SHEET	1
FPGA BANK1, BANK4	2
FPGA BANK2, BANK3	3
FPGA CONFIG	4
FPGA CLOCK, HEADERS, LEADS	5
FPGA SUPPLY	6
POWER	7
USB INTERFACE	8

COVER SHEET

TITLE: altera-cycloneII-dev-kit

Document Number: REV:

Date: 9.5.2013 11:53:33

Sheet: 1/8

IC1-BANK1

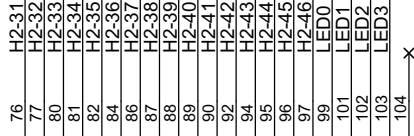
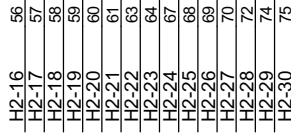
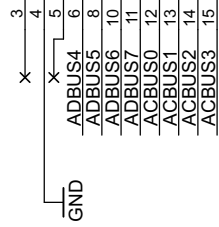
IO	LVDS15pRCERR	LVDS7p	IO
IO	LVDS15nCLKUSR	LVDS7n	IO
IO	LVDS14p	LVDS8n	IO
IO	LVDS14n		IO
IO	LVDS13p	LVDS5p	IO
IO	LVDS13n	VREFB1N1	IO
IO	LVDS12p	LVDS3n	IO
IO	LVDS12n	LVDS2p	IO
IO	VREFB1N0	LVDS2n	IO
IO	LVDS8p		IO
IO	LVDS8n	LVDS0p	IO
		LVDS0n	IO
		PULL1_OUTp	IO
		PULL1_OUTn	IO
VREFB1N0	VREFB1N1		

ALTERA-EP2C8Q208

IC1-BANK4

IO	LVDS77n	LVDS6p	IO
IO	LVDS77p	LVDS6n	IO
IO	LVDS76p		IO
IO	LVDS76n	LVDS64p	IO
IO	LVDS75p	LVDS64n	IO
IO	LVDS75n	LVDS63p	IO
IO	LVDS74p	LVDS63n	IO
IO	LVDS74n	LVDS62p	IO
IO	VREFB4N1	LVDS62n	IO
IO	LVDS70p	VREFB4N0	IO
IO	LVDS70n		IO
IO	LVDS68p	LVDS61p	IO
IO	LVDS68n	LVDS61n	IO
IO	LVDS67p	LVDS60p	IO
IO	LVDS67n	LVDS60n	IO
IO	LVDS67n		IO
VREFB4N1	VREFB4N0		

ALTERA-EP2C8Q208



FPGA BANK1, BANK4

TITLE: altera-cycloneII-dev-kit

Document Number:

REV:

Date: 9.5.2013 11:53:33

Sheet: 2 / 8

IC1-BANK3

H1-50	105
H1-49	106
H1-48	110
H1-47	112
H1-46	113
H1-45	114
H1-44	115
H1-43	116
H1-42	117
H1-41	118
H1-40	127
H1-39	128

IO LVDS66n	133	H1-38
IO LVDS67p	134	H1-37
IO LVDS68n	135	H1-36
IO LVDS69p	137	H1-35
IO LVDS70n	138	H1-34
IO LVDS71p	139	H1-33
IO LVDS72n	141	H1-32
IO LVDS73p	142	H1-31
IO LVDS74n	143	H1-30
IO LVDS75p	144	H1-29
IO LVDS76n	145	H1-28
IO LVDS77p	146	H1-27
IO LVDS78n	147	H1-26
IO LVDS79p	149	H1-25
IO LVDS80n	150	H1-24
IO LVDS81p	151	H1-23
IO LVDS82n	152	H1-22

VREFB3N1 VREFB3N0
ALTERA-EP2C8Q208

IC1-BANK2

H1-21	160
H1-20	161
H1-19	162
H1-18	163
H1-17	164
H1-16	165
H1-15	168
H1-14	169
H1-13	170
H1-12	171
H1-11	173
H1-10	175
H1-9	176
H1-8	179
H1-7	180
H1-6	181
H1-5	182

IO LVDS37n	185	H1-4
IO LVDS37p	187	H1-3
IO LVDS38n	188	BDBUS0
IO LVDS39p	189	BDBUS1
IO LVDS40n	191	BDBUS2
IO LVDS41p	192	BDBUS3
IO LVDS42n	193	BDBUS4
IO LVDS43p	195	BDBUS5
IO LVDS44n	197	BDBUS6
IO LVDS45p	198	BDBUS7
IO LVDS46n	199	BCBUS1
IO LVDS47p	200	BCBUS2
IO LVDS48n	201	BCBUS3
IO LVDS49p	203	BCBUS4
IO LVDS50n	205	ADBUS0
IO LVDS51p	206	ADBUS1
IO LVDS52n	207	ADBUS2
IO LVDS53p	208	ADBUS3

VREFB2N0 VREFB2N1
ALTERA-EP2C8Q208

FPGA BANK3, BANK2

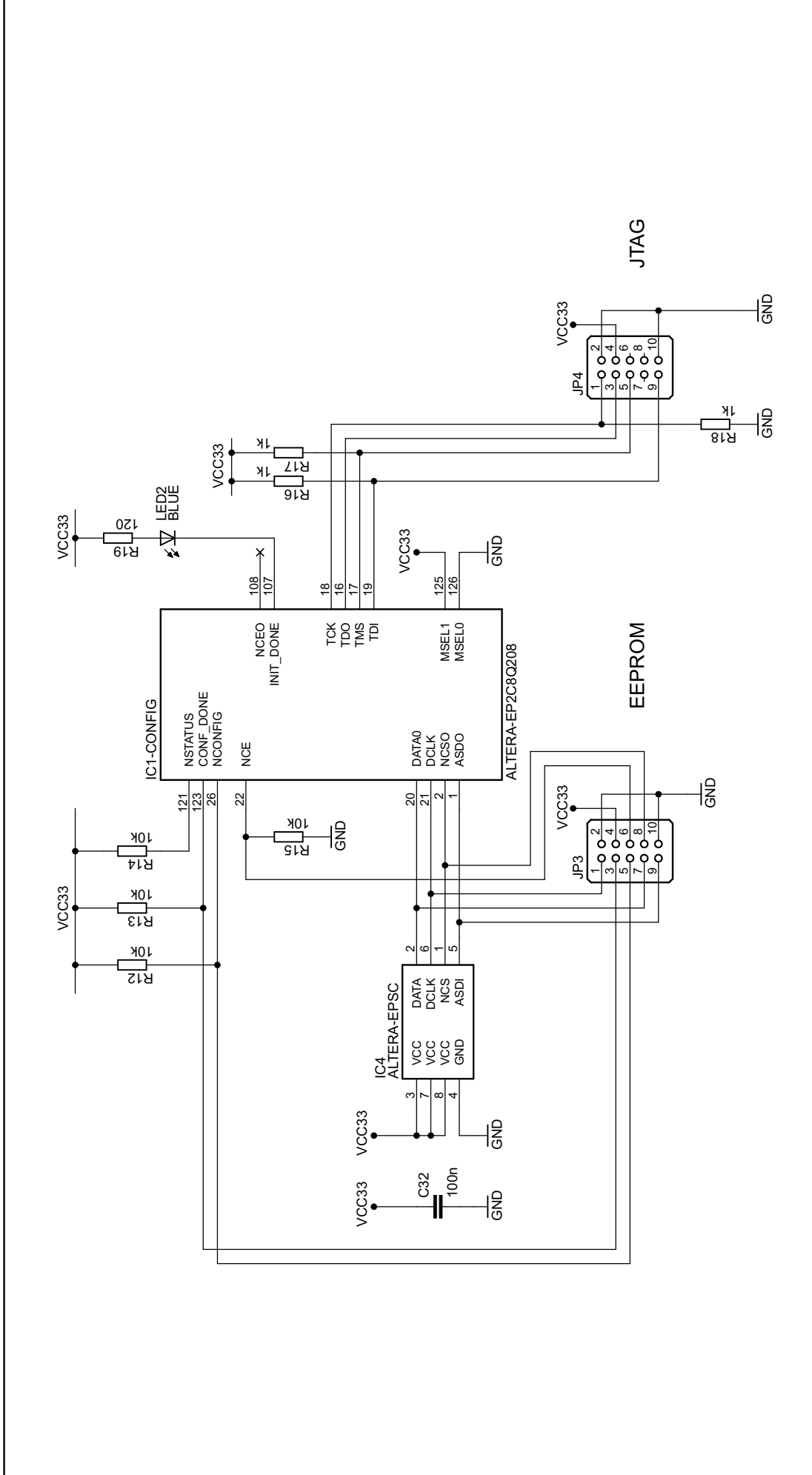
TITLE: altera-cycloneII-dev-kit

Document Number:

REV:

Date: 9.5.2013 11:53:33

Sheet: 3/8



FPGA CONFIG

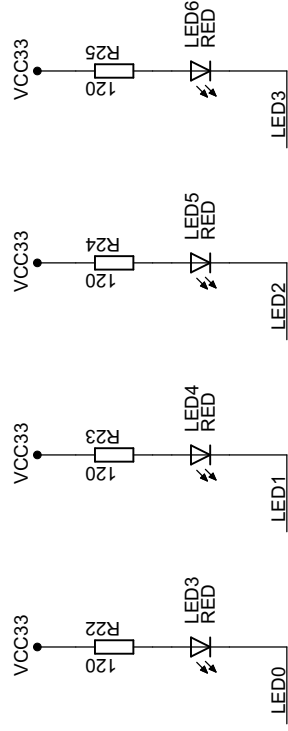
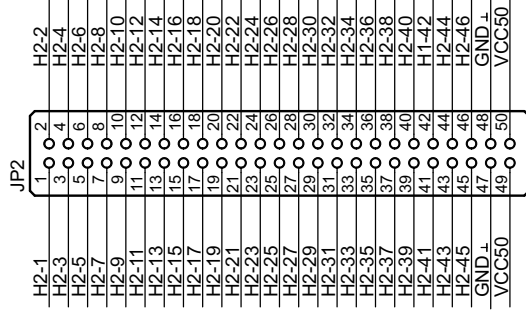
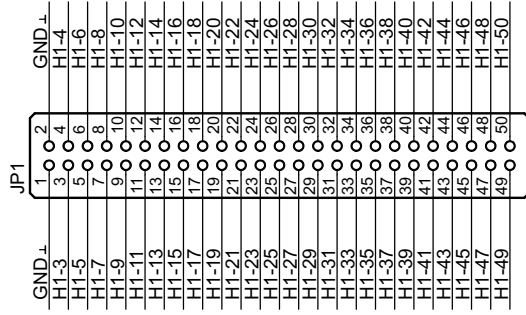
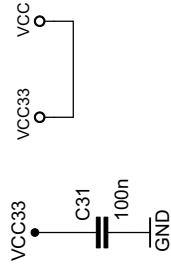
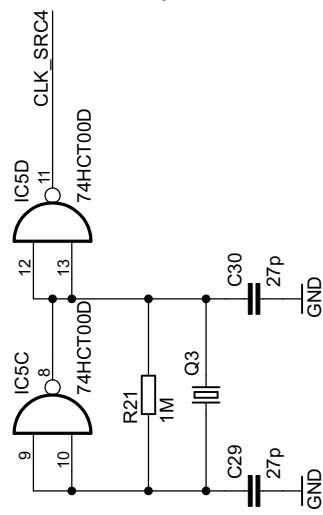
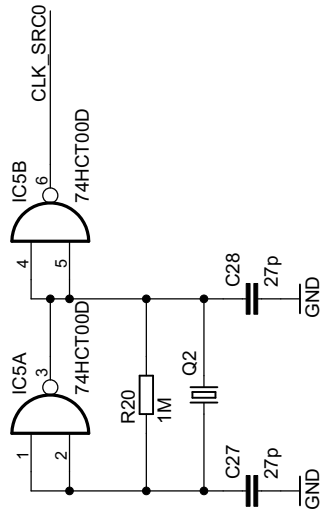
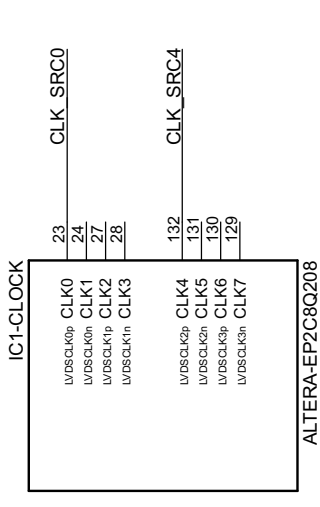
TITLE: altera-cycloneII-dev-kit

Document Number:

REV:

Date: 9.5.2013 11:53:33

Sheet: 4/8



FPGA CLOCK, HEADERS, LEDES

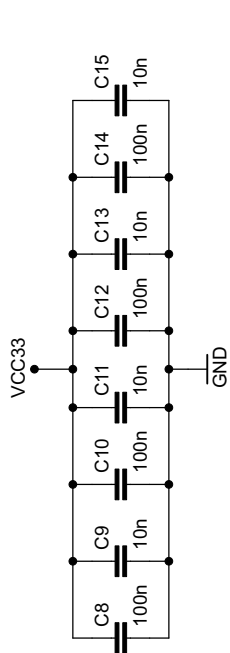
TITLE: altera-cycloneII-dev-kit

Document Number:

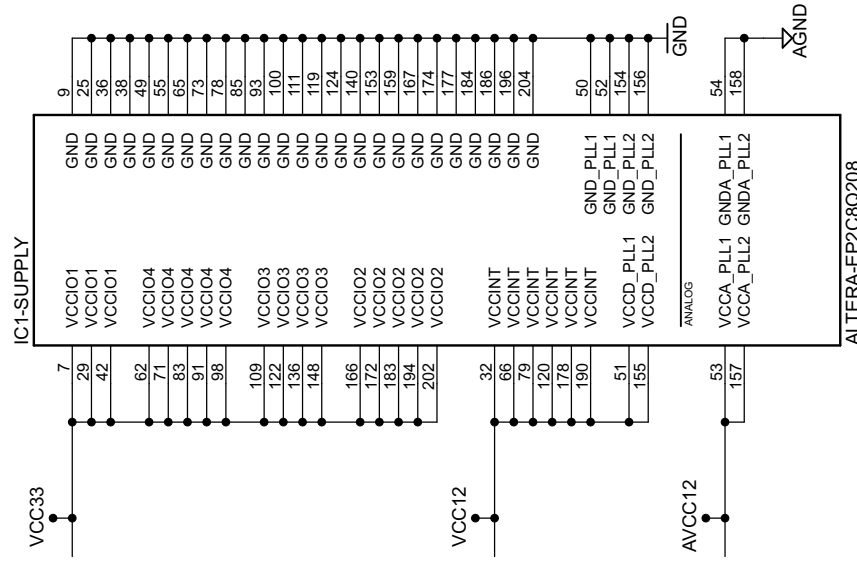
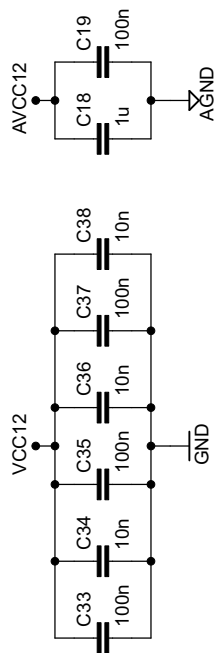
REV:

Date: 9.5.2013 11:53:33

Sheet: 5/8



Decoupling Capacitors



FPGA SUPPLY

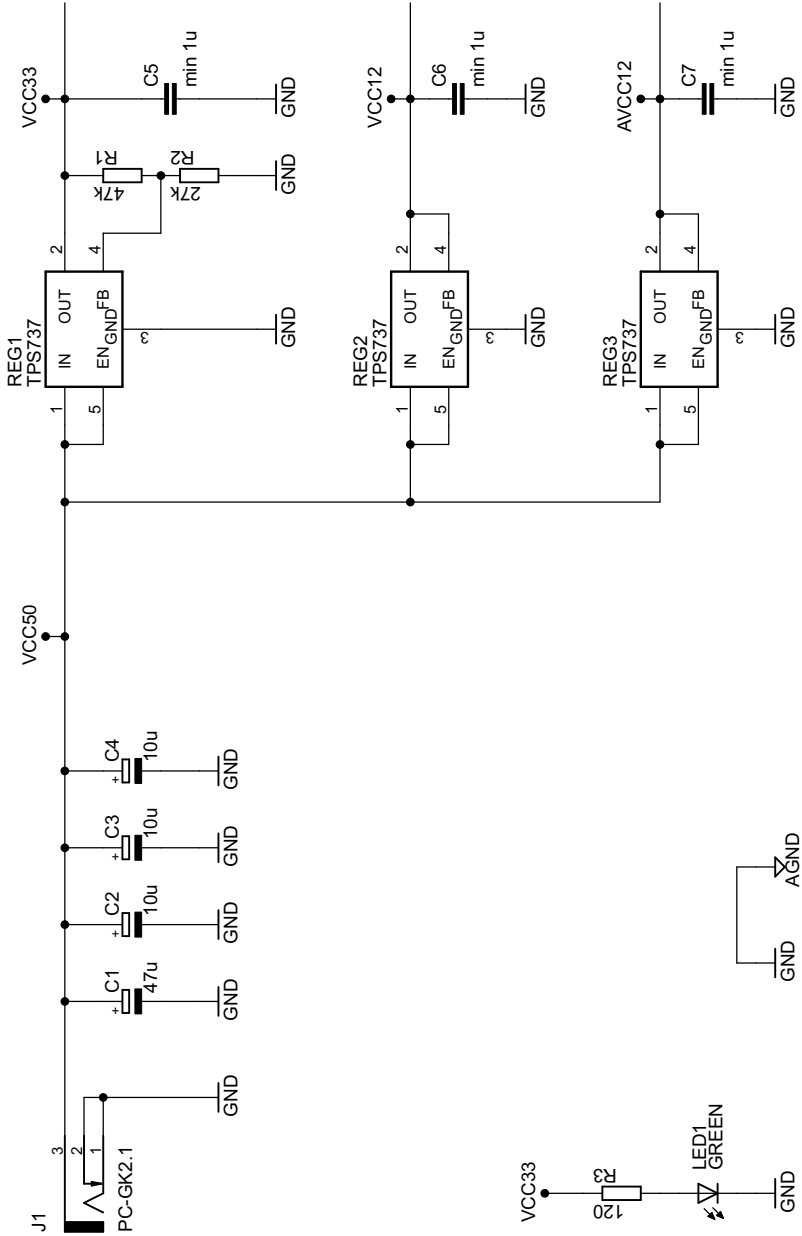
TITLE: altera-cycloneII-dev-kit

Document Number:

REV:

Date: 9.5.2013 11:53:33

Sheet: 6/8



POWER

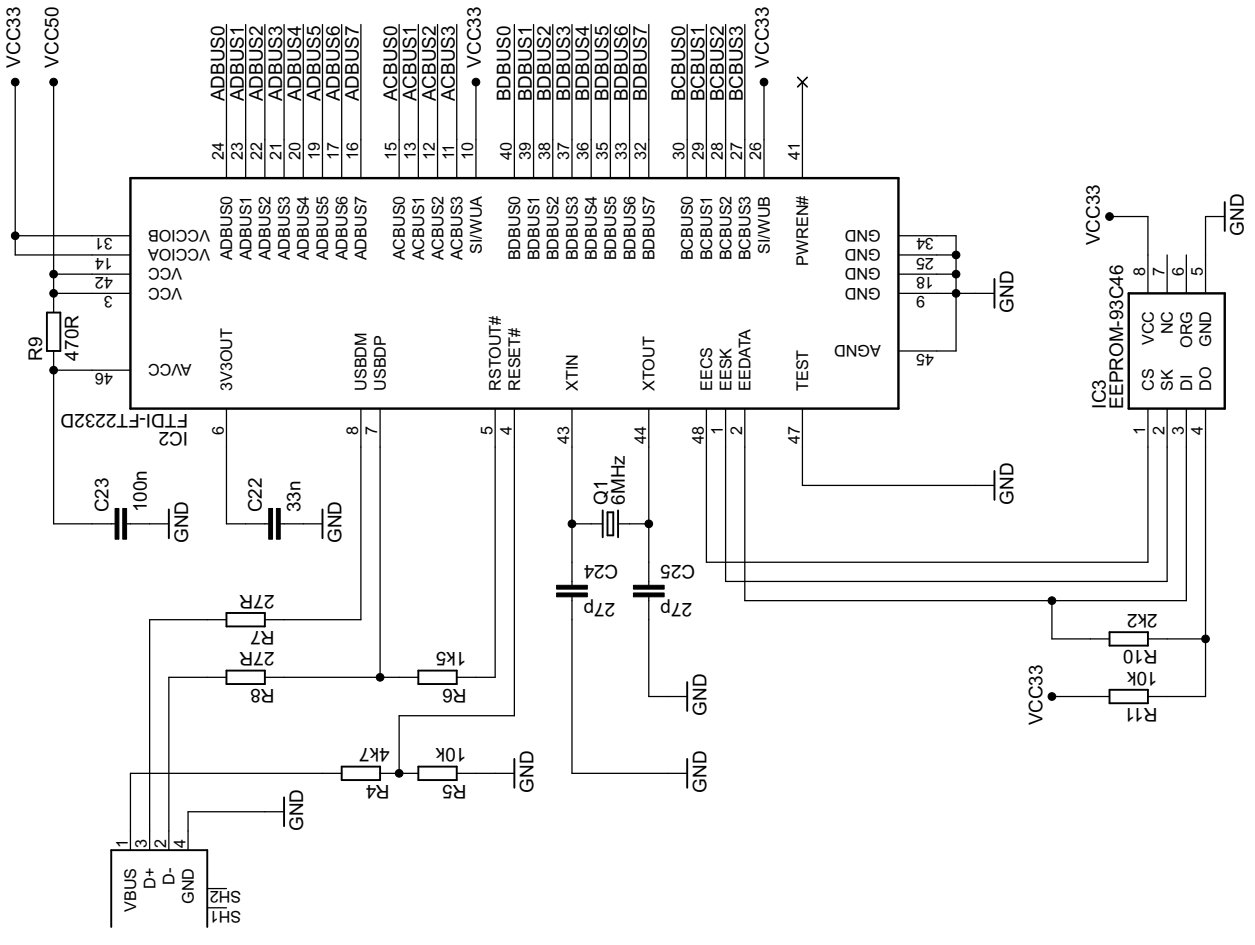
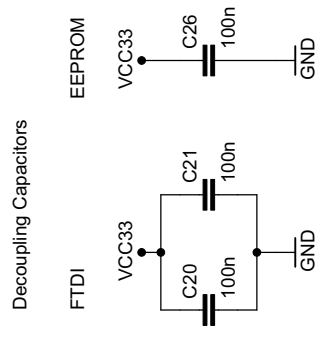
TITLE: altera-cycloneII-dev-kit

Document Number:

REV:

Date: 9.5.2013 11:53:33

Sheet: 7 / 8



USB INTERFACE

TITLE: altera-cycloneII-dev-kit

Document Number:

REV:

Date: 9.5.2013 11:53:33

Sheet: 8/8